



HC32M120 系列

32 位 ARM[®] Cortex[®]-M0+ 微控制器

用户手册

声 明

- 华大半导体有限公司（以下简称：“HDSC”）保留随时更改、更正、增强、修改华大半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。HDSC 产品依据购销基本合同中载明的销售条款和条件进行销售。

- 客户应针对您的应用选择合适的 HDSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。

- HDSC 在此确认未以明示或暗示方式授予任何知识产权许可。

- HDSC 产品的转售，若其条款与此处规定不同，HDSC 对此类产品的任何保修承诺无效。

- 任何带有“®”或“™”标识的图形或字样是 HDSC 的商标。所有其他在 HDSC 产品上显示的产品或服务名称均为其各自所有者的财产。

- 本通知中的信息取代并替换先前版本中的信息。

©2020 华大半导体有限公司 - 保留所有权利

目 录

声 明	2
目 录	3
简介 (Overview)	24
1 存储器映射 (Memory Mapping)	25
1.1 存储器映射	25
1.2 位段空间	28
2 总线架构 (BUS)	29
2.1 概述	29
2.2 总线架构	30
2.3 总线功能	30
3 复位控制 (RMU)	31
3.1 简介	31
3.2 复位方式和复位标志位	32
3.3 复位时序	34
3.3.1 上电复位	34
3.3.2 RESET 引脚复位	35
3.3.3 低电压检测复位	35
3.3.4 专用看门狗复位	36
3.3.5 软件复位	36
3.3.6 RAM 奇偶校验复位	37
3.3.7 M0+ Lockup 复位	37
3.3.8 外部高速振荡器异常停振复位	38
3.3.9 复位方式的判断	38
3.4 寄存器说明	39
3.4.1 复位标志寄存器 0 (RMU_RSTF0)	40
4 时钟控制器 (CMU)	42
4.1 简介	42
4.2 系统框图	43
4.2.1 系统框图	43
4.3 时钟源规格	44
4.4 工作时钟规格	45
4.5 晶振电路	46
4.5.1 外部高速振荡器	46
4.5.1.1 振荡器模式	46
4.5.1.2 时钟输入模式	47
4.5.2 外部高速振荡器故障检测	48
4.5.2.1 检测到 XTAL 故障检测动作	49
4.5.2.2 检测到 XTAL 振荡故障产生中断复位	50
4.6 内部 RC 时钟	51
4.6.1 HRC 时钟	51

4.6.2	LRC 时钟	52
4.7	时钟切换步骤.....	52
4.7.1	时钟源切换.....	53
4.8	时钟输出功能.....	54
4.9	寄存器说明	55
4.9.1	CMU XTAL 配置寄存器(CMU_XTALCFGR)	56
4.9.2	CMU XTAL 配置寄存器(CMU_XTALSTBCR)	56
4.9.3	CMU XTAL 控制寄存器(CMU_XTALCR)	57
4.9.4	CMU XTAL 振荡故障控制寄存器(CMU_XTALSTDCR).....	57
4.9.5	CMU XTAL 振荡故障状态寄存器(CMU_XTALSTDSR)	58
4.9.6	CMU HRC 控制寄存器(CMU_HRCCR).....	58
4.9.7	CMU HRC 频率配置寄存器(CMU_HRCCFGR)	59
4.9.8	CMU LRC 控制寄存器(CMU_LRCCR)	60
4.9.9	CMU 时钟源稳定状态器(CMU_OSCSTBSR)	60
4.9.10	CMU 系统时钟源切换寄存器(CMU_CKSWR).....	61
4.9.11	CMU 时钟分频配置寄存器(CMU_SCKDIVR).....	61
4.9.12	CMU AD 时钟配置寄存器(CMU_PERICKSEL).....	62
4.9.13	CMU 功能时钟控制寄存器(CMU_FCG).....	63
4.9.14	CMU MCO1 配置寄存器(CMU_MCO1CFGR).....	65
5	电源控制 (PWC)	66
5.1	简介.....	66
5.2	电源分布.....	67
5.3	低电压检测单元(LVD)说明	68
5.3.1	上电复位/掉电复位动作说明.....	68
5.3.2	低电压检测(LVD)	69
5.3.3	LVD 中断/复位框图	71
5.3.4	输入/输出引脚.....	71
5.3.5	LVD 中断和复位	72
5.4	动作模式与低功耗模式.....	73
5.4.1	运行模式.....	75
5.4.2	睡眠模式.....	76
5.4.3	停止模式.....	77
5.5	降低功耗的方法.....	79
5.5.1	降低系统时钟速度	79
5.5.2	关闭不使用的时钟源	79
5.5.3	功能时钟停止	79
5.6	寄存器保护功能.....	80
5.7	寄存器说明.....	81
5.7.1	停止模式控制寄存器(PWR_STPMCR).....	82
5.7.2	电源模式控制寄存器 (PWR_PWRC)	83
5.7.3	RAM 保护寄存器(PWR_RAMCR)	84
5.7.4	功能保护控制寄存器(PWR_FPRC).....	85

5.7.5	LVD ICG 控制寄存器 (PWR_LVDICGCR).....	86
5.7.6	LVD 控制状态寄存器 (PWR_LVDCSR).....	88
5.7.7	调试模式控制寄存器(PWR_DBGCR).....	89
6	初始化配置 (ICG)	90
6.1	简介.....	90
6.2	寄存器说明.....	91
6.2.1	初始化配置寄存器 0(ICG0).....	91
6.2.2	初始化配置寄存器 1(ICG1).....	94
6.2.3	初始化配置寄存器 n(ICGn)n=2~6.....	96
7	嵌入式 FLASH (EFM)	97
7.1	简介.....	97
7.2	主要特性.....	97
7.3	嵌入式 FLASH.....	98
7.4	读接口.....	99
7.4.1	CPU 时钟和 FLASH 读取时间之间的关系.....	99
7.5	FLASH 读加速缓存.....	100
7.6	FLASH 编程和擦除操作.....	100
7.6.1	单次编程无回读模式.....	100
7.6.2	单编程回读模式.....	101
7.6.3	连续编程操作.....	101
7.6.4	擦除操作.....	102
7.6.5	总线保持功能.....	102
7.6.6	FLASH 擦除、编程窗口保护.....	103
7.6.7	中断.....	103
7.7	寄存器说明.....	105
7.7.1	访问保护寄存器 EFM_FAPRT.....	106
7.7.2	FLASH 停止寄存器 EFM_FSTP.....	106
7.7.3	读模式寄存器 EFM_FRMC.....	107
7.7.4	擦写模式寄存器 EFM_FWMC.....	108
7.7.5	状态寄存器 EFM_FSR.....	109
7.7.6	状态清除寄存器 EFM_FSCLR.....	110
7.7.7	中断许可寄存器 EFM_FITE.....	111
7.7.8	FLASH 窗口保护起始地址寄存器 EFM_FPMTSW.....	111
7.7.9	FLASH 窗口保护结束地址寄存器 EFM_FPMTEW.....	112
7.7.10	UNIQUE ID 寄存器 EFM_UQID 0.....	112
7.7.11	UNIQUE ID 寄存器 EFM_UQID 1.....	113
7.7.12	UNIQUE ID 寄存器 EFM_UQID 2.....	113
7.8	注意事项.....	114
8	内置 SRAM (SRAM)	115
8.1	简介.....	115
9	通用 IO (GPIO)	116
9.1	简介.....	116

9.2	端口功能概要.....	117
9.3	动作说明.....	118
9.3.1	通用输入输出 GPIO 功能.....	118
9.3.2	外围功能.....	119
9.3.3	外部中断 EIRQ 输入功能.....	119
9.3.4	模拟功能.....	119
9.3.5	通用控制.....	119
9.3.6	Event Port 输入功能.....	120
9.4	寄存器说明.....	121
9.4.1	通用输入寄存器 (PIDRx)	122
9.4.2	通用输出数据寄存器 (PODRx)	122
9.4.3	通用输出许可寄存器 (POERx)	123
9.4.4	通用输出置位寄存器 (POSRx)	123
9.4.5	通用输出复位寄存器 (PORRx)	124
9.4.6	通用输出翻转寄存器 (POTRx)	124
9.4.7	通用控制寄存器 (PCRxy)	125
9.4.8	特殊控制寄存器 (PSPCR)	127
9.4.9	公共控制寄存器 (PCCR)	127
9.4.10	输入控制寄存器 (PINAER)	128
9.4.11	写保护寄存器 (PWPR)	129
9.4.12	EVENT PORT 控制寄存器 (EVPRT_CR)	130
9.4.13	EVENT PORT 状态寄存器 (EVPRT_SR)	131
9.4.14	访问位宽.....	132
9.5	注意事项.....	133
10	中断控制器 (INTC)	134
10.1	简介.....	134
10.2	INTC 系统框图.....	136
10.2.1	系统框图.....	136
10.3	向量表.....	137
10.3.1	中断向量表.....	137
10.3.2	中断事件请求序号.....	140
10.4	功能说明.....	144
10.4.1	不可屏蔽中断.....	144
10.4.2	EIRQ 管脚中断.....	145
10.4.3	EKEY 管脚事件.....	145
10.4.4	软件触发事件.....	146
10.4.5	中断源选择.....	146
10.4.6	WFE 事件选择.....	147
10.4.7	WFE 唤醒事件管理.....	147
10.4.8	数字滤波器.....	149
10.4.9	低功耗模式返回.....	150
10.4.9.1	休眠模式返回.....	150

10.4.9.2	停止模式返回.....	150
10.5	寄存器说明.....	151
10.5.1	功能保护控制寄存器 (INTC_FPRCR)	153
10.5.2	NMI 管脚中断控制寄存器 (INTC_NMICR)	153
10.5.3	不可屏蔽中断使能寄存器 (INTC_NMIER)	154
10.5.4	不可屏蔽中断标志寄存器 (INTC_NMIFR)	155
10.5.5	不可屏蔽中断标志清除寄存器 (INTC_NMICLR)	156
10.5.6	EIRQ 管脚中断控制寄存器 (INTC_EIRQCRm) (m=0~9)	157
10.5.7	EIRQ 管脚中断标志寄存器 (INTC_EIRQFR)	157
10.5.8	EIRQ 管脚中断标志清除寄存器 (INTC_EIRQCLR)	158
10.5.9	EKEY 管脚事件控制寄存器 (INTC_EKEYCR).....	158
10.5.10	软件触发事件控制寄存器 (INTC_STRGCR)	159
10.5.11	中断选择 A 寄存器 (INTC_ISELARm) (m=8~23)	159
10.5.12	中断选择 B 寄存器 (INTC_ISELBRm) (m=24~31)	160
10.5.13	WFE 事件使能寄存器 (INTC_EVTER)	161
10.5.14	唤醒事件使能寄存器 (INTC_WUPENR)	162
10.6	使用注意事项.....	163
11	DMA 控制器 (DMA)	164
11.1	简介.....	164
11.2	模块示意图.....	165
11.3	功能描述.....	166
11.3.1	使能 DMA 控制器.....	166
11.3.2	通道选择和通道优先级.....	166
11.3.3	启动 DMA.....	166
11.3.4	数据块.....	166
11.3.5	传输地址控制.....	166
11.3.6	传输次数.....	167
11.3.7	中断和事件信号输出.....	167
11.3.8	连锁传输.....	168
11.3.9	不连续地址传输.....	170
11.3.10	传输提前终止.....	171
11.4	应用举例.....	172
11.4.1	存储器到存储器的传输.....	172
11.4.2	存储器到外围电路的传输.....	173
11.4.3	存储器到存储器的连锁传输.....	175
11.5	寄存器说明.....	178
11.5.1	DMA 使能寄存器(DMA_EN)	179
11.5.2	中断状态寄存器 0(DMA_INTSTAT0)	179
11.5.3	中断状态寄存器 0(DMA_INTSTAT1)	180
11.5.4	中断屏蔽寄存器(DMA_INTMASK0).....	180
11.5.5	中断屏蔽寄存器(DMA_INTMASK1).....	181
11.5.6	中断复位寄存器(DMA_INTCLR0).....	181

11.5.7	中断复位寄存器(DMA_INTCLR1).....	182
11.5.8	通道使能寄存器(DMA_CHEN).....	182
11.5.9	通道使能复位寄存器(DMA_CHENCLR).....	183
11.5.10	通道状态观测寄存器(DMA_CHSTAT).....	183
11.5.11	传输启动触发源选择寄存器(DMAx_TRGSEL) (x=1~2).....	184
11.5.12	传输源地址寄存器(DMA_SARx) (x=0~1).....	184
11.5.13	传输目标地址寄存器(DMA_DARx) (x=0~1).....	185
11.5.14	数据控制寄存器(DMA_CHxCTL0) (x=0~1).....	186
11.5.15	通道控制寄存器(DMA_CHxCTL) (x=0~3).....	187
12	内部时钟校准器(CTC).....	188
12.1	简介.....	188
12.2	结构框图.....	188
12.3	功能说明.....	189
12.3.1	参考时钟.....	189
12.3.2	频率校准.....	191
12.3.3	编程指南.....	192
12.4	寄存器说明.....	194
12.4.1	时钟校准控制寄存器 1 (CTC_CR1).....	195
12.4.2	时钟校准控制寄存器 2 (CTC_CR2).....	197
12.4.3	时钟校准状态寄存器 (CTC_STR).....	198
13	电压比较器(CMP).....	199
13.1	简介.....	199
13.2	功能框图.....	200
13.3	功能说明.....	201
13.3.1	普通比较模式.....	201
13.3.2	窗口比较模式.....	202
13.3.3	定时器窗口输出.....	203
13.3.4	外部管脚输出.....	203
13.3.5	数字滤波器.....	204
13.3.6	中断.....	204
13.3.7	外设触发事件.....	204
13.4	注意事项.....	205
13.4.1	模块停止功能.....	205
13.4.2	模块停止时的动作.....	205
13.4.3	停止低功耗模式时的动作.....	205
13.5	寄存器说明.....	206
13.5.1	比较器模式设定寄存器 (CMPn_MDR, n=1~2).....	207
13.5.2	比较器滤波控制寄存器 (CMPn_FIR, n=1~2).....	208
13.5.3	比较器输出控制寄存器 (CMPn_OCR, n=1~2).....	209
13.5.4	比较器电压选择寄存器 (CMPn_VSR, n=1~2).....	210
13.5.5	比较器定时器窗口输出控制寄存器 1 (CMPn_TWR1, n=1~2).....	212
13.5.6	比较器定时器窗口输出控制寄存器 2 (CMPn_TWR2, n=1~2).....	213

14	模数转换模块 (ADC)	214
14.1	简介	214
14.2	ADC 系统框图	216
14.3	功能说明	217
14.3.1	ADC 时钟	217
14.3.2	通道选择	217
14.3.3	触发源选择	218
14.3.4	序列 A 单次扫描模式	218
14.3.5	序列 A 连续扫描模式	219
14.3.6	双序列扫描模式	220
14.3.7	模拟看门狗功能	222
14.3.8	模拟输入的采样时间和转换时间	223
14.3.9	A/D 数据寄存器自动清除功能	225
14.3.10	运算放大器 OPA	225
14.3.11	中断和事件信号输出	226
14.4	寄存器说明	228
14.4.1	A/D 启动寄存器 ADC_STR	230
14.4.2	A/D 控制寄存器 0 ADC_CR0	231
14.4.3	A/D 控制寄存器 1 ADC_CR1	232
14.4.4	A/D 转换开始触发寄存器 ADC_TRGSR	233
14.4.5	A/D 转换开始片内触发源选择寄存器 ADC_ITRGSELR0, ADC_ITRGSELR1	234
14.4.6	A/D 通道选择寄存器 A ADC_CHSELRA0	235
14.4.7	A/D 通道选择寄存器 B ADC_CHSELRB0	236
14.4.8	A/D 扩展通道选择寄存器 ADC_EXCHSELR	236
14.4.9	A/D 采样状态寄存器 ADC_SSTR	237
14.4.10	A/D 中断状态寄存器 ADC_ISR	237
14.4.11	A/D 中断许可寄存器 ADC_ICR	238
14.4.12	A/D 中断状态复位寄存器 ADC_ISCLRR	238
14.4.13	A/D 数据寄存器 ADC_DR	239
14.4.14	模拟看门狗控制寄存器 ADC_AWDCR	240
14.4.15	模拟看门狗状态寄存器 ADC_AWDSR	241
14.4.16	模拟看门狗状态复位寄存器 ADC_AWDSCLRR	241
14.4.17	模拟看门狗阈值寄存器 ADC_AWD0DR0、ADC_AWD0DR1、ADC_AWD1DR0、ADC_AWD1DR1	242
14.4.18	模拟看门狗比较通道选择寄存器 ADC_AWD0CHSR、ADC_AWD1CHSR	243
14.4.19	运算放大器控制寄存器 ADC_OPACR	244
14.5	使用注意事项	245
14.5.1	数据寄存器读取时注意事项	245
14.5.2	扫描完成中断处理注意事项	245
14.5.3	模块停止功能设定	245
14.5.4	切换低功耗模式的注意事项	245
14.5.5	A/D 转换模拟通道输入的引脚设定	245

14.5.6	噪声控制.....	245
15	通用控制定时器（Timer4）.....	246
15.1	简介.....	246
15.2	基本框图.....	246
15.3	功能说明.....	248
15.3.1	波形模式.....	248
15.3.2	计数动作.....	248
15.3.3	比较输出.....	249
15.3.4	缓存功能.....	250
15.3.4.1	周期基准寄存器缓存功能.....	251
15.3.4.2	通用比较寄存器缓存功能.....	252
15.3.4.3	专用比较寄存器缓存功能.....	255
15.3.5	通用 PWM 输出.....	257
15.3.5.1	独立 PWM 输出.....	257
15.3.5.2	扩展 PWM 输出.....	258
15.3.5.3	互补 PWM 输出.....	259
15.3.6	周期间隔响应.....	262
15.3.7	EMB 控制.....	264
15.4	中断及事件说明.....	266
15.4.1	计数比较匹配中断.....	266
15.4.2	计数周期匹配中断.....	266
15.4.3	重载计数匹配中断.....	266
15.4.4	专用比较匹配事件.....	266
15.5	寄存器说明.....	268
15.5.1	计数值寄存器（TMR4_CNTR）.....	271
15.5.2	周期基准寄存器（TMR4_CPSR）.....	271
15.5.3	控制状态寄存器（TMR4_CCSR）.....	272
15.5.4	有效周期寄存器（TMR4_CVPR）.....	274
15.5.5	通用比较基准寄存器（TMR4_OCCRm）.....	274
15.5.6	通用控制状态寄存器（TMR4_OCSRn）.....	275
15.5.7	通用扩展控制寄存器（TMR4_OCERn）.....	276
15.5.8	通用模式控制寄存器（TMR4_OCMRm）.....	278
15.5.9	专用比较基准寄存器（TMR4_SCCRm）.....	282
15.5.10	专用控制状态寄存器（TMR4_SCSRm）.....	283
15.5.11	专用模式控制寄存器（TMR4_SCMRm）.....	285
15.5.12	PWM 基本控制寄存器（TMR4_POCRn）.....	286
15.5.13	PWM 滤波控制寄存器（TMR4_PFSRn）.....	287
15.5.14	PWM 死区控制寄存器（TMR4_PDARn）.....	287
15.5.15	重载控制状态寄存器（TMR4_RCSR）.....	288
15.5.16	EMB 控制状态寄存器（TMR4_ECSR）.....	290
16	紧急刹车模块（EMB）.....	291
16.1	简介.....	291

16.2	功能描述.....	292
16.2.1	概述.....	292
16.2.2	外部端口输入电平变化时停止 PWM 信号输出.....	292
16.2.3	PWM 输出端口电平发生同相（同高或同低）时停止 PWM 信号输出	292
16.2.4	根据电压比较器比较结果停止 PWM 信号输出.....	293
16.2.5	外部振荡器停止振荡时停止 PWM 信号输出.....	293
16.2.6	写寄存器软件控制 PWM 信号输出.....	293
16.3	寄存器说明.....	294
16.3.1	EMB 控制寄存器(EMB_CTL).....	295
16.3.2	EMB 反馈电平选择寄存器(EMB_PWMLV).....	296
16.3.3	EMB 软件输出使能控制寄存器(EMB_SOE).....	296
16.3.4	EMB 状态寄存器(EMB_STAT).....	297
16.3.5	EMB 状态复位寄存器(EMB_STATCLR)	298
16.3.6	EMB 中断许可寄存器(EMB_INTEN)	299
17	通用定时器（TimerB）	300
17.1	简介.....	300
17.2	基本框图.....	300
17.3	功能说明.....	302
17.3.1	波形模式.....	302
17.3.2	时钟源选择.....	302
17.3.3	比较输出.....	303
17.3.4	捕获输入.....	303
17.3.5	同步启动.....	304
17.3.6	数字滤波.....	305
17.3.7	级联计数.....	305
17.3.8	脉宽测量.....	306
17.3.9	周期测量.....	307
17.3.10	PWM 输出	308
	17.3.10.1 单边对齐 PWM 输出	308
	17.3.10.2 双边对称 PWM 输出	308
17.4	中断及事件说明.....	310
17.4.1	比较匹配中断及事件.....	310
17.4.2	周期匹配中断及事件.....	310
17.5	寄存器说明.....	311
17.5.1	通用计数值寄存器（TMRB_CNTER）	312
17.5.2	周期基准值寄存器（TMRB_PERAR）	312
17.5.3	比较基准值寄存器（TMRB_CMPAR）	312
17.5.4	控制状态寄存器（TMRB_BCSTR）	313
17.5.5	中断控制寄存器（TMRB_ICONR）	315
17.5.6	事件控制寄存器（TMRB_ECONR）	315
17.5.7	状态标志寄存器（TMRB_STFLR）	316
17.5.8	捕获控制寄存器（TMRB_CCONR）	316

17.5.9	端口控制寄存器 (TMRB_PCONR)	317
17.5.10	硬件触发事件选择寄存器 (TMRB_HCONR)	318
17.5.11	硬件递加事件选择寄存器 (TMRB_HCUPR)	320
17.5.12	硬件递减事件选择寄存器 (TMRB_HCDOR)	321
17.5.13	内部触发事件选择寄存器 (TMRB_HTSSR)	322
18	通用定时器 (TimerA)	323
18.1	简介	323
18.2	基本框图	323
18.3	功能说明	325
18.3.1	波形模式	325
18.3.2	时钟源选择	325
18.3.3	比较输出	326
18.3.4	捕获输入	326
18.3.5	数字滤波	327
18.3.6	缓存功能	328
18.3.7	PWM 输出	329
18.3.7.1	单边对齐 PWM 输出	329
18.3.7.2	双边对称 PWM 输出	330
18.3.8	正交编码计数	331
18.3.8.1	基本计数	331
18.3.8.2	相位差计数	331
18.3.8.3	方向计数	332
18.4	中断及事件说明	333
18.4.1	比较匹配中断及事件	333
18.4.2	周期匹配中断及事件	333
18.5	寄存器说明	334
18.5.1	通用计数值寄存器 (TMRA_CNTER)	335
18.5.2	周期基准值寄存器 (TMRA_PERAR)	335
18.5.3	比较基准值寄存器 (TMRA_CMPAR _m) (m=1~2)	335
18.5.4	控制状态寄存器 (TMRA_BCSTR)	336
18.5.5	中断控制寄存器 (TMRA_ICONR)	337
18.5.6	事件控制寄存器 (TMRA_ECONR)	337
18.5.7	滤波控制寄存器 (TMRA_FCONR)	338
18.5.8	状态标志寄存器 (TMRA_STFLR)	339
18.5.9	缓存控制寄存器 (TMRA_BCONR)	339
18.5.10	捕获控制寄存器 (TMRA_CCONR _m) (m=1~2)	340
18.5.11	端口控制寄存器 (TMRA_PCONR _m) (m=1~2)	341
18.5.12	硬件触发事件选择寄存器 (TMRA_HCONR)	343
18.5.13	硬件递加事件选择寄存器 (TMRA_HCUPR)	344
18.5.14	硬件递减事件选择寄存器 (TMRA_HCDOR)	346
18.5.15	内部触发事件选择寄存器 (TMRA_HTSSR)	348
19	通用定时器 (Timer2)	349

19.1	简介.....	349
19.2	基本框图.....	349
19.3	功能说明.....	351
19.3.1	时钟源选择.....	351
19.3.1.1	同步计数时钟源.....	351
19.3.1.2	异步计数时钟源.....	351
19.3.2	比较输出.....	351
19.3.3	硬件触发.....	352
19.3.3.1	启动停止清零.....	352
19.3.3.2	捕获输入动作.....	353
19.3.3.3	脉宽测量.....	353
19.3.3.4	周期测量.....	354
19.3.4	数字滤波.....	354
19.4	中断及事件说明.....	356
19.4.1	中断输出.....	356
19.4.2	事件输出.....	356
19.5	寄存器说明.....	357
19.5.1	计数值寄存器 (TMR2_CNTAR)	358
19.5.2	基准值寄存器 (TMR2_CMPAR)	358
19.5.3	基本控制寄存器 (TMR2_BCONR)	359
19.5.4	中断控制寄存器 (TMR2_ICONR)	361
19.5.5	端口控制寄存器 (TMR2_PCONR)	362
19.5.6	硬件控制寄存器 (TMR2_HCONR)	363
19.5.7	触发选择寄存器 (TMR2_HTSSR)	365
19.5.8	状态标志寄存器 (TMR2_STFLR)	365
19.6	使用注意事项.....	366
20	通用定时器 (Timer0)	367
20.1	简介.....	367
20.2	基本框图.....	367
20.3	功能说明.....	368
20.3.1	时钟源选择.....	368
20.3.1.1	同步计数时钟源.....	368
20.3.1.2	异步计数时钟源.....	368
20.3.2	基本计数.....	369
20.3.3	硬件触发.....	369
20.4	中断及事件说明.....	370
20.4.1	中断输出.....	370
20.4.2	事件输出.....	370
20.5	寄存器说明.....	371
20.5.1	计数值寄存器 (TMR0_CNTAR)	372
20.5.2	基准值寄存器 (TMR0_CMPAR)	372
20.5.3	基本控制寄存器 (TMR0_BCONR)	373

20.5.4	触发选择寄存器 (TMR0_HTSSR)	375
20.5.5	状态标志寄存器 (TMR0_STFLR)	375
20.6	使用注意事项.....	376
21	看门狗计数器 (SWDT)	377
21.1	简介.....	377
21.2	功能说明.....	378
21.2.1	启动看门狗.....	378
21.2.2	硬件启动方式.....	379
21.2.3	软件启动方式.....	380
21.2.4	刷新动作.....	381
21.2.5	标志位.....	381
21.2.6	中断复位.....	382
21.2.7	计数下溢.....	383
21.2.8	刷新错误.....	384
21.3	寄存器说明.....	385
21.3.1	控制寄存器 (SWDT_CR)	386
21.3.2	状态寄存器 (SWDT_SR)	388
21.3.3	刷新寄存器 (SWDT_RR)	388
21.4	使用注意事项.....	389
22	通用同步异步收发器 (USART)	390
22.1	简介.....	390
22.2	USART 系统框图.....	391
22.3	管脚说明.....	392
22.4	功能说明.....	393
22.4.1	UART	393
22.4.1.1	时钟.....	393
22.4.1.2	数据格式.....	394
22.4.1.3	调制解调器操作.....	394
22.4.1.4	发送器.....	395
22.4.1.5	接收器.....	397
22.4.1.6	UART 半双工通信方式.....	400
22.4.1.7	UART 中断和事件.....	400
22.4.2	多处理器通信.....	401
22.4.2.1	功能简介.....	401
22.4.2.2	数据格式.....	401
22.4.2.3	动作说明.....	402
22.4.2.4	中断和事件.....	405
22.4.3	UART_LIN.....	406
22.4.3.1	功能简介.....	406
22.4.3.2	LIN 数据格式.....	406
22.4.3.3	LIN 发送.....	406
22.4.3.4	LIN 接收.....	408

22.4.4	时钟同步模式.....	410
22.4.4.1	时钟.....	410
22.4.4.2	数据格式.....	410
22.4.4.3	调制解调器操作.....	411
22.4.4.4	发送器.....	412
22.4.4.5	接收器.....	414
22.4.4.6	同时发送接收数据.....	415
22.4.4.7	时钟同步模式中断和事件.....	416
22.4.5	数字滤波功能.....	417
22.5	寄存器说明.....	418
22.5.1	状态寄存器 (USART_SR)	419
22.5.2	数据寄存器 (USART_DR)	421
22.5.3	波特率寄存器 (USART_BRR)	422
22.5.4	控制寄存器 1 (USART_CR1)	423
22.5.5	控制寄存器 2 (USART_CR2)	426
22.5.6	控制寄存器 3 (USART_CR3)	427
22.5.7	预分频寄存器 (USART_PR)	428
22.6	使用注意事项.....	429
22.6.1	UART 注意事项	429
22.6.2	时钟同步模式注意事项.....	429
22.6.3	其他注意事项.....	429
23	集成电路总线 (I ² C)	430
23.1	简介.....	430
23.2	I ² C 系统框图	431
23.2.1	系统框图.....	431
23.2.2	结构图.....	432
23.3	动作说明.....	433
23.3.1	I ² C 协议.....	433
23.3.1.1	开始条件.....	433
23.3.1.2	地址传送.....	434
23.3.1.3	数据传送.....	435
23.3.1.4	停止条件.....	439
23.3.1.5	重新开始条件.....	439
23.3.1.6	SCL 时钟同步	440
23.3.1.7	仲裁.....	440
23.3.1.8	握手.....	441
23.3.2	地址匹配.....	443
23.3.2.1	从机地址匹配.....	443
23.3.2.2	广播地址匹配.....	446
23.3.2.3	SMBus 主机地址匹配.....	447
23.3.2.4	SMBus 报警响应地址匹配.....	448
23.3.2.5	SMBus 默认地址匹配.....	449

23.3.3	SMBus 动作.....	449
23.3.3.1	SMBus 超时测量.....	449
23.3.3.2	数据包错误码 (PEC)	450
23.3.4	复位.....	451
23.3.5	中断和事件信号输出.....	452
23.3.6	可编程数字滤波.....	454
23.4	应用软件设定 I2C 初始化流程.....	454
23.5	寄存器说明.....	455
23.5.1	I2C 控制寄存器 1(I2C_CR1).....	456
23.5.2	I2C 控制寄存器 2(I2C_CR2).....	458
23.5.3	I2C 从机地址寄存器 0(I2C_SLR0).....	460
23.5.4	I2C 从机地址寄存器 1(I2C_SLR1).....	461
23.5.5	I2C 状态寄存器(I2C_SR).....	462
23.5.6	I2C 状态清零寄存器(I2C_CLR).....	467
23.5.7	I2C 数据发送寄存器(I2C_DTR)	468
23.5.8	I2C 数据接收寄存器(I2C_DRR).....	468
23.5.9	I2C 数据移位寄存器(I2C_DSR).....	469
23.5.10	I2C 时钟控制寄存器(I2C_CCR)	470
23.5.11	I2C 滤波控制寄存器(I2C_FLTR).....	472
24	串行外设接口 (SPI)	473
24.1	简介.....	473
24.2	SPI 系统框图.....	475
24.3	管脚说明.....	476
24.4	SPI 动作系统说明.....	477
24.4.1	主机模式的管脚状态.....	477
24.4.2	从机模式的管脚状态.....	478
24.4.3	SPI 系统连接实例	479
24.5	数据通信说明.....	480
24.5.1	波特率.....	480
24.5.2	数据格式.....	481
24.5.3	传送格式.....	483
24.5.4	通信方式.....	485
24.6	运行说明.....	487
24.6.1	运行模式概要.....	487
24.6.2	SPI 运行模式时的主机动作	489
24.6.3	SPI 运行模式时的从机动作	490
24.6.4	时钟同步运行模式中的主机动作	491
24.6.5	时钟同步运行模式中的从机动作	492
24.6.6	几种 SPI 动作的处理流程	494
24.7	奇偶校验位自诊断.....	495
24.8	错误检测.....	496
24.8.1	欠载错误.....	497

24.8.2	过载错误.....	497
24.8.3	奇偶校验错误.....	497
24.9	SPI 的初始化.....	499
24.9.1	清除 SPE 位进行初始化.....	499
24.9.2	系统复位初始化.....	499
24.10	中断源.....	500
24.11	可供使用的事件触发源.....	501
24.12	寄存器说明.....	502
24.12.1	SPI 数据寄存器 (SPI_DR)	503
24.12.2	SPI 控制寄存器 (SPI_CR1)	504
24.12.3	SPI 通信配置寄存器 1 (SPI_CFG1)	506
24.12.4	SPI 状态寄存器 (SPI_SR)	507
24.12.5	SPI 通信配置寄存器 2 (SPI_CFG2)	508
25	CRC 运算 (CRC)	509
25.1	简介.....	509
25.2	功能框图.....	509
25.3	功能说明.....	510
25.3.1	CRC16 编码模式.....	510
25.3.2	CRC16 校验模式.....	510
25.3.3	CRC32 编码模式.....	511
25.3.4	CRC32 校验模式.....	511
25.4	寄存器说明.....	512
25.4.1	控制寄存器 (CRC_CR)	512
25.4.2	结果寄存器 (CRC_RESULT)	513
25.4.3	数据寄存器 (CRC_DAT)	513
26	调试控制器 (DBG)	514
26.1	简介.....	514
26.2	DBG 系统框图.....	514
26.3	调试引脚.....	515
26.3.1	SWD 调试引脚.....	515
26.3.2	SWD 引脚分配.....	515
26.3.3	SWD 引脚上的内部上拉和下拉	515
26.4	寄存器.....	516
26.4.1	DBG 状态寄存器 (MCUDBGSTAT)	516
26.4.2	外设调试暂停寄存器 (MCUSTPCTL)	517
26.5	SW 调试端口.....	519
26.5.1	SW 协议简介	519
26.5.2	SW 协议简介	519
	版本信息 & 联系方式	520

表目录

表 1-1	存储器映射	27
表 3-1	复位方式及产生条件	32
表 3-2	复位方式及复位标志	33
表 3-3	RMU 寄存器一览	39
表 4-1	各个内部时钟的规格	45
表 5-1	LVD 特性	69
表 5-2	LVD 电压选择	70
表 5-3	低功耗模式的运行条件及各模块在低功耗模式下的状态	74
表 5-4	运行模式说明	75
表 5-5	寄存器保护列表	80
表 5-6	寄存器一览表	81
表 6-1	寄存器一览表	90
表 7-1	CPU 时钟频率和 FLASH 读等待周期对照表	99
表 7-2	寄存器一览表	105
表 8-1	SRAM 空间分配	115
表 9-1	PORT 寄存器一览 1	121
表 9-2	PORT 寄存器一览 2	121
表 10-1	中断向量表	139
表 10-2	中断事件请求序号与选择	143
表 10-3	寄存器列表	152
表 11-1	寄存器一览表	178
表 12-1	HRC 目标频率为 48MHz 时的测量误差	189
表 12-2	HRC 目标频率为 32MHz 时的测量误差	190
表 12-3	CTC 寄存器一览表	194
表 13-1	CMP 寄存器一览表(n=1,2)	206
表 14-1	各 ADC 输入信号说明	216
表 14-2	序列 A 和 B 的各种竞争	221
表 14-3	AD 转换时间	224
表 14-4	ADC 寄存器一览 1/2	228
表 14-5	ADC 寄存器一览 2/2	229
表 15-1	Timer4 的基本功能及特性	246
表 15-2	Timer4 端口列表	247
表 15-3	寄存器列表	270
表 17-1	TimerB 的基本功能及特性	300
表 17-2	TimerB 端口列表	301
表 17-3	寄存器列表	311
表 18-1	TimerA 的基本功能及特性	323
表 18-2	TimerA 端口列表	324
表 18-3	寄存器列表	334
表 19-1	Timer2 的基本功能及特性	349

表 19-2	Timer2 端口列表	350
表 19-3	寄存器列表	357
表 20-1	寄存器列表	371
表 21-1	看门狗计数器的基本特性	377
表 21-2	寄存器列表	385
表 22-1	USART 管脚说明	392
表 22-2	UART 中断/事件表	400
表 22-3	多处理器模式中断/事件表	405
表 22-4	时钟同步模式中断/事件表	416
表 22-5	USART 寄存器一览表	418
表 22-6	波特率计算公式	422
表 23-1	输入/输出引脚	432
表 23-2	寄存器一览表	455
表 24-1	SPI 的特性要点	474
表 24-2	管脚说明	476
表 24-3	主机模式时 SPI 管脚状态说明	477
表 24-4	从机模式时 SPI 管脚状态说明	478
表 24-5	部分设定值下位速	480
表 24-6	SPI 模式和寄存器设定关系	487
表 24-7	错误检测对应表	496
表 24-8	SPI 中断源说明	500
表 25-1	CRC 寄存器列表	512
表 26-1	SWJ 调试端口引脚	515

图目录

图 2-1	总线架构.....	30
图 3-1	上电复位.....	34
图 3-2	RESET 复位时序.....	35
图 3-3	LVD 复位.....	35
图 3-4	专用看门狗复位.....	36
图 3-5	软件复位.....	36
图 3-6	RAM 奇偶校验复位.....	37
图 3-7	M0+ Lockup 复位.....	37
图 3-8	外部高速振荡异常复位.....	38
图 4-1	时钟系统框图.....	43
图 4-2	外部高速振荡器连接事例.....	46
图 4-3	外部时钟输入的连接事例图.....	47
图 4-4	外部高速振荡器故障检测例.....	48
图 4-5	系统时钟选择 XTAL, 检测到 XTAL 振荡故障例.....	49
图 5-1	电源构成图.....	67
图 5-2	上电复位、掉电复位波形.....	68
图 5-3	LVD 中断/复位框图.....	71
图 5-4	LVD 中断时序图.....	72
图 5-5	LVD 复位时序图.....	72
图 7-1	FLASH 地址结构.....	98
图 9-1	端口基本结构示意图.....	117
图 10-1	中断系统框图.....	136
图 11-1	DMA 结构图.....	165
图 11-2	连锁传输示意图.....	169
图 11-3	不连续地址传输示意图.....	170
图 11-4	应用例 1: 存储器到存储器传输.....	173
图 11-5	应用例 2: 存储器到外围电路的传输.....	175
图 12-1	CTC 的基本框图.....	188
图 12-2	CTC 校准示意图.....	191
图 13-1	CMP 功能框图.....	200
图 13-2	普通比较模式工作示意图.....	201
图 13-3	窗口比较模式工作示意图.....	203
图 14-1	ADC 框图.....	216
图 14-2	内部模拟通道选择.....	217
图 14-3	序列 A 单次扫描模式.....	218
图 14-4	序列 A 连续扫描.....	219
图 14-5	双序列扫描模式 (RSCHSEL=0 序列 A 从被中断通道重新启动).....	221
图 14-6	双序列扫描模式 (RSCHSEL=1 序列 A 从第一个通道重新启动).....	222
图 14-7	模拟看门狗保护区 (比较条件).....	223
图 14-8	A/D 转换时间.....	224

图 14-9	OPA 工作示意图	225
图 14-10	OPA 与 ADC/CMP 组合工作示意图.....	226
图 14-11	ADC 中断和事件输出时序.....	227
图 15-1	Timer4 基本框图	247
图 15-2	Timer4 锯齿波波形.....	248
图 15-3	Timer4 三角波波形.....	248
图 15-4	Timer4 锯齿波模式计数动作.....	248
图 15-5	Timer4 三角波模式计数动作.....	249
图 15-6	锯齿波模式波形输出例	250
图 15-7	三角波模式波形输出例	250
图 15-8	缓存无效时修改锯齿波计数周期	251
图 15-9	缓存使能时修改锯齿波计数周期	252
图 15-10	缓存使能时修改三角波计数周期	252
图 15-11	OCCR 缓冲数据传输（周期间隔响应链接禁止时）	253
图 15-12	OCCR 缓冲数据传输（周期间隔响应链接使能）	254
图 15-13	输出比较缓冲数据传输（OCMR 缓冲使能）	255
图 15-14	SCCR 缓冲传输操作（周期间隔响应链接传输禁止时）	256
图 15-15	SCCR 缓冲传输操作（周期间隔响应链接传输使能时）	257
图 15-16	锯齿波独立 PWM 输出例.....	258
图 15-17	三角波独立 PWM 输出例.....	258
图 15-18	三角波扩展 PWM 输出.....	259
图 15-19	软件实现互补 PWM 输出.....	259
图 15-20	死区定时器模式下的互补 PWM 输出.....	260
图 15-21	脉宽异常时的死区定时器模式下的波形输出	261
图 15-22	死区定时器滤波模式下的互补 PWM 输出.....	262
图 15-23	周期间隔响应时序图	263
图 15-24	专用事件输出信号周期间隔响应输出	264
图 15-25	延时启动模式下专用事件输出信号的输出时序	267
图 17-1	TimerB 基本框图.....	301
图 17-2	锯齿波波形（递加计数）	302
图 17-3	三角波波形.....	302
图 17-4	比较输出动作	303
图 17-5	捕获输入动作	304
图 17-6	软件同步动作	305
图 17-7	PWM 输入端口的滤波功能.....	305
图 17-8	32 位级联计数动作	306
图 17-9	脉宽测量.....	306
图 17-10	周期测量.....	307
图 17-11	单边对齐 PWM 输出例.....	308
图 17-12	双边对称 PWM 输出例.....	309
图 18-1	TimerA 基本框图.....	324
图 18-2	锯齿波波形（递加计数）	325

图 18-3	三角波波形	325
图 18-4	比较输出动作	326
图 18-5	捕获输入动作	327
图 18-6	时钟输入端口的滤波功能	328
图 18-7	锯齿波模式时缓存动作	329
图 18-8	单边对齐 PWM 输出例	330
图 18-9	双边对称 PWM 输出例	330
图 18-10	位置模式-基本计数	331
图 18-11	位置计数模式-相位差计数（1 倍计数）	331
图 18-12	位置计数模式-相位差计数（2 倍计数）	332
图 18-13	位置计数模式-相位差计数（4 倍计数）	332
图 18-14	位置计数模式-方向计数	332
图 19-1	Timer2 基本框图	350
图 19-2	比较输出动作	352
图 19-3	硬件启动、清零动作	353
图 19-4	捕获输入动作	353
图 19-5	脉宽测量	354
图 19-6	周期测量	354
图 19-7	TRIG 输入端口的数字滤波	355
图 20-1	Timer0 基本框图	367
图 20-2	Timer0 计数时序图	369
图 21-1	硬件启动例	379
图 21-2	软件启动例	380
图 21-3	各种刷新动作时序示例（动作确认，刷新要求信号的下降沿等）	381
图 21-4	计数器下溢动作例	383
图 21-5	计数器刷新动作例	384
图 22-1	USART 系统框图	391
图 22-2	UART 数据格式	394
图 22-3	UART 发送数据图例 1	396
图 22-4	UART 发送数据图例 2	396
图 22-5	UART 内部同步和采样时序	397
图 22-6	UART 接收数据图例 1	399
图 22-7	UART 接收数据图例 2	399
图 22-8	多处理器通信图例	401
图 22-9	多处理器模式数据格式	401
图 22-10	多处理器模式发送数据图例	403
图 22-11	多处理器模式接收数据图例 1	404
图 22-12	多处理器模式接收数据图例 2	405
图 22-13	LIN 总线数据行为	406
图 22-14	时钟同步模式数据格式	411
图 22-15	时钟同步模式发送数据图例 1	413
图 22-16	时钟同步模式发送数据图例 2	413

图 22-17	时钟同步模式接收数据图例 1	414
图 22-18	时钟同步模式接收数据图例 2	415
图 23-1	I ² C 系统框图.....	431
图 23-2	I ² C 总线的结构例	432
图 23-3	I ² C 总线的时序图.....	433
图 23-4	I ² C 总线的数据格式.....	434
图 23-5	7 位地址格式的主机发送数据时序图（例）	436
图 23-6	7 位地址格式的主机接收数据的时序图（例）	437
图 23-7	7 位地址格式的从机发送模式时序图（例）	438
图 23-8	7 位地址格式从机接收模式时序图（例）	439
图 23-9	SCL 同步时序.....	440
图 23-10	从机发送时序图（1）	441
图 23-11	从机发送时序图（2）	442
图 23-12	选择 7 位地址格式时的时序	444
图 23-13	选择 10 位地址格式时的时序	445
图 23-14	数字滤波电路框图.....	454
图 24-1	系统框图.....	475
图 24-2	主机模式结构.....	479
图 24-3	三线式时钟同步运行	479
图 24-4	数据格式.....	481
图 24-5	数据传送格式图（CPHA=0）	483
图 24-6	数据传送格式（CPHA=1）	484
图 24-7	全双工同步串行通信	485
图 24-8	只进行发送通信	486
图 24-9	奇偶校验流程.....	495
图 24-10	过载错误处理	497
图 24-11	奇偶校验错误	498
图 25-1	CRC 应用示意图.....	509
图 26-1	调试控制系统.....	514

简介（Overview）

HC32M120 系列是基于 ARM® Cortex®-M0+ 32-bit RISC CPU，最高工作频率 48MHz 的高性能 MCU。Cortex-M0+内核支持 2 级流水线，运算能力达到 0.95 Dhrystone MIPS/MHz，硬件调试电路支持 2-pin 的 SWD 调试界面。

HC32M120 系列集成了片上存储器，包括 32KB 的 Flash，4KB 的 SRAM。集成了 Flash 访问预取指加速单元（Prefetch）和指令缓存（Cache），实现 CPU 在 Flash 上的单周期执行。支持 DMA 及外设间事件相互触发，可以显著降低 CPU 的事务处理负荷。

HC32M120 系列集成了丰富的外设功能。包括最大 12 通道的 12bit 1MSPS ADC，2 个独立运算放大器（OPA），2 个独立电压比较器（CMP），1 个电机 Timer（Timer），1 个多功能 16bit Timer（TimerA）支持正交编码输入、输入捕捉、输出捕捉、PWM 输出，4 个多功能 16bit Timer（TimerB）支持输入捕捉、输出比较、PWM 输出，1 个 16bit Timer（Timer2）支持异步计数，1 个 16bit Timer（Timer0），1 个 I2C 通信接口，1 个 SPI 通信接口，3 个 USART 通信接口，其中 1 个 USART 支持 LIN 通信功能，

HC32M120 系列支持宽电压范围（2.7-5.5V）、宽温度范围（-40-105℃）和低功耗模式。

典型应用

HC32M120 系列提供 Pin Pitch 0.5mm 的 48pin、0.8mm 的 32pin 的 LQFP 封装，适用于电机控制、智能硬件等领域。

关于本手册

本手册主要介绍芯片的功能、操作事项和使用方法。关于芯片的规格，请参阅对应的“数据手册”。

1 存储器映射 (Memory Mapping)

1.1 存储器映射

该 MCU 支持 4GB 的线性地址空间，地址从 0000 0000h 到 FFFF FFFFh，其中包含程序和数据。详细存储器映射请参阅下表。

存储器分类*1		开始地址	结束地址	空间大小	模块*2	保护*3	说明
系统		0xE0100000	0xFFFFFFFF	511MB	Reserved		自定义空间
	私有外设 外部总线	0xE00FF000	0xE00FFFFF	4KB	ROMTABLE		
		0xE0042400	0xE00FEFFF	755KB			
		0xE0042000	0xE00423FF	1KB			
		0xE0041000	0xE0041FFF	4KB			
		0xE0040000	0xE0040FFF	4KB			
	私有外设 内部总线	0xE000F000	0xE003FFFF	196KB			系统控制空间 NVIC 等
		0xE000E000	0xE000EFFF	4KB	SCS		
		0xE0003000	0xE000DFFF	44KB			
		0xE0002000	0xE0002FFF	4KB	FPB		
0xE0001000		0xE0001FFF	4KB	DWT			
	0xE0000000	0xE0000FFF	4KB				
外部设备	-	0xA0000000	0xDFFFFFFF	1024MB	Reserved		
外部 RAM		0x60000000	0x9FFFFFFF	1024MB	Reserved		
外设	-	0x44000000	0x5FFFFFFF	448MB	Reserved		
		0x42000000	0x43FFFFFF	32MB	PeriBitBand		CPU 以外主机 Reserved
		0x40100000	0x41FFFFFF	31MB	Reserved		
		0x40020000	0x400FFFFF	896KB	Reserved		
	AHB	0x40015800	0x4001FFFF	42KB	BLANK		
		0x40015400	0x400157FF	1KB	CRC		
		0x40015000	0x400153FF	1KB	DBGC		
		0x40014800	0x40014FFF	1KB	BLANK		
		0x40014400	0x400147FF	1KB	CMU		
		0x40014000	0x400143FF	1KB	EMU		
		0x40013800	0x40013FFF	2KB	GPIO		开始 1K 与 FASTIO 共用
		0x40013400	0x400137FF	1KB	BLANK		
		0x40013000	0x400133FF	1KB	DMA		
		0x40012800	0x40012FFF	2KB	BLANK		
		0x40012400	0x400127FF	1KB	BLANK		
		0x40012000	0x400123FF	1KB	BLANK		
		0x40011000	0x40011FFF	4KB	INTC		
		0x40010000	0x40010FFF	4KB	BLANK		

存储器分类*1		开始地址	结束地址	空间大小	模块*2	保护*3	说明
	APB	0x4000D800	0x4000FFFF	10KB	BLANK		
		0x4000D400	0x4000D7FF	1KB	BLANK		
		0x4000D000	0x4000D3FF	1KB	BLANK		
		0x4000CC00	0x4000CFFF	1KB	SWDT		
		0x4000C800	0x4000CBFF	1KB	CMP		
		0x4000BC00	0x4000C7FF	3KB	BLANK		
		0x4000B800	0x4000BBFF	1KB	ADC		
		0x40009800	0x4000B7FF	8KB	BLANK		
		0x40009400	0x400097FF	1KB	BLANK		
		0x40009000	0x400093FF	1KB	BLANK		
		0x40008C00	0x40008FFF	1KB	BLANK		
		0x40008800	0x40008BFF	1KB	BLANK		
		0x40008400	0x400087FF	1KB	TIMB_4		
		0x40008000	0x400083FF	1KB	TIMB_3		
		0x40007C00	0x40007FFF	1KB	TIMB_2		
		0x40007800	0x40007BFF	1KB	TIMB_1		
		0x40007400	0x400077FF	1KB	BLANK		
		0x40007000	0x400073FF	1KB	TIMA		
		0x40006C00	0x40006FFF	1KB	EMB		
		0x40006800	0x40006BFF	1KB	TIM4		
		0x40006400	0x400067FF	1KB	BLANK		
		0x40006000	0x400063FF	1KB	TIM2		
		0x40005C00	0x40005FFF	1KB	BLANK		
		0x40005800	0x40005BFF	1KB	TIM0		
		0x40004C00	0x400057FF	3KB	BLANK		
		0x40004800	0x40004BFF	1KB	I2C		
		0x40003C00	0x400047FF	1KB	BLANK		
		0x40003800	0x40003BFF	1KB	SPI		
		0x40002800	0x400037FF	4KB	BLANK		
		0x40002400	0x400027FF	1KB	BLANK		
		0x40002000	0x400023FF	1KB	USART_3		
		0x40001C00	0x40001FFF	1KB	USART_2		
		0x40001800	0x40001BFF	1KB	USART_1		
		0x40001000	0x400017FF	2KB	BLANK		
		0x40000C00	0x40000FFF	1KB	AOS		
		0x40000800	0x40000BFF	1KB	EFM		
		0x40000400	0x400007FF	1KB	BLANK		
		0x40000000	0x400003FF	1KB	CTC		

存储器分类*1		开始地址	结束地址	空间大小	模块*2	保护*3	说明
SRAM	SRAM	0x24000000	0x3FFFFFFF	448MB	Reserved		
		0x22000000	0x23FFFFFF	32MB	SRAMBitBand		CPU 以外主机 Reserved
		0x20100000	0x21FFFFFF	31MB	Reserved		
		0x20001000	0x200FFFFF	1020KB	Reserved		
		0x20000000	0x20000FFF	4KB	SRAM	保护	
CODE	FLASH	0x00100000	0x1FFFFFFF	511MB	Reserved		
		0x00080000	0x000FFFFF	992KB	Reserved		
		0x00000000	0x00007FFF	32KB	Flash		

表 1-1 存储器映射

*1 请参考 ARM Cortex-M0+说明手册存储器系统。

*2 Reserved: 访问总线会引起总线错误; BLANK: 写访问无视, 读 0。

*3 保护功能请参考 PWC 章节。

1.2 位段空间

Cortex™-M0+ 存储器映射包括两个位段区域。这些区域将存储器别名区域中的每个字映射到存储器位段区域中的相应位。在别名区域写入字时，相当于对位段区域的目标位执行读-修改-写操作。

在该 MCU 中，外设寄存器和 SRAM 均映射到一个位段区域，这样可实现单个位段的读写操作。这些操作仅适用于 Cortex™-M0+ 访问，对于其它总线主接口（如 DMA）无效。

在位段区域,每个字由位段别名地址区域 32 个字的 LSB 表示。实际情况是，当访问位段别名地址时，该地址就会被重映射到位段地址。对于读操作，字被读出且选定位的位置被移到读返回数据的 LSB。对于写操作，待写的位数据被移到所需的位置，然后执行读-修改-写操作。

可以进行位段操作的存储器区域有两个：

0x20000000~0x200FFFFFF(SRAM, 1MB)

0x40000000~0x400FFFFFF(外设, 1MB)

举例说明如下：

- 1) 将地址 0x20000000 设置为 0x3355AACC。
- 2) 读地址 0x22000008。本次读访问被映射为到 0x20000000 的读访问，返回值为 1（0x3355AACC 的 bit[2]）。
- 3) 将 0x22000008 写为 0。本次写访问被重映射为到地址 0x20000000 的读-修改-写。数值 0x3355AACC 被从寄存器中读出来，清除第 2 位后，结果 0x3355AAC8 被写入地址 0x20000000。
- 4) 现在读取 0x20000000，这样会得到返回值 0x3355AAC8(bit[2]被清除)。
- 5) 在访问位段别名地址时，只会用到数据的 LSB(bit[0])。另外，对位段别名区域的访问不应该是非对齐的。若非对齐访问在位段区域内执行，结果是不可预测的。

2 总线架构 (BUS)

2.1 概述

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连：

- 主机总线
 - Cortex-M0+内核 CPU 总线
 - Cortex-M0+内核总线，CPU 通过该总线获取指令与数据。访问对象是包含内部存储器与外设。
 - 系统 DMA 总线
 - 系统 DMA 专用总线，DMA 通过该总线访问存储器和外设。
- 总线矩阵
 - 借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问，总线矩阵采用固定优先级的总线仲裁方式，访问优先级 DMA 访问 > CPU 访问，以保证 DMA 数据传送的连续性。
- 从机总线
 - AHB 外设总线
 - APB 外设总线

2.2 总线架构

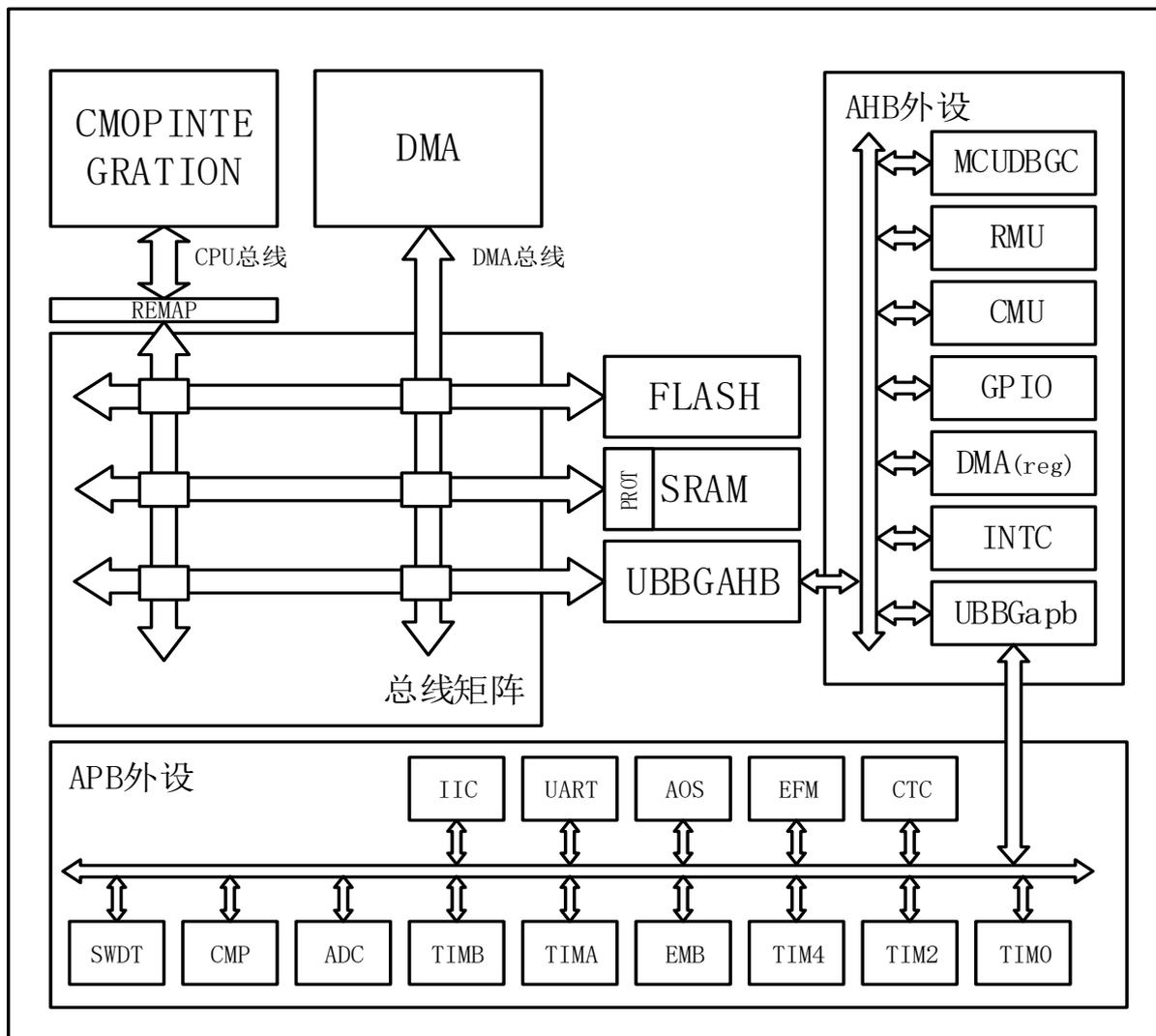


图 2-1 总线架构

2.3 总线功能

总线负责实现主机对从机的读写访问。通过总线可以实现对 AHB 与 APB 外设的访问。

APB 外设通过总线桥与 AHB 连接。

通过总线矩阵，不同主机总线的访问目标不冲突时，各访问能够同时进行。例如 CPU 访问 Flash，DMA 访问 SRAM；CPU 访问 APB 外设，DMA 访问 SRAM，这些访问可以同时进行。

3 复位控制 (RMU)

3.1 简介

芯片配置了 8 种复位方式。

- 上电复位(POR)
- $\overline{\text{RESET}}$ 引脚复位($\overline{\text{RESET}}$)
- 低电压检测复位 (LVD)
- 专用看门狗复位 (SWDTR)
- 软件复位(SRST)
- M0+ Lockup 复位
- 外部高速振荡器异常停振复位(XTALER)
- RAM 奇偶校验复位

3.2 复位方式和复位标志位

复位方式及产生条件如表 3-1 所示。

复位方式	产生条件
上电复位	VDD 上电
$\overline{\text{RESET}}$ 引脚复位	$\overline{\text{RESET}}$ 引脚输入低电平
低电压检测复位	VDD 电压降至低于 VLVD 电压
专用看门狗复位	看门狗定时器产生刷新错误或者溢出错误
软件复位	设置复位寄存器位（ARM 寄存器 AIRCR.SYSRESETREQ 位）
RAM 奇偶校验错误复位	RAM 奇偶校验错误产生的复位
M0+ Lockup 复位	当 Cortex-M0+ 遇到严重的异常时，它会将自己的 PC 指针停在当前地址处，并锁死自己，在几个时钟周期延时之后复位整个芯片。
外部高速振荡器异常停振复位	外部高速振荡器异常停振时产生的复位

表 3-1 复位方式及产生条件

发生复位时，芯片根据复位方式将对应的复位标志位进行置位，复位标志位如表 3-2 所示。比如发生引脚复位，引脚复位标志位 PINRF 被置 1，在 PINRF 被置位后通过写 CLRF 可以将 PINRF 清零。

复位标志	复位方式							
	上电复位	引脚复位	低电压检测复位	专用看门狗复位	软件复位	RAM 奇偶校验复位	M0+ Lockup 复位	外部高速振荡器异常停振复位
上电复位标志 (RSTF0.PORF)	√	—	—	—	—	—	—	—
引脚复位标志 (RSTF0.PINRF)	—	√	—	—	—	—	—	—
低电压检测复位标志 (RSTF0.LVIRFRSTF0.LVIRF)	—	—	√	—	—	—	—	—
专用看门狗复位标志 (RSTF0.WDRF)	—	—	—	√	—	—	—	—
软件复位标志 (RSTF0.SWRF)	—	—	—	—	√	—	—	—
RAM 奇偶校验错误复位 (RSTF0.RPERF)	—	—	—	—	—	√	—	—
M0+ Lockup 复位 (RSTF0.CPULKUPRF)	—	—	—	—	—	—	√	—
外部高速振荡器异常停振复位 (RSTF0.XTALERF)	—	—	—	—	—	—	—	√

√：置位 —：不变

表 3-2 复位方式及复位标志

3.3 复位时序

3.3.1 上电复位

上电复位是上电复位电路引起的内部复位，时序如图 3-1。在将 $\overline{\text{RESET}}$ 引脚置为高电平的状态下接通电源，就产生上电复位。 VDD 电压高于 V_{PORU} 后经过一定的时间 (T_{POR}) 之后芯片内部复位解除，CPU 开始执行代码。产生上电复位时，上电复位标志 RMU_RSTF0.PORF 被置位。上电复位的详细说明请参照【5.3.1 上电复位/掉电复位动作说明】。

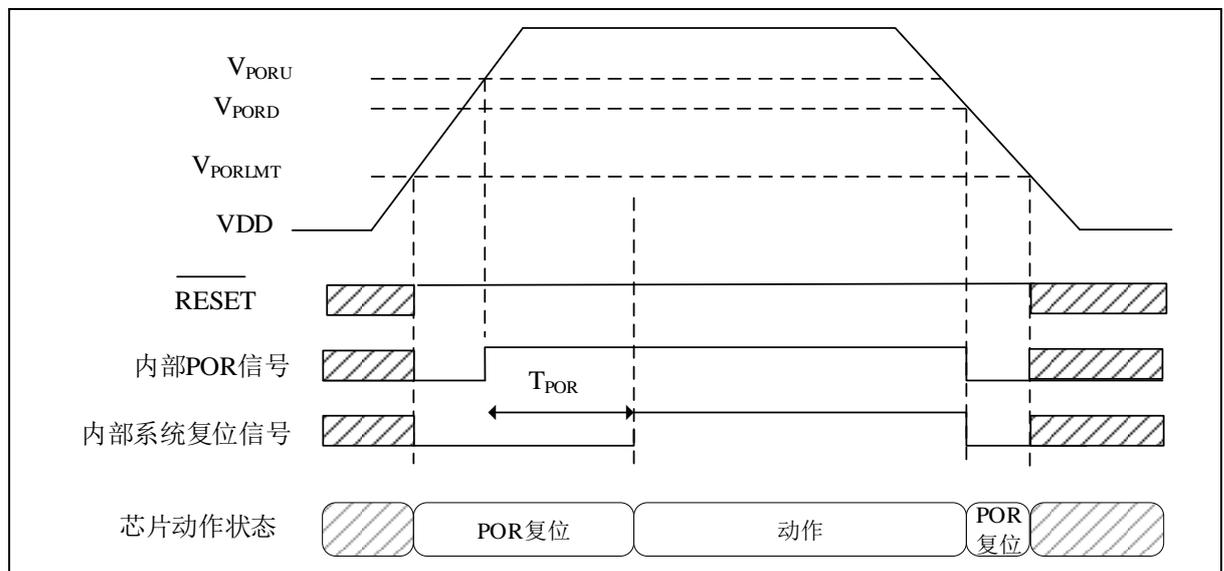


图 3-1 上电复位

3.3.2 $\overline{\text{RESET}}$ 引脚复位

引脚复位是 $\overline{\text{RESET}}$ 引脚被驱动为低电平引起的复位，复位时序如图 3-2。 $\overline{\text{RESET}}$ 管脚维持 T_{RESET} 宽度以上的低电平后，经过一定的内部复位时间（T_{IRESET}），解除内部复位。

产生 $\overline{\text{RESET}}$ 引脚复位时，引脚复为标志 RMU_RSTF0.PINRF 被置位。

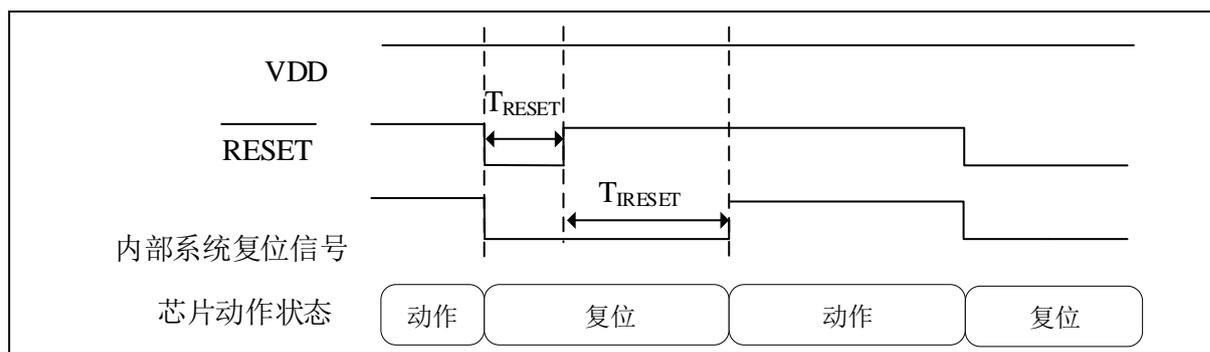


图 3-2 RESET 复位时序

3.3.3 低电压检测复位

低电压检测复位是低电压检测电路引起的内部复位，时序如图 3-3。LVD 设置为复位使能后，如果 VDD 电压低于电压检测电压 VLVD，RMU_RSTF0.LVRF 被置位。当 VDD 电压高于电压检测电压 VLVD 经过 VLVD 的复位时间（TLVD）后解除复位。

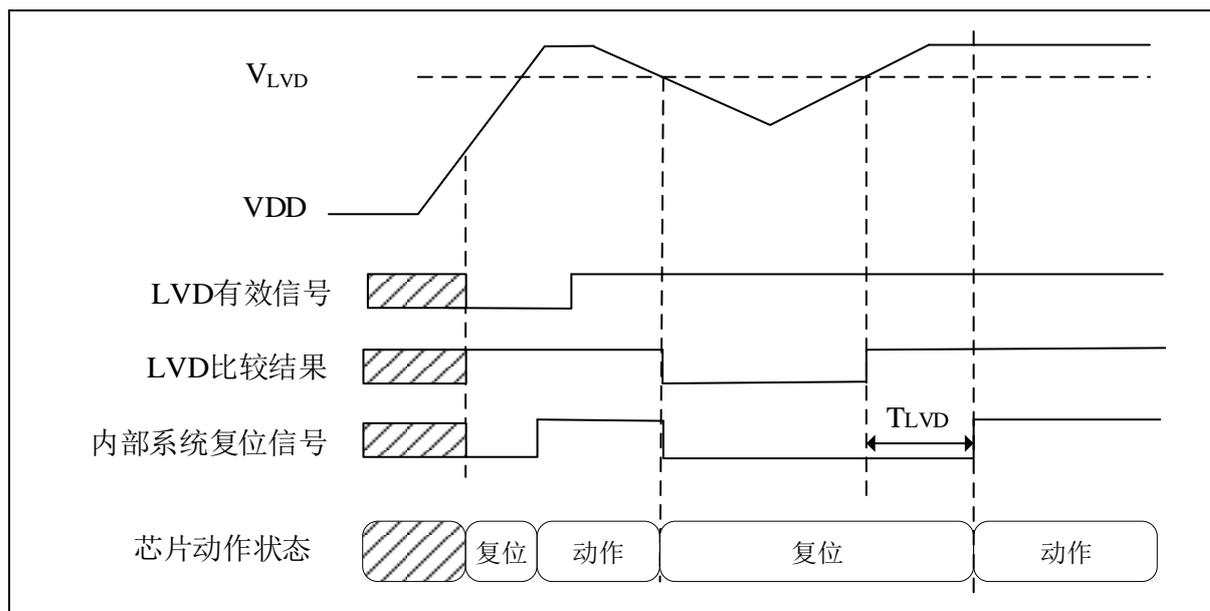


图 3-3 LVD 复位

3.3.4 专用看门狗复位

专用看门狗复位是看门狗定时器引起的内部复位，复位时序如图 3-4。

设定专用看门狗复位有效后，在看门狗定时器产生下溢或者在不允许刷新期间进行写操作时产生专用看门狗复位。专用看门狗复位将 `RMU_RSTF0.WDRF` 置位。产生专用看门狗复位后，经过内部复位时间 T_{RIPT} 之后，芯片解除复位。

有关专用看门狗复位的详细内容，请参考【看门狗计数器（SWDT）】。

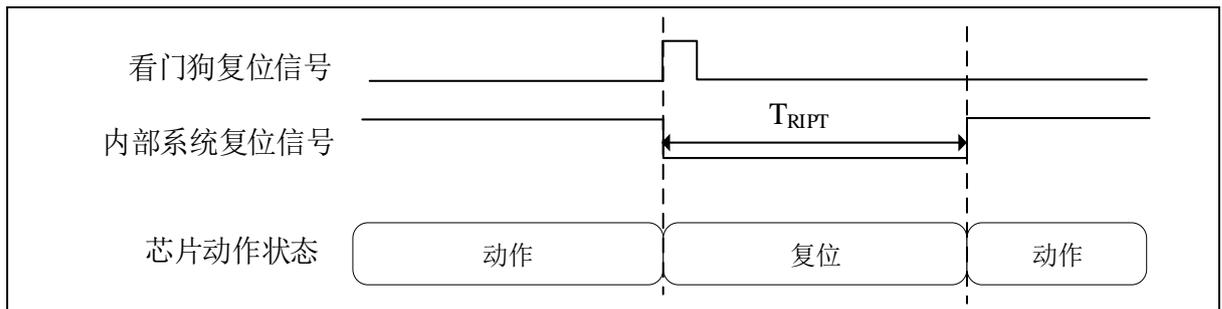


图 3-4 专用看门狗复位

3.3.5 软件复位

通过写 ARM 寄存器 AIRCR 的 `SYSRESETREQ` 位产生软件复位。产生软件复位时，`RMU_RSTF0.SWRF` 位被置位。经过内部复位时间 T_{RIPT} 之后，芯片解除复位。

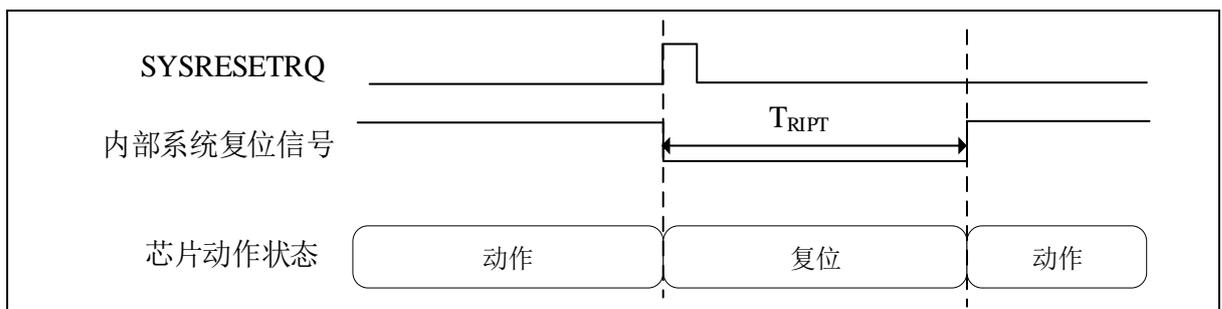


图 3-5 软件复位

3.3.6 RAM 奇偶校验复位

RAM 奇偶校验发生错误时，产生 RAM 奇偶校验复位，时序如图 3-6。RAM 奇偶校验错误将 RMU_RSTF0.RAMPERF 置位。经过内部复位时间 T_{RIPT} 之后，芯片解除复位。

RAM 奇偶校验错误复位的设定，请参照【8 内置 SRAM (SRAM)】。

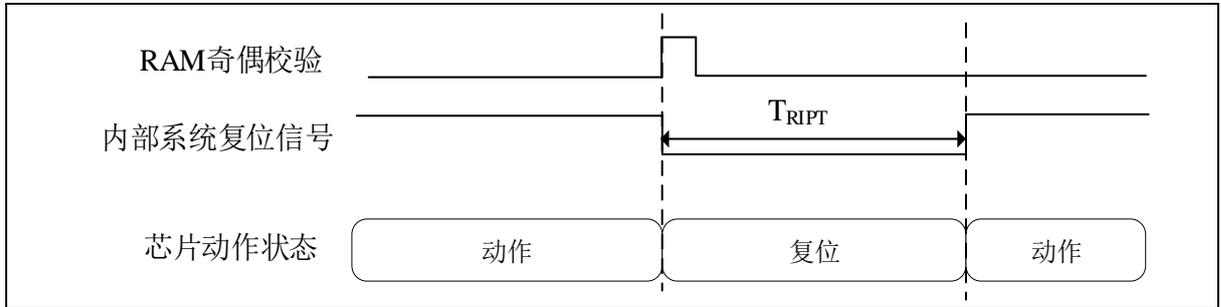


图 3-6 RAM 奇偶校验复位

3.3.7 M0+ Lockup 复位

当 Cortex-M0+ 遇到严重的异常时，它会将自己的 PC 指针停在当前地址处，并锁死自己，并在几个时钟周期延时之后复位整个芯片，时序如图 3-7。M0+ Lockup 复位将 RSTF0.CPULKUPRF 置位。经过内部复位时间 T_{RIPT} 之后，芯片解除复位。

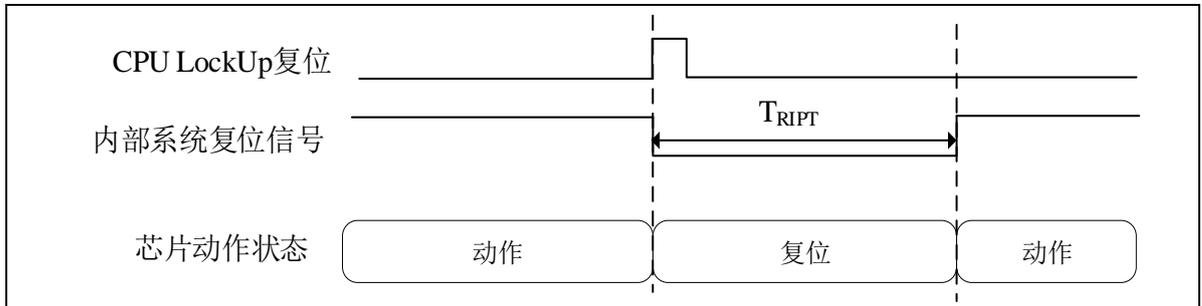


图 3-7 M0+ Lockup 复位

3.3.8 外部高速振荡器异常停振复位

当芯片的震荡停止检测模块有效并且复位使能后，如果发生外部高速振荡器异常停振时，产生外部高速振荡器异常停振复位，RMU_RSTF0.XTALERF 被置位。经过内部复位时间 T_{RIPT} 之后，芯片解除复位。

外部高速振荡器异常停振复位的设定，请参照【4.5.2 外部高速振荡器故障检测】。

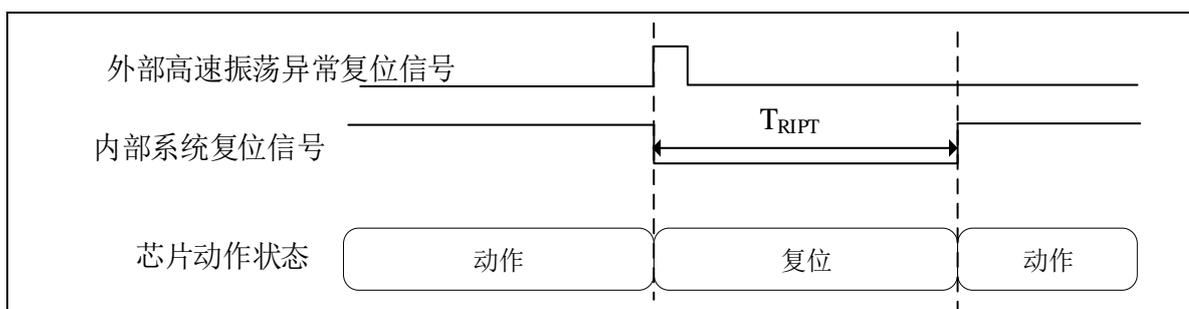


图 3-8 外部高速振荡异常复位

3.3.9 复位方式的判断

根据 RMU_RSTF0 的复位标志可以判断复位方式。当两个或者两个以上复位同时产生时，可能会产生多个复位标志。RMU_RSTF0 中的 MULTIRF 位为 1 时表示发生多个复位。在读 RMU_RSTF0 之后，通过置位 CLRf 位能够将所有的复位标志清 0。

3.4 寄存器说明

寄存器一览如表 3-3 所示。

BASE ADDR: 0x40014100

寄存器名	符号	偏移地址	位宽	复位值
复位状态寄存器	RMU_RSTF0	0x00	16	根据不同的复位方式复位值不同

表 3-3 RMU 寄存器一览

3.4.1 复位标志寄存器 0 (RMU_RSTF0)

复位值：0xXXXXh(根据复位方式不同，复位值不同)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CLRF	MULTIRF	XTALERF	CPULKUPRF	-	RAMPERF	-	SWRF	-	-	WDRF	-	-	LVRF	PINRF	PORF

位	标记	位名	功能	读写
b15	CLRF	清除复位标志	软件置1，用于清除复位标志位。 读出时为0。置位动作必须在读取RMU_RSTF0之后进行。 0：无操作 1：清零复位标志	R/W
b14	MULTIRF	2个以上复位发生标志位	发生两个及两个以上复位时，由硬件置位。 通过置位CLRF清零。 0：未发生两个及两个以上复位 1：发生两个及两个以上复位	R/W
b13	XTALERF	外部高速振荡器异常停振复位标志	发生外部高速振荡器异常停振复位时，由硬件置位。 通过置位CLRF清零。 0：未发生外部高速振荡器异常停振复位 1：发生外部高速振荡器异常停振复位	R/W
b12	CPULKUPRF	M0+ Lockup复位标志	发生M0+ Lockup复位时，由硬件置位。 通过置位CLRF清零。 0：未发生M0+ Lockup复位 1：发生M0+ Lockup复位	R/W
b11	-	-	-	R/W
b10	RAMPERF	RAM奇偶校验错误复位标志	发生RAM奇偶校验错误复位时，由硬件置位。 通过置位CLRF清零。 0：未发生RAM奇偶校验错误复位 1：发生RAM奇偶校验错误复位	R/W
b9	-	-	-	R/W
b8	SWRF	软件复位标志	发生软件复位复位时，由硬件置位。 通过置位CLRF清零。 0：未发生软件复位复位 1：发生软件复位复位	R/W
b7	-	-	-	R/W
b6	-	-	-	R/W
b5	WDRF	专用看门狗复位标志	发生专用看门狗复位时，由硬件置位。 通过置位CLRF清零。	R/W

			0: 未发生专用看门狗复位 1: 发生专用看门狗复位	
b4				R/W
b3				R/W
b2	LVRF	低电压检测复位	发生低电压检测复位时，由硬件置位。 通过置位CLRFR清零。 0: 未发生低电压检测复位 1: 发生低电压检测复位	R/W
b1	PINRF	<u>RESET</u> 引脚 复位标志	发生引脚复位时，由硬件置位。 通过置位CLRFR清零。 0: 未发生 <u>RESET</u> 复位 1: 发生 <u>RESET</u> 复位	R/W
b0	PORF	上电复位 标志	发生上电复位时，由硬件置位。 通过置位CLRFR清零。 0: 未发生上电复位 1: 发生上电复位	R/W

4 时钟控制器（CMU）

4.1 简介

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器、一个内部高速振荡器、一个内部低速振荡器、时钟预分频器和时钟门控电路。

AHB、APB 和 Cortex-M0+时钟都源自系统时钟，系统时钟的源可选择 3 个时钟源：

- 1) 外部高速振荡器（XTAL）
- 2) 内部高速振荡器（HRC）
- 3) 内部低速振荡器（LRC）

系统时钟的最大运行时钟频率可以达到 48MHz。

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。

4.2 系统框图

4.2.1 系统框图

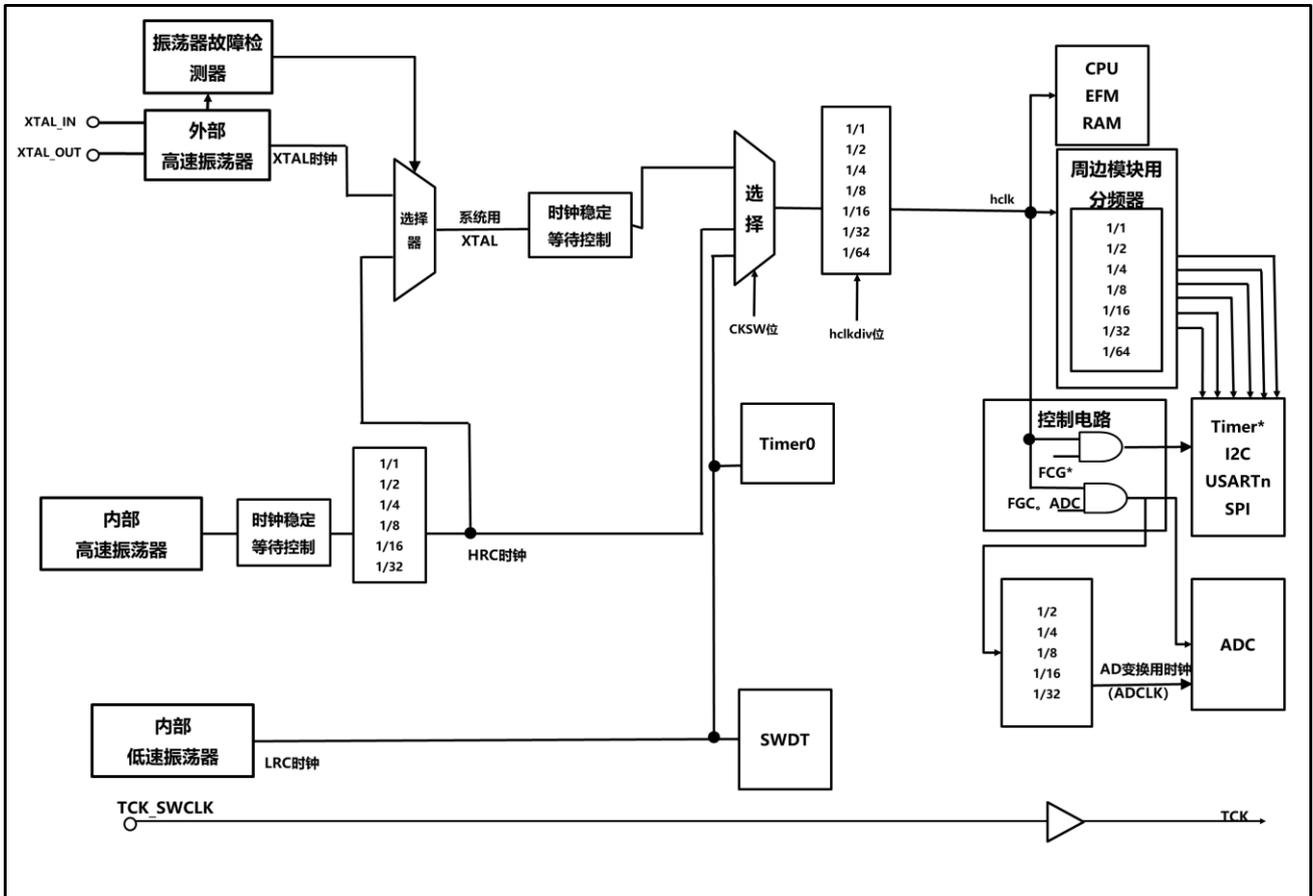


图 4-1 时钟系统框图

4.3 时钟源规格

各时钟源的主要特性如下表所示。

时钟源	规格
外部高速振荡器 (XTAL)	晶振的频率范围: 4~20MHz 外部时钟输入: 最高 20MHz 振荡器故障检测功能
内部高速振荡器 (HRC)	频率: 48MHz、32MHz、24MHz、16MHz、12MHz、8MHz、6MHz、4MHz、3MHz、2MHz、1.5MHz、1MHz。通过 ICG0.HRCFREQS 位配置。
内部低速振荡器 (LRC)	频率: 32.768kHz 可用作 SWDT、Timer0 的计数时钟

4.4 工作时钟规格

时钟	作用范围	规格
HCLK	CPU、DMA、AOS、CRC、EFM(主闪存)、SRAM、GPIO、INTC、USARTn (n=1~3)、SPI、Timer4、Timer2、Timer0、TimerBn (n=1~4)、I2C、SWDT (控制逻辑)、ADC (控制逻辑)、CTC、CMP	最高频率 48MHz
ADCLK	AD 变换用时钟	最高频率 32MHz
STICCLK	CPU 的 SysTickTimer 计数器用时钟，时钟源为 LRC	频率 32.768kHz
SWDTCLK	SWDT 计数器用时钟	频率 32.768K Hz
TCK	JTAG 用时钟	最高频率 20MHz

表 4-1 各个内部时钟的规格

4.5 晶振电路

4.5.1 外部高速振荡器

4.5.1.1 振荡器模式

外部高速振荡器可为系统时钟提供更为精确时钟源。频率范围 4~20MHz。

XTAL 通过 CMU_XTALCR 的 XTALSTP 位打开和关闭。

CMU_OSCSTBSR 的 XTALSTBF 标志位指示外部高速振荡器是否稳定，稳定时间通过寄存器 CMU_XTALSTBCR 配置。CMU_XTALSTBCR 设定的稳定时间一定要大于等于晶振厂商要求的稳定时间。

晶振的电路常数因晶振和安装电路的寄生电容而不同，因此必须和晶振厂商仔细商谈后决定。振荡器的各种特性与用户的电路板设计密接相关，晶振和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。在振荡电路附近不能通过信号线，否则就可能因电感而不能正常振荡。

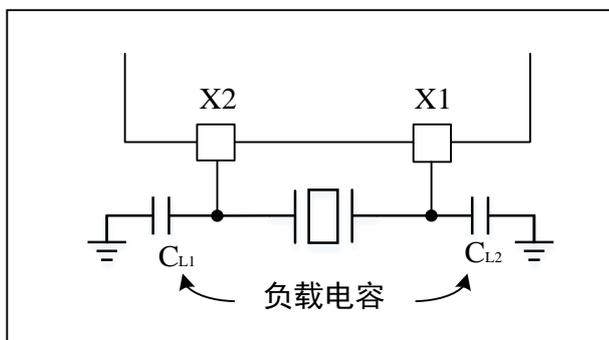


图 4-2 外部高速振荡器连接事例

4.5.1.2 时钟输入模式

时钟输入模式下，必须提供外部时钟源。此模式通过 CMU_XTALCFGR 的 XTALMS 位和 CMU_XTALCR 的 XTALSTP 位置“1”进行选择。必须使用占空比约为 50%的外部时钟信号来驱动 X2 引脚。此时 X1 引脚可根据寄存器设定配置成 GPIO。

外部时钟输入的连接例如下图所示。

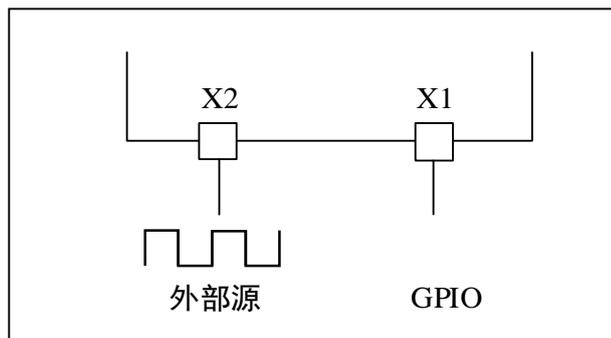


图 4-3 外部时钟输入的连接事例图

4.5.2 外部高速振荡器故障检测

振荡器故障检测是检测外部高速振荡器（XTAL）振荡是否正常。

通过寄存器 CMU_XTALSTDCR 的 XTALSTDE 位打开或关闭。

复位解除后，外部高速振荡器停止振荡，外部高速振荡器故障检测功能无效。要将外部高速振荡器故障检测功能置为有效时，必须使外部高速振荡器振荡，并且在等到外部高速振荡器稳定即 CMU_OSCSTBSR.XTALSTBF 为 1,通过寄存器 CMU_XTALSTDCR 的 XTALSTDE 位打开。

因为振荡器故障检测是检测外部因素导致的振荡器异常振荡，所以要通过软件使外部高速振荡器停止振荡或者转移到停止模式和掉电模式时，将振荡器振荡故障检测功能无效。

如果外部高速振荡器发生故障，动作波形如下图所示。操作流程参照检测到 XTAL 故障检测动作。

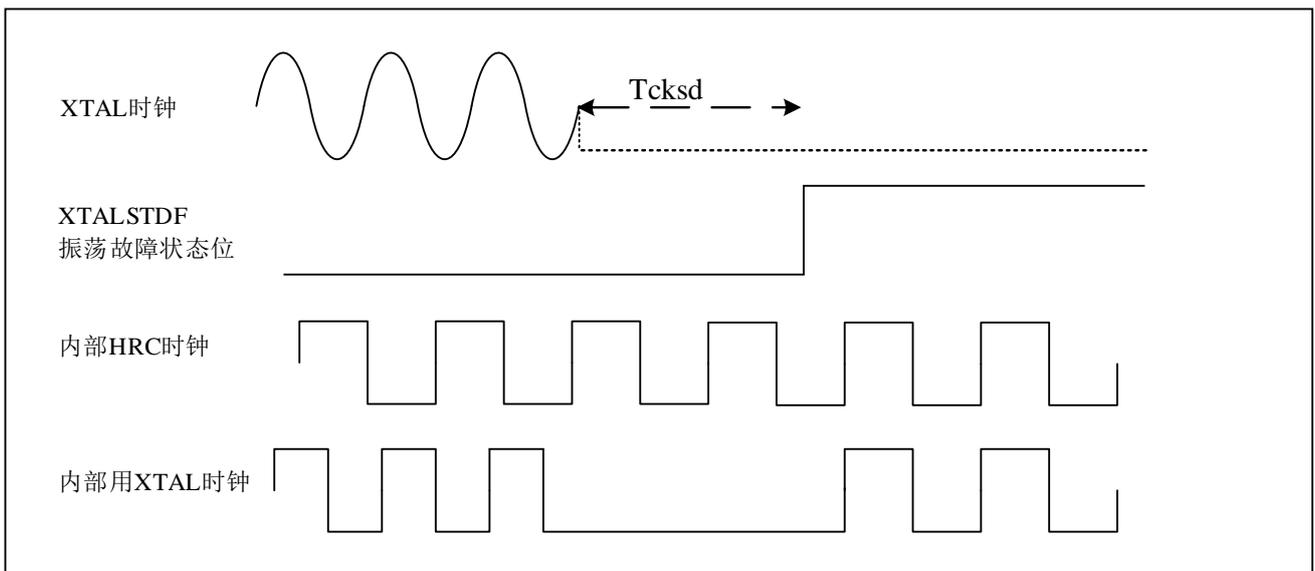


图 4-4 外部高速振荡器故障检测例

4.5.2.1 检测到 XTAL 故障检测动作

当检测到外部高速振荡器振荡故障时，如果系统时钟选择外部高速振荡器作为系统时钟，系统时钟会自动切换到 HRC。

系统时钟选择成 XTAL，检测到 XTAL 故障时，动作例如下图所示。

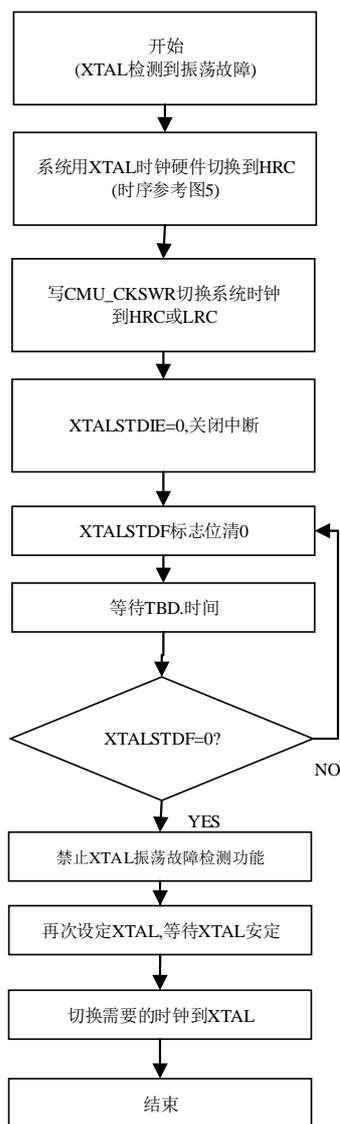


图 4-5 系统时钟选择 XTAL，检测到 XTAL 振荡故障例

4.5.2.2 检测到 XTAL 振荡故障产生中断复位

XTAL 振荡故障中断可配置成可屏蔽中断或非可屏蔽中断，参考【中断控制器 (INTC)】章。

XTAL 振荡故障配置成复位时，检测到 XTAL 振荡故障，芯片产生复位，复位动作参考【复位控制 (RMU)】章。

4.6 内部 RC 时钟

4.6.1 HRC 时钟

HRC 时钟信号由内部高速振荡器生成，可直接用作系统时钟。HRC 的频率可由 ICG0.HRCFREQS 配置成 48MHz、32MHz、24MHz、16MHz、12MHz、8MHz、6MHz、4MHz、3MHz、2MHz、1.5MHz、1MHz。也可通过 CMU_HRCCFGR.HRCFREQS[2:0] 寄存器软件设定频率。

在复位解除后，CPU 一定以此内部高速振荡时钟开始运行。

HRC 振荡器的优点是成本较低（无需使用外部组件）。此外，其启动速度也要比 XTAL 晶振块，但即使校准后，其精度也不及外部晶振。

频率校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同，因此会对每个器件进行出厂校准，保证精度参照**数据手册电气特性中内部高速（HRC）振荡器**章节。

如果应用受到温度变化影响，则这可能也会影响到 RC 振荡器的精度。

CMU_OSCSTBSR 中的 HRCSTBF 标志指示 HRC 是否稳定。在启动时，硬件将此位置 1 后，HRC 才可以使用。

HRC 可通过 CMU_HRCCR 控制寄存器中的 HRCSTP 位打开或关闭。

4.6.2 LRC 时钟

LRC 时钟信号由内部 32.768kHz 低速振荡器生成，可直接用作系统时钟。LRC 可作为低功耗时钟源在停止模式下保持运行，供 Timer0/SWDT 使用。

LRC 振荡器的启动速度快，启动后不需要等稳定即可使用。

频率校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同，因此会对每个器件进行出厂校准，保证精度参照数据手册电气特性中内部低速（LRC）振荡器章节。

如果应用受到电压或温度变化影响，则这可能也会影响到 RC 振荡器的速度。

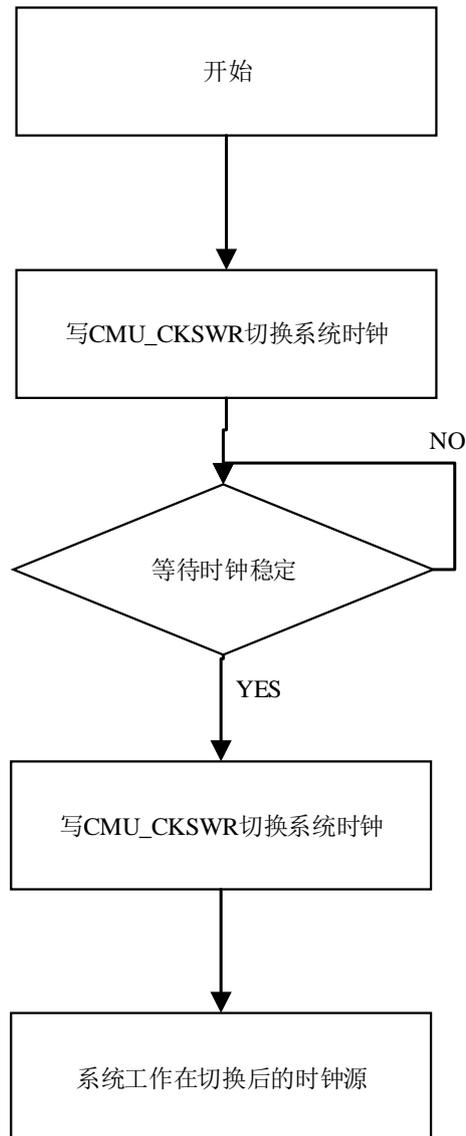
LRC 可通过 CMU_LRCCR 控制寄存器中的 LRCSTP 位打开或关闭。

4.7 时钟切换步骤

在系统复位后，默认系统时钟为 HRC。通过设定寄存器 CMU_CKSW 切换时钟源，切换步骤参照时钟源切换。只有在目标时钟源已稳定的状态下，才可以从一个时钟源切换到另一个时钟源。

时钟切换时需要正确配置 Flash/SRAM 的等待周期，防止系统时钟频率大于 Flash/SRAM 的最大动作频率。参照【7.4.1CPU 时钟和 FLASH 读取时间之间的关系】、【8 内置 SRAM（SRAM）】配置。

4.7.1 时钟源切换



4.8 时钟输出功能

MCO_1:

用户可通过可配置的预分配器（从 1 到 128）向 MCO_1 引脚输出不同的时钟源：

- HRC 时钟
- LRC 时钟
- XTAL 时钟
- 系统时钟

所需的时钟源通过 CMU_MCO1CFGR.MCO1SEL 位选择。

MCO_1 输出时钟不得超过 TBD MHz（最大 I/O 速度）。

4.9 寄存器说明

基准地址 1: 0x40014400

寄存器名	符号	偏移地址	位宽	复位值
CMU_AD时钟配置寄存器	CMU_PERICKSEL	0x00	8	0x00
CMU_XTAL振荡故障状态寄存器	CMU_XTALSTDSR	0x04	8	0x00
CMU_系统时钟分频配置寄存器	CMU_SCKDIVR	0x08	8	0x00
CMU_系统时钟源切换寄存器	CMU_CKSWR	0x0C	8	0x00
CMU_XTAL控制寄存器	CMU_XTALCR	0x10	8	0x01
CMU_XTAL配置寄存器	CMU_XTALCFGR	0x14	8	0x80
CMU_XTAL安定配置寄存器	CMU_XTALSTBCR	0x15	8	0x00
CMU_HRC控制寄存器	CMU_HRCCR	0x18	8	0x00
CMU_时钟源安定状态寄存器	CMU_OSCSTBSR	0x20	8	0x00
CMU_MCO1时钟输出配置寄存器	CMU_MCO1CFGR	0x24	8	0x00
CMU_XTAL振荡故障控制寄存器	CMU_XTALSTDCCR	0x28	8	0x00
CMU_功能时钟控制寄存器	CMU_FCG	0x30	32	0xFFFFFFFF
CMU_LRC控制寄存器	CMU_LRCCR	0x3C	8	0x00

基准地址 2: 0x40000800

寄存器名	符号	偏移地址	位宽	复位值
CMU_HRC频率配置寄存器	CMU_HRCCFGR	0x0282	8	由ICG0. HRCFREQS [3:0]的值决定

4.9.1 CMU XTAL 配置寄存器(CMU_XTALCFGR)

复位值：0x80

b7	b6	b5	b4	b3	b2	b1	b0
SUPDRV	XTALMS	XTALDRV[1:0]		-	-	-	-

位	标记	位名	功能	读写
b7	SUPDRV	XTAL超高速驱动允许	0: 禁止超高速驱动 1: 允许超高速驱动 超高速驱动允许时, XTAL稳定后, 无视此位设定,禁止超高速驱动, 降低功耗。	R/W
b6	XTALMS	XTAL模式选择位	0: 振荡器模式 1: 外部时钟输入模式	R/W
b5~b4	XTALDRV[1:0]	XTAL驱动能力选择	00: 高驱动能力(建议20MHz晶振) 01: 中驱动能力(建议10~20MHz晶振) 10: 小驱动能力(建议4~10MHz晶振) 11: 超小驱动能力(建议4MHz晶振)	R/W
b3~b0	Reserved	-	读出时为“0”,写入时写“0”	R/W

4.9.2 CMU XTAL 配置寄存器(CMU_XTALSTBCR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	XTALSTB[3:0]			

位	标记	位名	功能	读写
b7~b3	Reserved	-	读出时为“0”,写入时写“0”	
b2~b0	XTALSTB[3:0]	XTAL稳定时间选择	000: 2^8 *XTAL周期 001: 2^9 *XTAL周期 010: 2^{10} *XTAL周期 011: 2^{11} *XTAL周期 100: 2^{13} *XTAL周期 101: 2^{15} *XTAL周期 110: 2^{16} *XTAL周期 111: 2^{17} *XTAL周期 CMU_XTALCR.XTALSTP位1且CMU_OSCSTBSR.XTALSTBF位为0的状态下配置此寄存器。 CMU_XTALCFGR.XTALMS位选择为时钟输入模式时, 无视此等待时间。	R/W

4.9.3 CMU XTAL 控制寄存器(CMU_XTALCR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	XTALSTP

位	标记	位名	功能	读写
b7~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	XTALSTP	XTAL振荡器开启停止位	0: XTAL振荡器振荡 1: XTAL振荡器停止	R/W

注意：

- XTAL 选作系统时钟源时,禁止 XTALSTP 写“1”停止 XTAL 振荡器。

4.9.4 CMU XTAL 振荡故障控制寄存器(CMU_XTALSTDCR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
XTALSTDE	-	-	-	-	XTALSTDRIS	XTALSTDRE	XTALSTDIE

位	标记	位名	功能	读写
b7	XTALSTDE	XTAL振荡故障检测功能允许	0: 禁止XTAL振荡故障检测 1: 允许XTAL振荡故障检测 注： 振荡器故障检测是检测外部因素导致的振荡器异常振荡，在进入停止模式或者掉电模式前，请将振荡器振荡故障检测功能无效。	R/W
b6~b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2	XTALSTDRIS	XTAL振荡故障复位中断选择	0: XTAL振荡故障产生中断 1: XTAL振荡故障产生复位	R/W
b1	XTALSTDRE	XTAL振荡故障复位允许	0: 禁止XTAL振荡故障复位 1: 允许XTAL振荡故障复位	R/W
b0	XTALSTDIE	XTAL振荡故障中断允许	0: 禁止XTAL振荡故障中断 1: 允许XTAL振荡故障中断	R/W

4.9.5 CMU XTAL 振荡故障状态寄存器(CMU_XTALSTDSR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	XTALSTDF

位	标记	位名	功能	读写
b7~b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	XTALSTDF	XTAL振荡故障状态位	0: 未检测到XTAL振荡故障 1: 检测到XTAL振荡故障 置位条件: XTALSTDE=1的条件下, XTAL振荡故障 清零条件: 系统时钟选择XTAL以外时钟时, 读1写0。	R/W

4.9.6 CMU HRC 控制寄存器(CMU_HRCCR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	HRCSTP

位	标记	位名	功能	读写
b7~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	HRCSTP	HRC振荡器开启停止位	0: HRC振荡器振荡 1: HRC振荡器停止	R/W

注意:

- HRC 选作系统时钟源时, 禁止 CMU_HRCCR.HRCSTP 写“1”停止 HRC 时钟。

4.9.7 CMU HRC 频率配置寄存器(CMU_HRCCFGR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	HRCFREQS[3:0]			

位	标记	位名	功能	读写
b7~b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3~0	HRCFREQS[3:0]	HRC频率选择位	内部高速振荡器频率选择，复位值由ICG0.HRCFREQS决定。	R/W

HRCFREQS[3]只能通过ICG0.HRCFREQS[3]设定，不可以软件改写。

HRCFREQS[2:0]可通过ICG0.HRCFREQS[2:0]设定。亦可软件改写。

该寄存器通过设定EFM_FAPRT寄存器解除写保护。

HRCFREQS[2:0]	HRC频率	
	HRCFREQS[3]=0	HRCFREQS[3]=1
000	32MHz	48MHz
001	16MHz	24MHz
010	8MHz	12MHz
011	4MHz	6MHz
100	2MHz	3MHz
101~111	1MHz	1.5MHz

4.9.8 CMU LRC 控制寄存器(CMU_LRCCR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	LRCSTP

位	标记	位名	功能	读写
b7~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	LRCSTP	LRC振荡器开启停止位	0: LRC振荡器振荡 1: LRC振荡器停止	R/W

注意：

- LRC 选作系统时钟源时，禁止 LRCSTP 写“1”停止 LRC 时钟。

4.9.9 CMU 时钟源稳定状态器(CMU_OSCSTBSR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	XTALSTBF	-	-	HRCSTBF

位	标记	位名	功能	读写
b7~4	Reserved	-	读出时为“0”,写入时写“0”	R
b3	XTALSTBF	XTAL稳定标志位	0: XTAL停止或者未稳定 1: XTAL稳定	R
b2~b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	HRCSTBF	HRC稳定标志位	0: HRC停止或者未稳定 1: HRC稳定	R

4.9.10 CMU 系统时钟源切换寄存器(CMU_CKSWR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	CKSW[1:0]	

位	标记	位名	功能	读写
b7~b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	CKSW[1:0]	系统时钟源切换	0 0: 选择HRC时钟作为系统时钟 0 1: 选择XTAL时钟作为系统时钟 1 0: 选择LRC时钟作为系统时钟 1 1: 设定禁止 注: 1, 切换的目标时钟源, 需保证在时钟稳定状态。 2, 流程参照【时钟源切换】章节 3, PWR_STPMCR.CKSMRC位为1时, 停止模式唤醒后, 此寄存器初始化, 系统时钟源选择HRC时钟。	R/W

4.9.11 CMU 时钟分频配置寄存器(CMU_SCKDIVR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	SCKDIV[2:0]	

位	标记	位名	功能	读写
b7~b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2~b0	SCKDIV[2:0]	CPU及周边时钟 (HCLK) 分频选择	000: 系统时钟 001: 系统时钟的2分频 010: 系统时钟的4分频 011: 系统时钟的8分频 100: 系统时钟的16分频 101: 系统时钟的32分频 110: 系统时钟的64分频 其他禁止设定 注: 1. 停止模式复归时, 根据PWR_STPMCR.CKSMRC位设定。 CKSMRC为1时, 停止模式唤醒后, 此寄存器初始化。 CKSMRC为0时, 停止模式唤醒后, 保持停止模式前分频设定,	R/W

4.9.12 CMU AD 时钟配置寄存器(CMU_PERICKSEL)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	PERICKSEL[2:0]		

位	标记	位名	功能	读写
b15~b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3~b0	PERICKSEL[2:0]	AD变换用时钟 (ADCLK)分频选择	000: HCLK 001: HCLK的2分频 010: HCLK的4分频 011: HCLK的8分频 100: HCLK的16分频 101: HCLK的32分频 除此以外禁止设定。	R/W

4.9.13 CMU 功能时钟控制寄存器(CMU_FCG)

复位值：0xFFFFFFFF

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	SPI_1	IIC_1	-	UART3	UART2	UART1	-	-	-	EMB	TIMA	TIM4	TIM2	TIM0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	TIMB4	TIMB3	TIMB2	TIMB1	CRC	-	DMA_1	AOS	-	CMP	CTC	ADC

位	标记	位名	功能	读写
b31~b30	Reserved	-	读出时为“1”,写入时写“1”	R/W
b29	SPI_1	SPI_1功能控制	0: SPI_1功能使能 1: SPI_1功能无效	R/W
b28	IIC_1	IIC_1功能控制	0: IIC_1功能使能 1: IIC_1功能无效	R/W
b27	Reserved	-	读出时为“1”,写入时写“1”	R/W
b26	UART3	UART3功能控制	0: UART3功能使能 1: UART3功能无效	R/W
b25	UART2	UART2功能控制	0: UART2功能使能 1: UART2功能无效	R/W
b24	UART1	UART1功能控制	0: UART1功能使能 1: UART1功能无效	R/W
b23~21	Reserved	-	读出时为“1”,写入时写“1”	R/W
b20	EMB	EMB功能控制	0: EMB功能使能 1: EMB功能无效	R/W
b19	TIMA	TIMA功能控制	0: TIMA功能使能 1: TIMA功能无效	R/W
b18	TIM4	TIM4功能控制	0: TIM4功能使能 1: TIM4功能无效	R/W
b17	TIM2	TIM2功能控制	0: TIM2功能使能 1: TIM2功能无效	R/W
b16	TIM0	TIM0功能控制	0: TIM0功能使能 1: TIM0功能无效	R/W
b15~12	Reserved	-	读出时为“1”,写入时写“1”	R/W
b11	TIMB4	TIMB4功能控制	0: TIMB4功能使能 1: TIMB4功能无效	R/W
b10	TIMB3	TIMB3功能控制	0: TIMB3功能使能 1: TIMB3功能无效	R/W

b9	TIMB2	TIMB2功能控制	0: TIMB2功能使能 1: TIMB2功能无效	R/W
b8	TIMB1	TIMB1功能控制	0: TIMB1功能使能 1: TIMB1功能无效	R/W
b7	CRC	CRC功能控制	0: CRC功能使能 1: CRC功能无效	R/W
b6	Reserved	-	读出时为“1”,写入时写“1”	R/W
b5	DMA_1	DMA_1功能控制	0: DMA_1功能使能 1: DMA_1功能无效	R/W
b4	AOS	AOS功能控制	0: AOS功能使能 1: AOS功能无效	R/W
b3	Reserved	-	读出时为“1”,写入时写“1”	R/W
b2	CMP	CMP功能控制	0: CMP功能使能 1: CMP功能无效	R/W
b1	CTC	CTC功能控制	0: CTC功能使能 1: CTC功能无效	R/W
b0	ADC	ADC功能控制	0: ADC功能使能 1: ADC功能无效	R/W

4.9.14 CMU MCO1 配置寄存器(CMU_MCO1CFGR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
MCO1EN	MCO1DIV[2:0]			MCO1SEL[3:0]			

位	标记	位名	功能	读写
b7	MCO1EN	MCO_1输出许可	0: 禁止MCO_1输出 1: 允许MCO_1输出	R/W
b6~b4	MCO1DIV[2:0]	MCO_1分频选择	000: 1分频 001: 2分频 010: 4分频 011: 8分频 100: 16分频 101: 32分频 110: 64分频 111: 128分频	R/W
b3~b0	MCO1SEL[3:0]	MCO_1时钟源选择	0000: HRC时钟 0001: LRC时钟 0010: XTAL时钟 0100: 系统时钟 其他禁止设定。	R/W

5 电源控制 (PWC)

5.1 简介

电源控制器用来控制芯片的多个电源域在多个运行模式和低功耗模式下的电源供给、切换、检测。芯片的工作电压(VDD)为 2.7V 到 5.5V。

低电压检测单元(LVD)提供了上电复位(POR)、掉电复位(PDR)、低电压检测 (LVD)等功能，其中 POR、PDR 通过检测 VDD 电压，控制芯片复位动作。LVD 通过检测 VDD 电压或者外部输入比较，根据寄存器设定设置使芯片产生复位或者中断。

5.2 电源分布

图 5-1 是芯片的电源分布图。芯片由 VDD 域、内核电压域、AVDD 电源域构成。

VDD 域通过 VDD/VSS 引脚供电，由电源控制逻辑(PWC)、低电压检测单元(LVD)、电压调节器(LDO)、振荡器电路构成。振荡器电路包括外部高速振荡器(XTAL)等。

内核电压域由 CPU、数字外设等数字逻辑、RAM、FLASH 等构成，通过 LDO 产生的 REGC 供电。

模拟电源域主要由数模转换器(ADC)、电压比较器(CMP)、运算放大器(OPA)、模拟系的输入输出管脚构成，由 VDD/VSS 引脚供电。

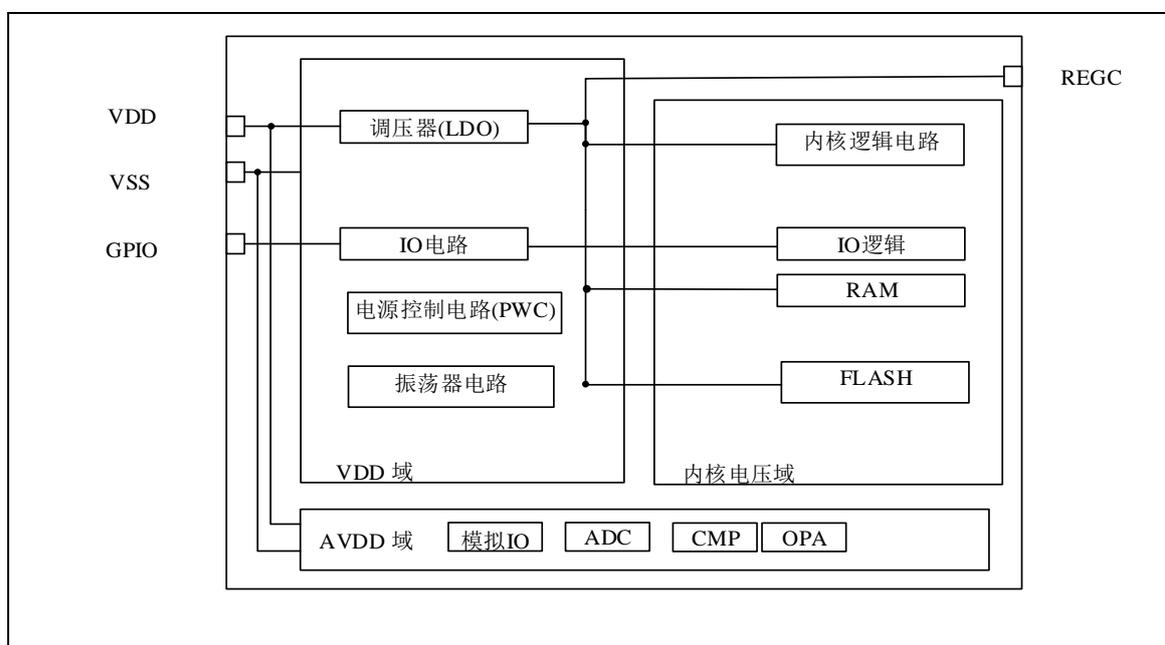


图 5-1 电源构成图

5.3 低电压检测单元(LVD)说明

低电压检测单元(LVD)包括上电复位(POR)、掉电复位(PDR)、低电压检测(LVD)。

5.3.1 上电复位/掉电复位动作说明

芯片集成有上电复位、掉电复位电路。上电复位、掉电复位波形如图 5-2 所示，当 VDD 高于指定阈值 VPOR 之后，经过 TRSTTEMPO 时间之后，芯片解除上电复位状态，CPU 开始执行代码。当 VDD 低于 VPDR 时，芯片保持复位状态。使用上电复位时，复位管脚 $\overline{\text{RESET}}$ 必须为 1。如果复位管脚被下拉，芯片将通过管脚复位的方式复位启动。

VPOR、VPDR、TRSTTEMPO 等参数的详细信息，请参考数据手册的电气特性。

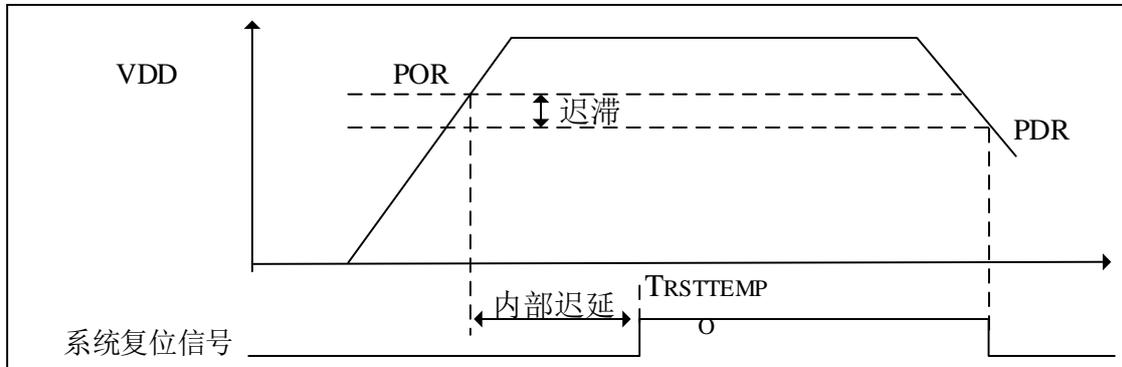


图 5-2 上电复位、掉电复位波形

5.3.2 低电压检测(LVD)

低电压检测(LVD)阈值通过 LVD ICG 控制寄存器(LVDICGCR)的 LVDLVL、LVDDIS 位进行配置。LVD 检测电压可以从 12 个阈值中选择。低电压检测电路通过 LVDICGCR 的 IRDIS 和 IRS 位，选择产生复位或者中断功能。

电源电压经过各个检测电路的阈值电压点时，可将该事件编程配置成复位/中断(可屏蔽/不可屏蔽)。低电压检测主要特性如表 5-1 所示。

项目	LVD
检测对象	VDD下降/上升过程中是否经过阈值电压点(VLVD)或者外部比较电压是否经过内部基准电压
检测电压点	LVDICGCR的LVDLVL
复位	复位：VDD<VLVD； 复位解除：VDD> VLVD经过一定复位处理时间。
中断	LVDICGCR的NMIS位配置成低电压检测的可屏蔽或者非可屏蔽中断
	VDD经过阈值电压点(VLVD)
滤波功能	数字滤波

表 5-1 LVD 特性

通过配置 LVDICGCR 的 LVDDIS 和 LVDLVL 位，可以选择 LVD 有效及阈值。

LVDDIS	LVDLVL	说明
1	xxxx	LVD无效
0	0000	LVD有效、选择LVD阈值0(VLVD0)
0	0001	LVD有效、选择LVD阈值1(VLVD1)
0	0010	LVD有效、选择LVD阈值2(VLVD2)
0	0011	LVD有效、选择LVD阈值3(VLVD3)
0	0100	LVD有效、选择LVD阈值4(VLVD4)
0	0101	LVD有效、选择LVD阈值5(VLVD5)
0	0110	LVD有效、选择LVD阈值6(VLVD6)
0	0111	LVD有效、选择LVD阈值7(VLVD7)
0	1000	LVD有效、选择LVD阈值8(VLVD8)
0	1001	LVD有效、选择LVD阈值9(VLVD9)
0	1010	LVD有效、选择LVD阈值10(VLVD10)
0	1011	LVD有效、选择LVD阈值11(VLVD11)
0	1100	禁止设定
0	1101	禁止设定
0	1110	外部比较电压输入
0	1111	禁止设定

表 5-2 LVD 电压选择

5.3.3 LVD 中断/复位框图

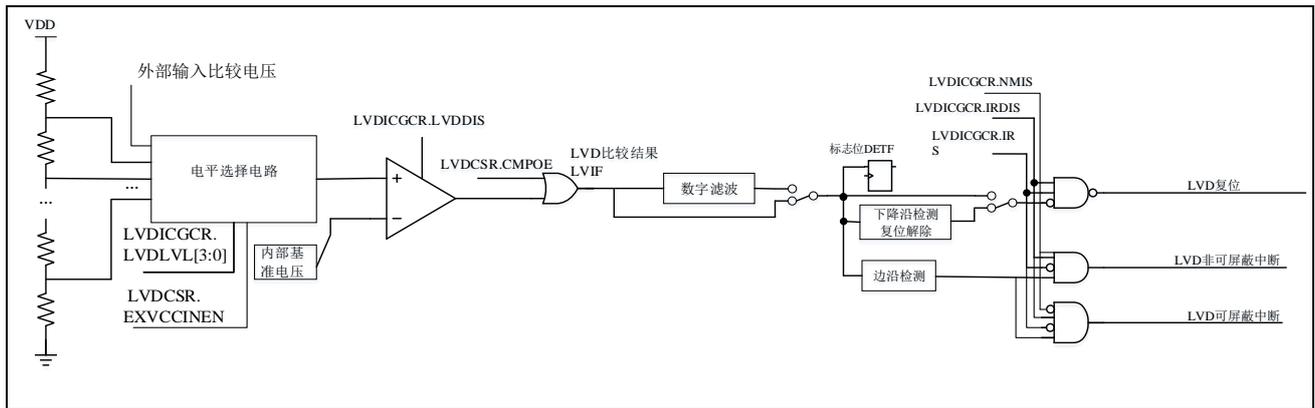


图 5-3 LVD 中断/复位框图

5.3.4 输入/输出引脚

引脚名	输入/输出	功能
LVDINP	输入	外部输入LVD比较电压

5.3.5 LVD 中断和复位

在停止模式中使用 LVD 电路时，必须将数字滤波器无效。

下图是 LVD 中断的运行时序图，DETF 需要清零后才能再次发生中断。

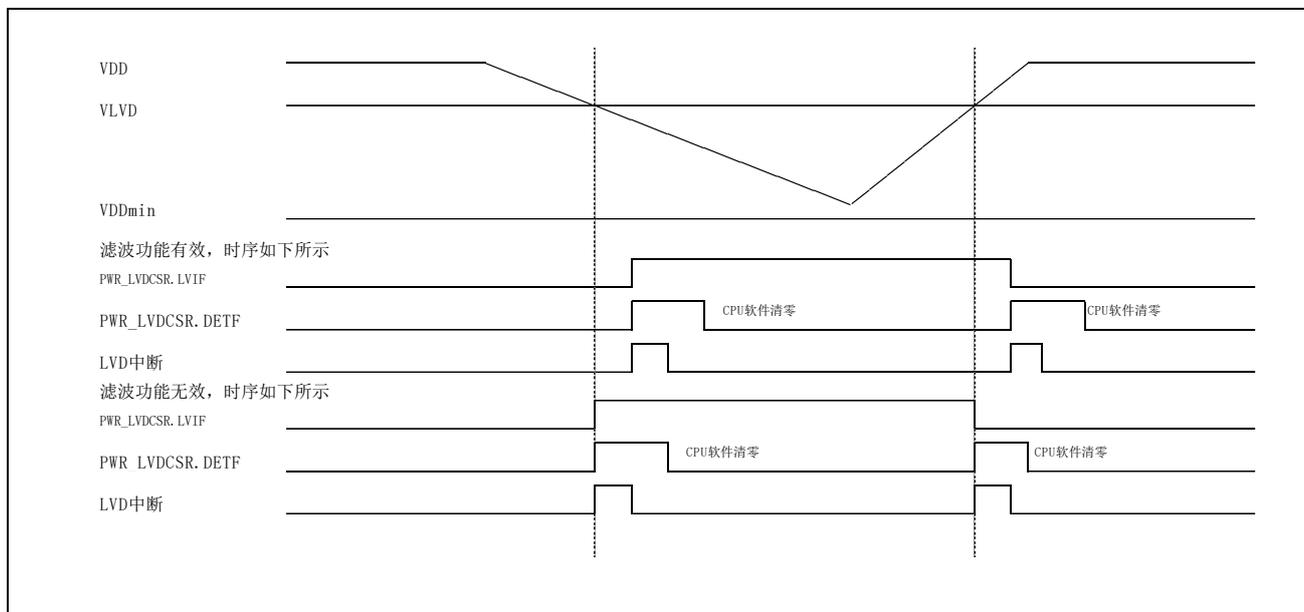


图 5-4 LVD 中断时序图

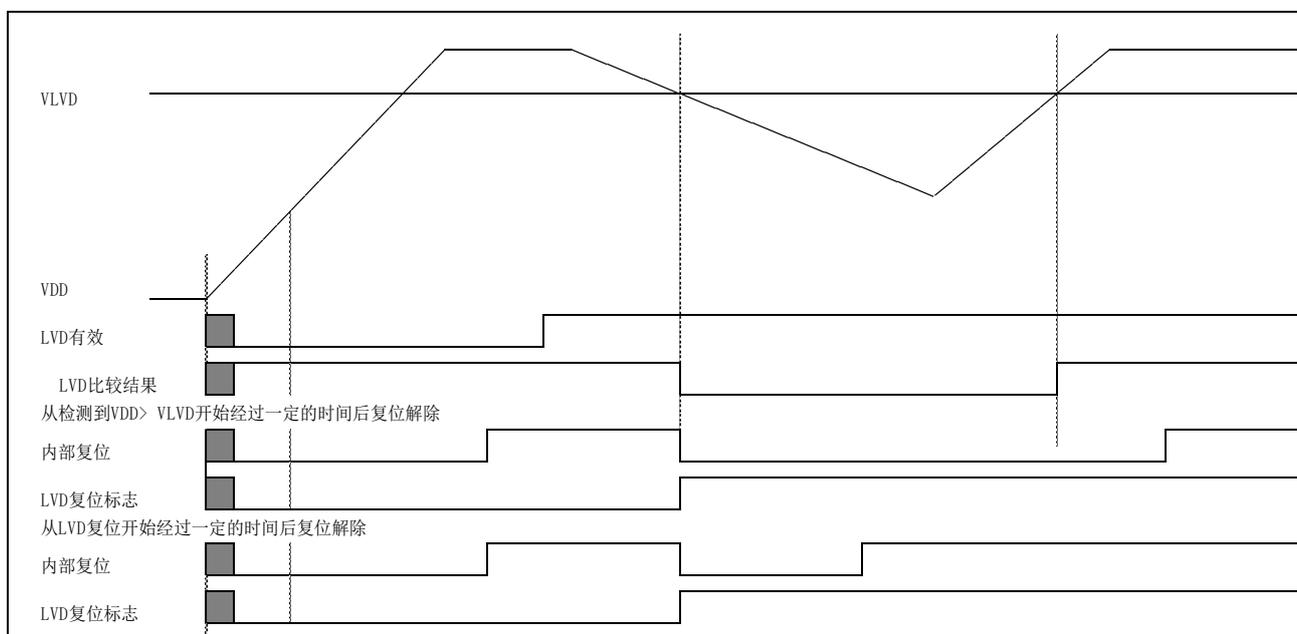


图 5-5 LVD 复位时序图

5.4 动作模式与低功耗模式

系统复位或者上电复位之后，芯片的所有电源域都处于供电状态，芯片进入运行模式。

在运行模式下，CPU 通过 HCLK 提供时钟，并执行程序代码。

为了节省 CPU 不需要运行时的功耗，系统提供了睡眠模式、停止模式等两种低功耗模式。在睡眠模式中，芯片的 Cortex-M0+内核停止动作，外设保持运行状态；在停止模式中，芯片的外设和 CPU 都停止动作；

用户可以根据应用选择运行模式和低功耗模式，以在低功耗、短启动时间、可唤醒源、和系统执行效率之间寻求最佳平衡。

低功耗模式的运行条件及各模块在低功耗模式下的状态如表 5-3 所示。

项目	睡眠模式	停止模式
进入	PWR_STPMCR.STOP=0 WFI	PWR_STPMCR.STOP=1 WFI
解除	任意中断或者复位	停止模式下可以使用的中断或复位
外部高速振荡器	工作可设	停止
外部低速振荡器	工作可设	工作可设
内部高速振荡器	工作可设	停止
内部低速振荡器	工作可设	工作可设
CPU	停止(保持)	停止(保持)
RAM	工作可设	停止(保持)
Flash	工作可设	停止(保持)
调压器	工作 驱动可以调整	工作 驱动可以调整
上电复位电路	工作	工作
低电压检测模块 LVD	工作可设	工作可设
RESET复位管脚	工作	工作
WDT	工作可设	工作可设
Timer0	工作可设	工作可设

项目	睡眠模式	停止模式
其他周边外设模块	工作可设	停止(保持)
AD	工作可设	停止
CMP	工作可设	工作可设
OPA	工作可设	工作可设
X1-X2	工作可设	作为外部高速振荡器使用时，振荡器停止震荡，管脚状态保持进入STOP模式前的状态；设为GPIO或者其他外设功能时，保持STOP之前的状态
$\overline{\text{RESET}}$	芯片外面通过电路上拉到VDD	芯片外面通过电阻上拉到VDD
P40/MD	工作可设	保持；
P50-P51	工作可设； 作为SWD功能时，内置上拉电路有效	保持； 作为SWD功能时，内置上拉电路有效
其他GPIO	工作可设	保持

表 5-3 低功耗模式的运行条件及各模块在低功耗模式下的状态

5.4.1 运行模式

芯片可以根据不同的频率范围设定相应的 LDO 驱动，从而降低芯片功耗，可以根据表 5-4 设定 PWR_PWRC.PWRDRV[2:0]位到最适值。

运行模式频率范围	寄存器设定
	PWR_PWRC.PWRDRV[2:0]
32kHz以上，48MHz以下	0b111
32kHz	0b000

表 5-4 运行模式说明

频率切换需要遵循如下流程 1 和流程 2。

1. 高速向低速切换时

- 1) 设置在超低速模式下使用的时钟源，确保时钟源符合超低速模式下的频率要求
- 2) 关闭在超低速模式下不需要使用的时钟源及模块，确认 Flash 不处于编程或者擦除状态
- 3) 设置 PWR_PWRC.PWRDRV[2:0]
- 4) 等待 TSWMD1(30uS)
- 5) 将系统时钟切换到低速时钟，芯片在超低速模式下动作

2. 低速向高速切换时

- 1) 设置 PWR_PWRC.PWRDRV[2:0]
- 2) 等待 TSWMD2(30uS)
- 3) 设置在高速动作时的时钟源，将系统时钟切换到高速时钟

5.4.2 睡眠模式

在睡眠模式中，CPU 停止运行，它的内部寄存器保持进入睡眠模式之前的状态。看门狗以外的外设和其他系统模块的动作状态不会改变。

通过 ICG 设置为自动启动时，如果初始化配置寄存器 0 (ICG0) 的 SWDTSLP OFF 位为 1，看门狗在睡眠模式下停止计数；如果 SWDTSLP OFF 位为 0，看门狗在睡眠模式下继续计数。如果看门狗没有通过 ICG0 的 SWDTA UTS 位未设置为自动启动，通过软件启动的方式启动看门狗，则如果 WDT_CR.SLP OFF 位为 1，看门狗在睡眠模式下停止计数；如果 WDT_CR.SLP OFF 位为 0，看门狗在睡眠模式下不停止计数。

- 进入睡眠模式

在 PWR_STPMCR.STOP=0 时执行 WFI 指令即可进入睡眠模式。

- 退出睡眠模式

任意中断、复位都可以将芯片从睡眠模式唤醒。通过中断唤醒时，芯片进入中断处理程序；通过复位退出睡眠模式时，芯片进入复位状态。

5.4.3 停止模式

在停止模式中，CPU、大部分外设和时钟源都停止动作。芯片保持 CPU 内部寄存器和 SRAM 数据，外设状态和管脚状态。在停止模式下，由于大部分时钟源停止工作，调压器也降低了驱动能力，因此芯片功耗会显著降低。

STOP 模式下的漏电流在不同的电压温度是不同的，设置的驱动能力必须满足芯片的漏电需要。

通过 ICG 设置为自动启动时，如果 ICG0 的 SWDTSLPOFF 位为 1，专用看门狗在停止模式下停止计数；如果 SWDTSLPOFF 位为 0，专用看门狗在停止模式下继续计数。

执行 WFI 指令进入停止模式之前，需要确保 FLASH 不处于编程或者擦除状态，并且振荡停止监测功能无效，否则芯片会进入睡眠模式而非停止模式。

在停止模式下，ADC 也会发生功耗，除非在进入停止模式前将其禁止。要禁止 ADC，需要 ADC_STR.STRT 位清“0”，在保证 A/D 转换器模拟模块停止稳定时间后在执行 WFI 指令进入停止模式。

STOP 模式唤醒时，通过 STPMCR 寄存器的位 CKSHRC 来选择唤醒后的时钟。CKSHRC 用于控制唤醒后的时钟源，CKSHRC =1 时，唤醒后的系统时钟源选择为 HRC；CKSHRC=0 时，唤醒后的系统时钟维持进入 STOP 之前的时钟源不变。

在进入 STOP 模式之前将 PWR_STPMCR.HAPORDIS 设置为 1，进入 STOP 模式后，高精度 POR 电路被关闭，能够降低 STOP 模式下的功耗，但是这时不能保证 POR 的监测电压，需要系统确保电源电压稳定。

- 进入停止模式

在 PWR_STPMCR.STOP=1 时执行 WFI 指令即可进入停止模式。表 5-3 给出了芯片的外设和时钟源在停止模式下的状态。

- 解除停止模式

停止模式可以通过复位和中断解除。可以用于解除停止模式的复位方式有管脚复位，上电复位，LVD 复位、看门狗复位。可以用于解除停止模式的中断事件如下：

NMI中断	管脚EIRQ中断	管脚EKEY中断	低电压检测中断	看门狗下溢中断	实时时钟的定周期中断、闹钟中断	Timer0比较匹配中断	TMR2计数匹配	TMR2计数上溢	比较器中断
-------	----------	----------	---------	---------	-----------------	--------------	----------	----------	-------

芯片通过中断解除停止模式时，首先启动进入停止模式之前的使用到的时钟源。在

所有的时钟源稳定之后，芯片解除停止模式。通过中断解除停止模式时，需要设置 INTC_NMIER 的不可屏蔽中断的许可位或者 INTC_WUPENR 的相应唤醒许可位，详细请参考中断控制器（INTC）。

5.5 降低功耗的方法

可以通过下列方法优化运行模式下的功耗。

1. 降低系统时钟速度
2. 关闭不使用的时钟源
3. 设定功能时钟控制寄存器 CMU_FCG 关闭不需要使用的功能

5.5.1 降低系统时钟速度

在运行模式下，可通过对预分频寄存器编程来降低系统时钟(HCLK)的速度。进入睡眠模式前，也可以使用这些预分频器降低外设速度。有关详细信息，请参考【4 时钟控制器 (CMU)】。

5.5.2 关闭不使用的时钟源

芯片的系统时钟有 3 个时钟源：

- 外部高速振荡器(XTAL)
- 内部高速振荡器(HRC)
- 内部低速振荡器(LRC)

对于每一个时钟源，在未使用时都可以单独关闭，降低系统功耗。

5.5.3 功能时钟停止

芯片的外设模块设有功能时钟停止功能，通过将寄存器对应的位置位，可以将不需要使用的模块停止运行，相应模块的时钟也停止供给，降低功耗。在模块停止状态下，模块内部的寄存器将维持停止之前的状态。时钟控制寄存器 CMU_FCG 的详细说明，参考【4 时钟控制器 (CMU)】。

5.6 寄存器保护功能

寄存器保护功能用于将寄存器的写操作无效，以保护寄存器被意外改写。表 5-5 是寄存器保护位和被保护寄存器的列表。

保护寄存器位	被保护寄存器
PWR_FPRC. CKRWE	CMU_PERICKSEL,CMU_XTALSTDSR,CMU_SCKDIVR,CMU_CKSWR CMU_XTALCR,CMU_XTALCFGR,CMU_XTALSTBCR,CMU_HRCCR CMU_OSCSTBSR,CMU_MCO1CFGR,CMU_XTALSTDCR,CMU_FCG CMU_LRCCR CMU_HRCCFGR
PWR_FPRC. PWRWE	PWR_STPMCR, PWR_PWRC,PWR_RAMCR,PWR_DBGCR,RMU_RSTF0
PWR_FPRC. LVRWE	PWR_LVDCSR,PWR_LVDICGCR

表 5-5 寄存器保护列表

5.7 寄存器说明

寄存器一览表如表 5-6 所示。

BASE ADDR: 0x40014000

寄存器名	符号	偏移地址	位宽	复位值
停止模式控制寄存器	PWR_STPMCR	0x00	8	0x20h
电源控制寄存器	PWR_PWRC	0x04	8	0x47
RAM控制寄存器	PWR_RAMCR	0x0C	8	0x00
低电压检测控制寄存器	PWR_LVDCSR	0x10	8	0x00*
功能保护控制寄存器(FPRC)	PWR_FPRC	020h	16	0x0000
调试模式控制寄存器(DBGC)	PWR_DBGC	040h	8	0x00
BASE ADDR: 0x40000A84				
寄存器名	符号	偏移地址	位宽	复位值
LVD ICG控制寄存器	PWR_LVDICGCR	0x00h	16	0x0000

表 5-6 寄存器一览表

5.7.1 停止模式控制寄存器(PWR_STPMCR)

复位值：0x20

b7	b6	b5	b4	b3	b2	b1	b0
STOP	-	-	-	HAPORDIS	-	CKSHRC	-

位	标记	位名	功能	读写
b7	STOP	STOP模式控制位	0:CPU WFI进入SLEEP 1:CPU WFI进入STOP	R/W
b6	-	-	预留位，只能写0,其他值禁止写入。	R/W
b5-b4	-	-	预留位，只能写10,其他值禁止写入。	R/W
b3	HAPORDIS	高精度POR无效控制	0: 高精度POR在STOP模式下有效 1: 高精度POR在STOP模式下无效	R/W
b2	-	-	预留位，只能写0。	R/W
b1	CKSHRC	STOP唤醒后系统时钟 切换控制	0: 不切换系统时钟 1: 切换为HRC的n分频	R/W
b0	-	-	预留位，只能写0。	R/W

5.7.2 电源模式控制寄存器 (PWR_PWRC)

复位值: 0x47

b7	b6	b5	b4	b3	b2	b1	b0
-	-	PWMONE	PWMONSEL	-	PWDRV[2:0]		

位	标记	位名	功能	读写
b7	-	-	-	R
b6	-	-	预留位, 只能写1。	R/W
b5	PWMONE	电源内部电压监测使能	0: 无效 1: 使能	R/W
b4	PWMONSEL	电源内部电压选择	0: 电源内置基准电压 1: 内置温度传感器电压	R/W
b3	-	-	-	R/W
b2-b0	PWDRV[2:0]	电源驱动控制寄存器	000: 仅限系统动作在32K时钟时使用 111: 系统频率在48MHz以下 其他: 设定禁止	R/W

5.7.3 RAM 保护寄存器(PWR_RAMCR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	RPEF	RPERDIS	-	-	RPRTA[1:0]		

位	标记	位名	功能	读写
b7-b6	-	-	-	-
b5	RPEF	RAM奇偶校验错误标志位	0: 没有产生奇偶校验错误 1: 发生奇偶校验错误 始终有效，只要产生奇偶校验错误就置位。 只能写0清除。	R/W
b4	RPERDIS	RAM奇偶校验复位使能	0: RAM奇偶校验错误时产生复位 1: RAM奇偶校验出现错误时不产生复位	R/W
b3-b2	-	-	-	R/W
b1-b0	RPRTA[1:0]	RAM访问保护区域	00: 无效，能写RAM 01: RAM起始地址的128字节 10: RAM起始地址的256字节 11: RAM起始地址的512字节	R/W

5.7.4 功能保护控制寄存器(PWR_FPRC)

复位值:0x00

b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

PWR_FPRCWE【7:0】	FPRCB7	FPRCB6	FPRCB5	FPRCB4	LVRWE	FPRCB2	PWRWE	CKRWE
-----------------	--------	--------	--------	--------	-------	--------	-------	-------

位	标记	位名	功能	读写
b15~b8	PWR_FPRCWE	PWR_FPRC寄存器写使能	写入0xA5h的同时能够更新PWR_FPRC值，否则对低8位写入值无效。读出时为0x00。	R/W
b7	FPRCB7	FPRC位7	预留	R/W
b6	FPRCB6	FPRC位6	预留	
b5	FPRCB5	FPRC位5	预留	R/W
b4	FPRCB4	FPRC位4	预留	R/W
b3	LVRWE	FPRC位3	LVD相关寄存器写使能 0:写保护 1:写使能	R/W
b2	FPRCB2	FPRC位2	预留	
b1	PWRWE	FPRC位1	电源控制相关寄存器写使能 0:写保护 1:写使能	R/W
b0	CKRWE	FPRC位0	时钟控制相关寄存器写使能 0:写保护 1:写使能	R/W

5.7.5 LVD ICG 控制寄存器 (PWR_LVDICGCR)

复位值: 0xXXXX, 复位值根据 ICG 设定值确定。

b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

LVDDIS	IRDIS	IRS	NMIS	LVDLVL	-	-	-	-	-	-	DFDIS	DFS[1:0]
--------	-------	-----	------	--------	---	---	---	---	---	---	-------	----------

位	标记	位名	功能	读写																																																																				
b15	LVDDIS	低电压检测允许	0: 低电压检测电路有效 1: 低电压检测电路无效	R/W																																																																				
b14	IRDIS	LVD的中断和复位禁止位	0:中断复位有效 1:中断复位无效	R/W																																																																				
b13	IRS	LVD动作模式选择	0: 中断模式 1: 复位模式	R/W																																																																				
b12	NMIS	LVD中断类型选择	0:可屏蔽中断 1: 不可屏蔽中断	R/W																																																																				
b11~b8	LVDLVL	LVD阈值电压选择	选择LVD阈值电压 (VLVD0-VLVD11) 或LVDINP输入	R/W																																																																				
<table border="1"> <thead> <tr> <th>LVDLVL</th> <th>选择阈值</th> <th>下降电压</th> <th>上升电压</th> </tr> </thead> <tbody> <tr><td>0000</td><td>VLVD0</td><td>3.92</td><td>4.07</td></tr> <tr><td>0001</td><td>VLVD1</td><td>3.67</td><td>3.77</td></tr> <tr><td>0010</td><td>VLVD2</td><td>3.06</td><td>3.15</td></tr> <tr><td>0011</td><td>VLVD3</td><td>2.96</td><td>3.04</td></tr> <tr><td>0100</td><td>VLVD4</td><td>2.86</td><td>2.94</td></tr> <tr><td>0101</td><td>VLVD5</td><td>2.75</td><td>2.83</td></tr> <tr><td>0110</td><td>VLVD6</td><td>2.65</td><td>2.73</td></tr> <tr><td>0111</td><td>VLVD7</td><td>2.55</td><td>2.63</td></tr> <tr><td>1000</td><td>VLVD8</td><td>2.45</td><td>2.52</td></tr> <tr><td>1001</td><td>VLVD9</td><td>2.04</td><td>2.11</td></tr> <tr><td>1010</td><td>VLVD10</td><td>1.94</td><td>2.00</td></tr> <tr><td>1011</td><td>VLVD11</td><td>1.84</td><td>1.90</td></tr> <tr><td>1100</td><td></td><td>-</td><td>-</td></tr> <tr><td>1101</td><td></td><td>-</td><td>-</td></tr> <tr><td>1110*1</td><td></td><td>-</td><td>-</td></tr> <tr><td>1111</td><td></td><td>-</td><td>-</td></tr> </tbody> </table>				LVDLVL	选择阈值	下降电压	上升电压	0000	VLVD0	3.92	4.07	0001	VLVD1	3.67	3.77	0010	VLVD2	3.06	3.15	0011	VLVD3	2.96	3.04	0100	VLVD4	2.86	2.94	0101	VLVD5	2.75	2.83	0110	VLVD6	2.65	2.73	0111	VLVD7	2.55	2.63	1000	VLVD8	2.45	2.52	1001	VLVD9	2.04	2.11	1010	VLVD10	1.94	2.00	1011	VLVD11	1.84	1.90	1100		-	-	1101		-	-	1110*1		-	-	1111		-	-	
LVDLVL	选择阈值	下降电压	上升电压																																																																					
0000	VLVD0	3.92	4.07																																																																					
0001	VLVD1	3.67	3.77																																																																					
0010	VLVD2	3.06	3.15																																																																					
0011	VLVD3	2.96	3.04																																																																					
0100	VLVD4	2.86	2.94																																																																					
0101	VLVD5	2.75	2.83																																																																					
0110	VLVD6	2.65	2.73																																																																					
0111	VLVD7	2.55	2.63																																																																					
1000	VLVD8	2.45	2.52																																																																					
1001	VLVD9	2.04	2.11																																																																					
1010	VLVD10	1.94	2.00																																																																					
1011	VLVD11	1.84	1.90																																																																					
1100		-	-																																																																					
1101		-	-																																																																					
1110*1		-	-																																																																					
1111		-	-																																																																					
*1: LVDLVL=1110时, 并且LVDCSR的EXVCCINEN=1时选择外部电压 (LVDINP) 输入																																																																								
下降电压和上升电压为典型值, 详细数据请参考电气特性																																																																								
b7~b3	-	-	读出为0	R/W																																																																				

b2	DFDIS	LVD数字滤波器屏蔽	0: 数字滤波器有效 1: 数字滤波器无效	R/W
b1-b0	DFS	LVD数字滤波采样能力 选择	00: 2个LRC周期 01: 4个LRC周期 10: 8个LRC周期 11: 16个LRC周期 注: 只能在DFDIS位为“1”时改写该位	R/W

5.7.6 LVD 控制状态寄存器 (PWR_LVDCSR)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
CMPOE	-	-	DETF	LVIF	-	-	EXVCCINEN

位	标记	位名	功能	读写
b7	CMPOE	LVD比较结果输出控制	0: LVD比较结果输出无效 1: LVD比较结果输出有效 CMPOE在PWR_LVDICGCR的LVDDIS位为1时被固定为0。	R/W
b6~b5	-	-	读出为00	R
b4	DETF	LVD检测标志位	0: LVD未检测到VDD经过VLVD 或者LVDINP未经过内部基准电压 1: LVD检测到VDD经过VLVD或者LVDINP经过内部基准电压 注: 当LVDDIS位为“0”时, 此标志位有效。LVDDIS位为“1”时, 标志位被清零。	R/W
b3	LVIF	低电压检测标志	0: VDD>VLVD或者LVD关闭 1: VDD<VLVD	R
b2	-	-	-	R
b1	-	-	-	R
b0	EXVCCINEN		0:外部输入无效 1: 外部输入有效 使用外部输入模式时, PWR_LVDICGCR的LVDLVL必须设置为0b1110	R/W

5.7.7 调试模式控制寄存器(PWR_DBGC)

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	DBGWKF	DBGEN

位	标记	位名	功能	读写
b7-b2				R/W
b1	DBGWKF	预留	0: 调试模式STOP唤醒事件未发生 1: 调试模式下STOP唤醒事件发生	R
b0	DBGEN	调试使能	0: 调试模式无效 1: 调试模式有效	R/W

6 初始化配置 (ICG)

6.1 简介

芯片复位解除后，硬件电路会读取主闪存地址 0x000000C0H~0x000000DBH（其中 0x000000C8H~0x000000DBH 为预留功能地址，该 20bytes 地址需要用户设定全 1 以保证芯片动作正常）把数据加载到初始化配置寄存器，用户需要编程或擦除扇区 0 来修改初始化配置寄存器。寄存器复位值后初始值由用户 FLASH 地址数据确定。

初始化配置寄存器地址一览表如下：

ICG_BASE_ADDR:0x000000C0

寄存器名	符号	偏移地址	位宽	复位值
初始化配置寄存器0	ICG0	0x000	32	不定
初始化配置寄存器1	ICG1	0x004	32	不定
初始化配置寄存器2	ICG2	0x008	32	不定
初始化配置寄存器3	ICG3	0x00C	32	不定
初始化配置寄存器4	ICG4	0x010	32	不定
初始化配置寄存器5	ICG5	0x014	32	不定
初始化配置寄存器6	ICG6	0x018	32	不定

表 6-1 寄存器一览表

6.2 寄存器说明

6.2.1 初始化配置寄存器 0(ICG0)

复位值：不定

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NMI ICGEN	NMI EN	NMI TRG	NMI FEN	NMI FCLK[1:0]	-	-	-	-	-	-	-	HRCREQS[3:0]			

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	SWD TSLP OFF	SWD TWDPT[3:0]			SWD TCKS[3:0]			SWD TPER[1: 0]		SWD TITS	SWD TAUT S		

位	标记	位名	功能	读写
b31	NMIICGEN	NMI管脚ICG	0: NMI管脚ICG设定使能 1: NMI管脚ICG设定禁止	R
b30	NMIEN	NMI管脚中断使能	0: 禁止NMI管脚中断 1: 许可NMI管脚中断	R
b29	NMITRG	NMI管脚边沿触发	0: 下降沿 1: 上升沿	R
b28	NMIFEN	NMI数字滤波器使能	0: 禁止数字滤波器功能 1: 许可数字滤波器功能	R
b27~b26	NMIFCLK[1:0]	滤波采样时钟选择	0 0: HCLK 0 1: HCLK/8 1 0: HCLK/32 1 1: HCLK/64	R
b25~b20	Reserved	-	功能预留位，写入1，读出1。	R

b19~b16	HRCREQS[3:0]	HRC频率选择位	内部高速振荡器频率选择。	R																							
			<table border="1"> <thead> <tr> <th rowspan="2">HRCFREQS[2:0]</th> <th colspan="2">HRC 频率</th> </tr> <tr> <th>HRCFREQS[3]=0</th> <th>HRCFREQS[3]=1</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>32MHz</td> <td>48MHz</td> </tr> <tr> <td>001</td> <td>16MHz</td> <td>24MHz</td> </tr> <tr> <td>010</td> <td>8MHz</td> <td>12MHz</td> </tr> <tr> <td>011</td> <td>4MHz</td> <td>6MHz</td> </tr> <tr> <td>100</td> <td>2MHz</td> <td>3MHz</td> </tr> <tr> <td>101~111</td> <td>1MHz</td> <td>1.5MHz</td> </tr> </tbody> </table>	HRCFREQS[2:0]	HRC 频率		HRCFREQS[3]=0	HRCFREQS[3]=1	000	32MHz	48MHz	001	16MHz	24MHz	010	8MHz	12MHz	011	4MHz	6MHz	100	2MHz	3MHz	101~111	1MHz	1.5MHz	
HRCFREQS[2:0]	HRC 频率																										
	HRCFREQS[3]=0	HRCFREQS[3]=1																									
000	32MHz	48MHz																									
001	16MHz	24MHz																									
010	8MHz	12MHz																									
011	4MHz	6MHz																									
100	2MHz	3MHz																									
101~111	1MHz	1.5MHz																									
b15~b13	Reserved	-	功能预留位	R																							
b12	SWDTSLTPOFF	SWDT在Sleep,Stop模式下计数停止	0: SWDT在sleep,stop模式下计数不停止 1: SWDT在sleep,stop模式下计数停止	R																							
b11~b8	SWDWDPT[3:0]	刷新允许区域计数值百分比	SWDT计数值刷新允许区间 0000: 0%~100% 0001: 0%~25% 0010: 25%~50% 0011: 0%~50% 0100: 50%~75% 0101: 0%~25%,50%~75% 0110: 25%~75% 0111: 0%~75% 1000: 75%~100% 1001: 0%~25%,75%~100% 1010: 25%~50%,75%~100% 1011: 0%~50%,75%~100% 1100: 50%~100% 1101: 0%~25%,50%~100% 1110: 25%~100% 1111: 0%~100%	R																							
b7~b4	SWDTCKS[3:0]	SWDT计数时钟	0000: SWDTCLK 0100: SWDTCLK/16 0101: SWDTCLK/32 0110: SWDTCLK/64 0111: SWDTCLK/128 1000: SWDTCLK/256 1011: SWDTCLK/2048 其它值: 预留	R																							

b3~b2	SWDTPERI[1:0]	SWDT计数溢出周期	00: 256 周期 01: 4096 周期 10: 16384 周期 11: 65536 周期	R
b1	SWDTITS	SWDT中断选择	0: 中断请求 1: 复位请求	R
b0	SWDTAUTS	SWDT自动启动	0: 复位后, SWDT自动启动 (硬件启动) 1: 复位后, SWDT停止状态	R

6.2.2 初始化配置寄存器 1(ICG1)

复位值：不定

b31 b30 b29 b28 b27 b26 b25 b24 b23 b22 b21 b20 b19 b18 b17 b16

-															
---	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

LVD DIS	IRDIS	IRS	NMIS	LVDLVL[3:0]	-	-	-	-	-	DFDIS	DFS[1:0]
---------	-------	-----	------	-------------	---	---	---	---	---	-------	----------

位	标记	位名	功能	读写
b31~b16	Reserved	-	功能预留位	R
b15	LVDDIS	电压检测1允许	0: 电压检测电路有效 1: 电压检测电路无效	R
b14	IRDIS	LVD的中断和复位禁止位	0: 中断复位有效 1: 中断复位无效	R
b13	IRS	LVD动作模式选择	0: 中断模式 1: 复位模式	R
b12	NMIS	LVD中断类型选择	0: 可屏蔽中断 1: 不可屏蔽中断	R
b11~b8	LVDLVL[3:0]	LVD阈值电压选择	选择LVD阈值电压 (VLVD0-VLVD11) 或LVDINP输入	R

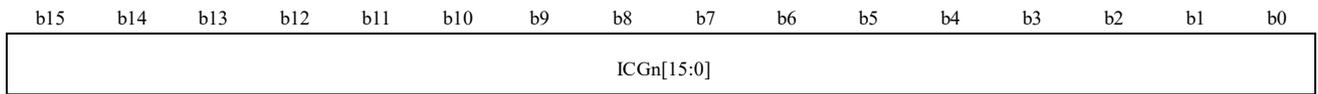
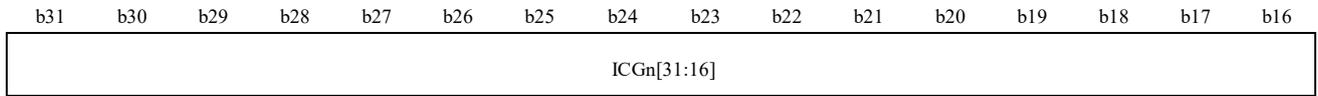
LVDLVL	选择阈值	下降电压	上升电压
0000	VLVD0	3.92	4.07
0001	VLVD1	3.67	3.77
0010	VLVD2	3.06	3.15
0011	VLVD3	2.96	3.04
0100	VLVD4	2.86	2.94
0101	VLVD5	2.75	2.83
0110	VLVD6	2.65	2.73
0111	VLVD7	2.55	2.63
1000	VLVD8	2.45	2.52
1001	VLVD9	2.04	2.11
1010	VLVD10	1.94	2.00
1011	VLVD11	1.84	1.90
1100		-	-
1101		-	-
1110*1		-	-
1111		-	-

*1: LVDLVL =1110时, 并且LVDCSR的

			EXVCCINEN=1时选择外部电压（LVDINP）输入 下降电压和上升电压为典型值，详细数据请参考电气特性	
b7~b3	-	-	功能预留位，写入1，读出1。	R
b2	DFDIS	LVD数字滤波器屏蔽	0: 数字滤波器有效 1: 数字滤波器无效	R
b1-b0	DFS[1:0]	LVD数字滤波采样能力选择	00: 2个LRC周期 01: 4个LRC周期 10: 8个LRC周期 11: 16个LRC周期 注：只能在DFDIS位为“1”时改写该位	R

6.2.3 初始化配置寄存器 n(ICGn)n=2~6

复位值：不定



位	标记	位名	功能	读写
b31~b0	ICGn[31:0]	-	功能预留位 需要用户设定全1以确保芯片动作正常	R

7 嵌入式 FLASH (EFM)

7.1 简介

FLASH 接口通过系统总线对 FLASH 进行访问。该接口可对 FLASH 执行编程，擦除和全擦除操作；通过指令预取加速代码执行。

7.2 主要特性

- FLASH 读操作
- FLASH 编程，扇区擦除和全擦除操作
- 总线 4Bytes 预取值
- 支持安全保护*1

*1: 关于 Flash 安全保护的具体规格，请咨询销售窗口

7.4 读接口

7.4.1 CPU 时钟和 FLASH 读取时间之间的关系

要正确读取 FLASH 数据，用户需要根据 CPU 动作频率在 FLASH 读模式寄存器 (EFM_FRMC)中正确设定等待周期数(FLWT)。

系统复位后，CPU 时钟源为 HRC(频率由 ICG0 设定值决定),FLASH 读等待周期为 1。建议用户按照以下步骤修改 CPU 主频和 FLASH 读等待周期位。等待周期数请参照表 7-1。

CPU 频率提高步骤:

1. 将新的读等待周期设定值 (FLWT 设定为 1) 写入寄存器 EFM_FRMC。
2. 读取寄存器 EFM_FRMC,检查新的等待周期是否设定成功。
3. 通过设定系统时钟源切换寄存器 CMU_CKSWR(CKSW[2:0])或者系统时钟配置寄存器 CMU_SCKDIVR(SCKDIV[2:0])来提升 CPU 时钟频率。
4. 读取寄存器 CMU_CKSWR 或者 CMU_SCKDIVR，检查新的设定是否成功。

CPU 频率降低步骤:

1. 通过设定系统时钟源切换寄存器 CMU_CKSWR(CKSW[2:0])或者系统时钟配置寄存器 CMU_SCKDIVR(SCKDIV[2:0])来降低 CPU 时钟频率。
2. 读取寄存器 CMU_CKSWR 或者 CMU_SCKDIVR，检查新的设定是否成功。
3. 将新的读等待周期设定值 (FLWT 设定为 0) 写入寄存器 EFM_FRMC。
4. 读取寄存器 EFM_FRMC,检查新的等待周期是否设定成功。

CPU时钟频率(HCLK)	FRMC寄存器位FLWT设定
24MHz<HCLK≤48MHz	FLWT=1 插入1个等待读周期
HCLK≤24MHz	FLWT=0 插入0个等待读周期

表 7-1 CPU 时钟频率和 FLASH 读等待周期对照表

7.5 FLASH 读加速缓存

为了能快速读取 FLASH 数据，FLASH 控制器配置了读加速缓存，优化了读取等待周期。为了发挥处理器性能，该加速器将实施指令预取和对 FLASH 的总线访问数据保存到缓存寄存器中，从而提高了程序执行速度。

指令预取指

在 CPU 空闲时，可使用主机总线的预取操作读取 FLASH 下一个 32 位数据。通过 EFM_FRMC 寄存器中的 PREFETE 位置 1，来使能预取功能。CPU 读取指令或数据地址与预取地址一致时，预取数据送给 CPU；若地址不一致，则预取数据作废，由 FLASH 送出数据给 CPU。

缓存

系统提供 512bytes 空间做为缓存存储器，可以有效地减少因指令跳转而产生的时间损耗。通过 EFM_FRMC 寄存器中的缓存使能 (CACHE) 位置 1，来使缓存功能有效。每当出现指令或数据缺失（即请求的指令或数据未存在于当前使用的指令行、预取指令行或缓存存储器中）时，系统会将新读取的数据行(32 位)复制到缓存存储器中。如果 CPU 请求的指令或者数据已存在于缓存中，则无需任何延时即可立即获取。缓存存储器存满后，采用 LRU（最近最少使用）策略确定缓存存储器中待替换的数据。

7.6 FLASH 编程和擦除操作

FLASH 编程，扇区擦除，全擦除操作时会使用 HRC，请在这些操作前，打开 HRC，并等待 HRC 振荡稳定后再设定 FLASH 的接口寄存器。FLASH 编程单位是 1Byte，对同一地址重复编程不能确保编程的正确性。FLASH 扇区擦除单位为 512Bytes。以下分别介绍，编程和擦除操作的设定步骤。

7.6.1 单次编程无回读模式

单编程无回读模式设定步骤如下：

- 1) 解除 FLASH 接口寄存器写保护(EFM_FAPRT 先写 0x0123,再写 0x3210)。
- 2) 设定编程,擦写模式许可。(EFM_FWMC.PEMODE=1)
- 3) 设定单次编程模式。(EFM_FWMC.PEMODE[2:0]=001)

- 4) 对编程地址写入 32/16/8 位数据。
- 5) 等待 FLASH 处于空闲状态(EFM_FSR.RDY=1)。
- 6) 清除编程结束标志位(EFM_FSR.OPTEND)。

7.6.2 单编程回读模式

单编程回读模式是指编程结束后自读取编程地址并和写入数据对比，输出判断一致标志位 EFM_FSR.PGMISMTCH。

单编程回读模式设定步骤如下：

- 1) 解除 FLASH 接口寄存器写保护(EFM_FAPRT 先写 0x0123,再写 0x3210)。
- 2) 设定编程，擦写模式许可。(EFM_FWMC.PEMODE=1)
- 3) 设定单次编程回读模式。(EFM_FWMC.PEMODE[2:0]=010)
- 4) 对编程地址写入 32/16/8 位数据。
- 5) 等待 FLASH 处于空闲状态(EFM_FSR.RDY=1)。
- 6) 判断编程自读取结果标志位。(EFM_FSR.PGMISMTCH)
- 7) 清除编程结束标志位(EFM_FSR.OPTEND)

7.6.3 连续编程操作

当连续对 FLASH 地址进行编程时，推荐使用连续编程模式。连续编程模式比单编程模式可以节省时间 50%以上。连续编程模式时，连续编程 FLASH 写入间隔不能超过 7us。

连续编程操作设定步骤如下：

- 1) 解除 FLASH 接口寄存器写保护。(EFM_FAPRT 先写 0x0123,再写 0x3210)
- 2) 设定编程,擦写模式许可。(EFM_FWMC.PEMODE=1)
- 3) 设定连续编程模式。(EFM_FWMC.PEMOD[2:0]=011)
- 4) 把步骤 6) 7) 8) 9) 10) 11) 传送到 FLASH 以外区域执行。
- 5) 跳转到传送到步骤 4) 目的地址。
- 6) 对编程地址写 32/16/8 位数据。
- 7) 等待操作结束标志位(EFM_FSR.OPTEND)置位。
- 8) 清除操作结束标志位，直至读到标志位 EFM_FSR.OPTEND 为 0。
- 9) 重复 6)，7)，8) 直至所有数据写完。

- 10) 修改擦写模式控制寄存器为非连续编程模式。
- 11) 等待 FLASH 处于空闲状态。(EFM_FSR.RDY=1)
- 12) 跳转返回主程序。

注意:

- 在 FLASH 连续编程期间, 如果发生对 FLASH 的读操作, 将会读到不定值。读操作会使读冲突位 EFM_FSR.COLERR 置位, 需设定 EFM_FSCLR 寄存器清除。

7.6.4 擦除操作

EFM 提供了扇区擦除和全擦除两种擦除方式。对 FLASH 进行扇区擦除操作后, 该扇区内地址(512Bytes 空间)数据刷新为全 1; 对 FLASH 进行全擦除操作后, 整个 FLASH 区域所有地址数据刷新为全 1。扇区擦除和全擦除操作设定步骤如下:

- 1) 解除 FLASH 的寄存器写保护(EFM_FAPRT 先写 0x0123,再写 0x3210)。
- 2) 设定编程,擦写模式许可(EFM_FWMC.PEMODE=1)。
- 3) 设定擦除模式(EFM_FWMC.PEMOD[2:0]=100)。
- 4) 全擦除时设定 EFM_FWMC.PEMOD[2:0]=101。
- 5) 对需要擦除扇区内的任意地址(地址需以 4 对齐)写入 32 位任意值。
- 6) 全擦除时对任意 FLASH 地址(地址需以 4 对齐)写入 32 位任意值。
- 7) 等待 FLASH 处于空闲状态(FSR.RDY=1)。
- 8) 清除擦除结束标志位(EFM_FSR.OPTEND)。

7.6.5 总线保持功能

通过设定寄存器 EFM_FWMC.BUSHLDCTL 位, 可设定 FLASH 编程, 擦除期间, 总线处于保持状态还是释放状态。FLASH 编程, 擦除指令在 FLASH 上执行时, 必须把该控制位设定为 0; 擦除指令在 FLASH 以外空间 (比如 RAM) 执行时, 可根据需要自由设定该控制位。

当设定 BUSHLDCTL 为 1 (FLASH 编程, 擦写期间, 总线释放状态) 时, 在编程(连续编程除外), 擦写结束前(EFM_FSR.RDY=1)对 FLASH 的读写访问将会被忽视, 标志位 EFM_FSR.COLERR 位置位。

7.6.6 FLASH 擦除、编程窗口保护

对 FLASH 提供窗口保护功能，只有在允许区域 FLASH 才能被扇区擦除，编程，否则发生擦写错误中断。编程、扇区擦除操作时，硬件电路将预先判断是否在允许区域内，全擦除模式不受窗口保护限制。窗口的起始位置和结束位置由寄存器 EFM_FPMTEW，EFM_FPMTSW 设定。

具体保护功能如下：

- 寄存器 EFM_FPMTEW= 寄存器 EFM_FPMTSW 整个 FLASH 区域都可擦除，编程。
- 寄存器 EFM_FPMTEW > 寄存器 EFM_FPMTSW 可擦除，编程区域在两者之间。
- 寄存器 EFM_FPMTEW < 寄存器 EFM_FPMTSW 整个 FLASH 区域都不可擦除，编程。

7.6.7 中断

EFM 模块共有 3 个中断，分别是 PE（编程/擦除）错误中断,总线冲突中断和操作结束中断。

当 FLASH 发生 PE 错误中断置位后，不能对 FLASH 进行编程/擦除/全擦除。必须对标志位清零后才能再次对 FLASH 进行编程/擦除/全擦除。

1. PE 错误中断 EFM_PEERR:

置位:

- 对 FLASH 窗口保护内地址执行编程，扇区擦除操作(PEPRTEW=1)。
- 未设定擦写模式时，执行对 FLASH 写操作(PEWERR=1)。
- 单编程回读模式时，编程地址自读值与写入值不一致(PGMISMATCH=1)。

清零:

寄存器 EFM_FSCLR 对应标志清除位写 1，状态位清零。

2. FLASH 总线冲突中断 EFM_COLERR:

置位:

- FLASH 连续编程模式发生 FLASH 读操作。
- FLASH 停止模式时发生 FLASH 读写操作。

- FLASH 编程，擦除未结束前，发生 FLASH 读写操作。

清零：

寄存器 EFM_FSCLR 对应清除位置 1，状态位清零。

3. 操作结束中断 EFM_OPTEND：

置位：

- 编程模式：单个地址编程结束。32/16 位数据写入时，FLASH 会编程 4/2 次，操作结束中断(EFM_OPTEND)只会发生 1 次。
- 擦除模式：扇区擦除，全擦除结束。

清零：

寄存器 EFM_FSCLR 对应清除位置 1，状态位清零。

7.7 寄存器说明

EFM_BASE_ADDR: 0x40000800

寄存器说明	寄存器名	偏移量	位宽	复位值
FLASH访问保护寄存器	EFM_FAPRT	0x0000h	32	0x0000_0000
FLASH停止寄存器	EFM_FSTP	0x0004h	32	0x0000_0000
FLASH读模式寄存器	EFM_FRMC	0x0008h	32	0x0000_0001
FLASH擦写模式寄存器	EFM_FWMC	0x000Ch	32	0x0000_0000
FLASH状态寄存器	EFM_FSR	0x0010h	32	0x0000_0100
FLASH状态清除寄存器	EFM_FSCLR	0x0014h	32	0x0000_0000
FLASH中断许可寄存器	EFM_FITE	0x0018h	32	0x0000_0000
FLASH改写允许区域起始地址	EFM_FPMTSW	0x0020h	32	0x0000_0000
FLASH改写允许区域结束地址	EFM_FPMTEW	0x0024h	32	0x0000_0000
FLASHuniqueID寄存器	FEM_UQID0	0x0050h	32	不定
FLASHuniqueID寄存器	EFM_UQID1	0x0054h	32	不定
FLASHuniqueID寄存器	EFM_UQID2	0x0058h	32	不定

表 7-2 寄存器一览表

7.7.1 访问保护寄存器 EFM_FAPRT

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FAPRT[15:0]															

位	标记	位名	功能	读写
b31-b16	Reserved	-	读出时为“0”,写入时写“0”	R
b15-b0	FAPRT[15:0]	EFM寄存器写保护	访问EFM寄存器保护寄存器。 解除方法：对FAPRT先写”16位数据0x0123”再写”16位数据0x3210”。 在解除保护状态下，写入任意数据，EFM寄存器再次进入保护状态。 EFM寄存器访问保护有效时，该寄存器读出值为0x00000000。 EFM寄存器访问保护无效时，该寄存器读出值为0x00000001。	R/W

7.7.2 FLASH 停止寄存器 EFM_FSTP

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	FSTP

位	标记	位名	功能	读写
b31-b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	FSTP	FLASH停止模式控制	0: FLASH活动状态 1: FLASH处于停止模式 当寄存器位由1设为0后，程序需要等待10us后，才能进行FLASH访问。	R/W

7.7.3 读模式寄存器 EFM_FRMC

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	CRS T0	PREF ETE	CAC HE

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	FLW T

位	标记	位名	功能	读写
b31~b19	Reserved	-	读出时为“0”,写入时写“0”	R
b18	CRST0	缓存复位位	0: 缓存数据不复位 1: 复位缓存数据	R/W
b17	PREFETE	预取指许可位	0: 关闭预取指功能 1: 预取指功能使能	R/W
b16	CACHEE	缓存许可位	0: 关闭缓存功能 1: 缓存功能使能	R/W
b15~b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	FLWT	FLASH读插入的等待 周期	0: 不插入等待周期 1: 插入1个等待周期	R/W

7.7.4 擦写模式寄存器 EFM_FWMC

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	BUSH LDCT L	-	PEMOD[2:0]			-	-	-	PEM ODE

位	标记	位名	功能	读写
b31~b9	Reserved	-	读出时为“0”,写入时写“0”	R
b8	BUSHLDCTL	FLASH擦除, 编程期间总线控制	0: FLASH编程擦除期间, 总线被占用。 1: FLASH编程擦除期间, 总线释放。	R/W
b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6~b4	PEMOD[2:0]	FLASH擦除, 编程模式	000: 只读模式 001: 单编程模式 010: 单编程回读模式 011: 连续编程模式 100: 扇区擦除模式 101: 全擦除模式 110: 只读模式 111: 只读模式	R/W
b3~b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	PEMODE	FLASH擦除, 编程许可模式	0: PEMOD[2:0]改写不许可 1: PEMOD[2:0]改写不许可	R/W

注意:

- 位 PEMODE 和位 PEMOD[2:0]不能同时写入。只有在 PEMODE=1 的情况下 PEMOD[2:0]才能被写入。

7.7.5 状态寄存器 EFM_FSR

复位值：0x0100

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	RDY	-	-	COL ERR	OPTE ND	PGM ISMT CH	-	PEPR TERR	PEW ERR

位	标记	位名	功能	读写
b31~b9	Reserved	-	读出时为“0”,写入时写“0”	R
b8	RDY	FLASH忙/空闲状态	0: FLASH忙状态 1: FLASH空闲状态	R
b7~b6	Reserved	-	读出时为“0”,写入时写“0”	R
b5	COLERR	FLASH读写访问错误标志位	0: FLASH读写访问正常 1: FLASH读写访问错误 使该位置位的FLASH读写访问操作将会被忽视。	R
b4	OPTEND	操作结束标志位	0: 没有对FLASH进行擦写或者FLASH擦写中 1: 对FLASH擦写结束, 置位条件: 编程/擦除/全擦除操作结束	R
b3	PGMISMTCH	单编程回读值不一致标志位	0: 单编程回读值一致 1: 单编程回读值不一致	R
b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	PEPRERR	对保护地址编程/擦除错误标志位	0: 编程/擦除地址为允许改写区域 1: 对保护窗口地址进行编程/擦除动作	R
b0	PEWERR	擦写模式错误标志位	0: 在擦写许可模式下擦写FLASH 1: 在擦写不许可模式下擦写FLASH	R

7.7.6 状态清除寄存器 EFM_FSCLR

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	COL ERRC LR	OPTE NDC LR	PG MISM TCHC LR	-	PEPR TERR CLR	PEW ERR CLR

位	标记	位名	功能	读写
b31~b6	Reserved	-	读出时为“0”,写入时写“0”	R
b5	COLERRCLR	清除总线冲突错误 标志位	0: 不发生清除动作 1: 清除总线冲突错误	R/W
b4	OPTENDCLR	清除操作结束标志	0: 不发生清除动作 1: 清除操作结束标志	R/W
b3	PGMISM TCHCLR	清除编程回读不一 致标志位	0: 不发生清除动作 1: 清除编程回读不一致标志位	R/W
b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	PEPR TERRCLR	清除对保护地址编 程/擦除错误标志位	0: 不发生清除动作 1: 清除编程/擦除错误	R/W
b0	PEWERRCLR	擦写模式错误标志 位	0: 不发生清除动作 1: 清除模式写错误	R/W

注意：

- 寄存器 FSCLR 的位写 1 读 0。

7.7.7 中断许可寄存器 EFM_FITE

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	RDC OLER RITE	OPT ENDI TE	PEE RRIT E

位	标记	位名	功能	读写
b31~b3	Reserved	-	读出时为“0”,写入时写“0”	R
b2	RDCOLERRITE	读冲突错误中断许可	0: 读冲突错误中断不许可 1: 读冲突错误中断许可	R/W
b1	OPTENDITE	操作结束中断许可	0: 操作结束中断不许可 1: 操作结束中断许可	R/W
b0	PEERRITE	编程/擦除错误中断许可	0: 编程/擦除错误中断不许可 1: 编程/擦除错误中断许可	R/W

7.7.8 FLASH 窗口保护起始地址寄存器 EFM_FPMTSW

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	FPMTSW[15:0]														

位	标记	位名	功能	读写
b31~b15	Reserved	-	读出时为“0”,写入时写“0”	R
b14~b0	FPMTSW[14: 0]	保护窗口起始地址	FLASH保护窗口起始地址	R/W

7.7.9 FLASH 窗口保护结束地址寄存器 EFM_FPMTEW

复位值：0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	FPMTEW[15:0]														

位	标记	位名	功能	读写
b31-b15	Reserved	-	读出时为“0”,写入时写“0”	R
b14-b0	FPMTEW[14: 0]	保护窗口结束地址	FLASH保护窗口的结束地址	R/W

7.7.10 UNIQUE ID 寄存器 EFM_UQID 0

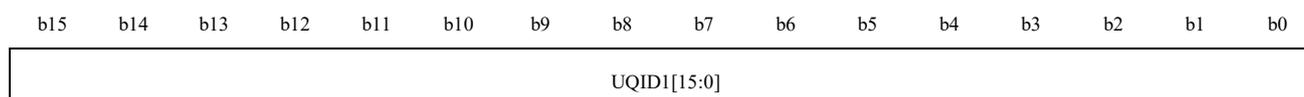
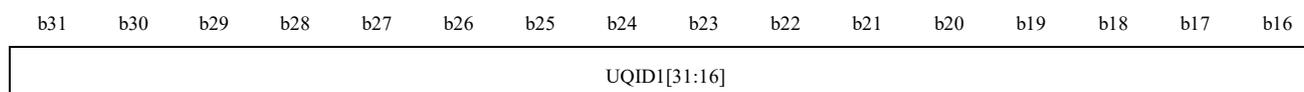
复位值：不定

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
UQID0[31:16]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
UQID0[15:0]															

位	标记	位名	功能	读写
b31-b0	UQID0[31:0]	唯一码	芯片唯一码	R

7.7.11 UNIQUE ID 寄存器 EFM_UQID 1

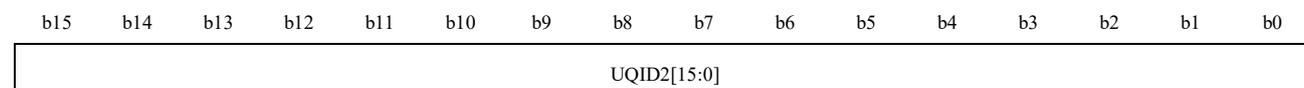
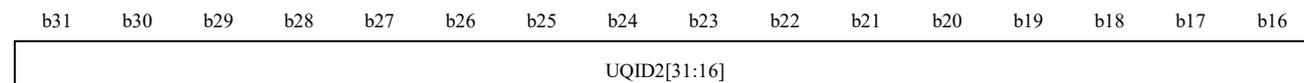
复位值：不定



位	标记	位名	功能	读写
b31-b0	UQID1[31:0]	唯一码	芯片唯一码	R

7.7.12 UNIQUE ID 寄存器 EFM_UQID 2

复位值：不定



位	标记	位名	功能	读写
b31-b0	UQID2[31:0]	唯一码	芯片唯一码	R

7.8 注意事项

1. 在 FLASH 进行擦写时，发生复位、擦写操作会强制停止，FLASH 数据将得不到保证。用户需在复位解除后对地址擦除后再次进行操作。
2. FLASH 编程，擦除操作地址如果会涉及到缓存中的地址，请在编程，擦除操作结束后复位缓存回路。
3. 连续编程模式时，FLASH 模拟电路会有高电压状态，长期高压状态会影响 FLASH 特性，一旦连续编程结束请立即退出连续编程模式。禁止在连续编程模式下，MCU 进入低功耗模式（睡眠模式、停止模式、掉电模式）。
4. 设定编程、擦除总线释放(FWMC.BUSHLCTL=1)时，编程、擦除中如需响应中断，请把中断向量和中断子程序设定到 RAM。
5. 若程序运行在 RAM 上，可通过设定 EFM_FSTP.FSTP=1 来停止 FLASH，以节省功耗。

8 内置 SRAM (SRAM)

8.1 简介

本产品带有 4KB 系统 SRAM。

SRAM 可按照字节、半字（16 位）或全字（32 位）访问。读写操作以 CPU 速度执行。

SRAM 带有奇偶校验（Even-parity check），每字节数据带有一位校验位。当读取 SRAM 数据发生奇偶校验错误时将发生 SRAM 奇偶校验复位。SRAM 详细定义见表 8-1。

名称	容量	地址范围	校验方式
SRAM	4KB	0x20000000~0x20000FFF	Even-parity check

表 8-1 SRAM 空间分配

注意：

- 读取未经初始化的 SRAM 地址会发生 SRAM 奇偶校验复位。

9 通用 IO (GPIO)

本章中使用的一些略称:

- Px (x=0~7,12,13,14) 表示一组端口, 如 P0 表示 P00~P07 这一组的 8 个 I/O 端口
- Pxy (x=0~7,12,13,14, y=0~7, 以下同) 表示单个 I/O 端口, 如 P10 端口表示 P1 组中第 0 个 I/O, P147 端口表示 P14 组中第 7 个 I/O
- GPIO (General Purpose Input Output) 通用输入输出
- NOD/POD (Nmos/Pmos Open Drain) NMOS/PMOS 开漏输出模式

9.1 简介

主要特性:

- 每组 Port 配有 8 个 I/O Pin, 根据实际配置可能不足 8 个
- 支持上拉
- 支持推挽, 开漏输出模式
- 支持普通驱动(所有管脚)和高驱动模式(除 P10, P146, P147 及 P20~P27 以外管脚)
- 支持外部中断的输入
- 支持 I/O pin 外围功能复用, 一个 I/O pin 最多可具有 8 个可选择的复用功能
- 各个 I/O pin 可独立编程
- 支持 CMOS 和 Schmitt 两种输入方式切换
- 部分寄存器支持 FASTIO 接口, 可单周期访问

9.2 端口功能概要

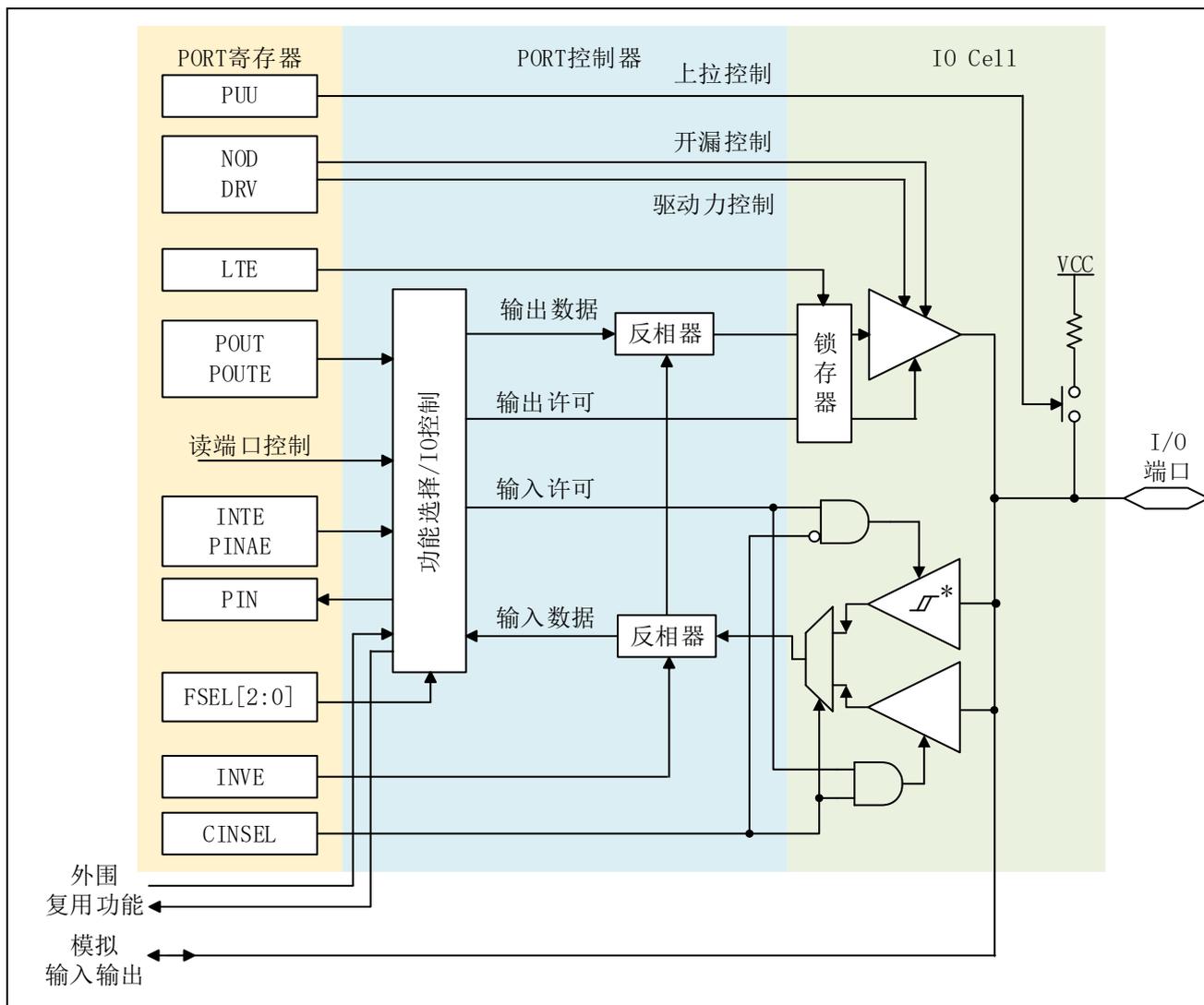


图 9-1 端口基本结构示意图

详细 GPIO 端口数目、驱动能力配置请参考数据手册中引脚配置及功能章节。

9.3 动作说明

9.3.1 通用输入输出 GPIO 功能

通用输入功能 GPI:

各 I/O 都具有通用输入 GPI 功能，具有模拟功能的 I/O 在选择模拟功能时，GPI 功能无效。选择模拟功能以外的功能时，GPI 功能始终有效。没有模拟功能的 I/O GPI 功能始终有效。与功能选择寄存器中 PCRxy 的 FSEL[2:0] 设定值无关。通过访问端口输入数据寄存器 PIDRx 可以获取当前端口的状态。也可以通过端口控制寄存器 PCRxy 的 PIN 位查询相应的单 I/O 端口状态，PIDRx.PIN[y] 寄存器位与 PCRxy.PIN 位等价。

默认情况下，为了降低功耗，I/O 的输入 MOS 是被关闭的。只有在读取 PIDRx，PCRxy 寄存器时，才会被打开。根据需要，也可以通过设置寄存器 PINAER.PINAEx 为 1，让 I/O 的输入 MOS 一直处于打开状态。

通用输出功能 GPO:

除输入专用的 $\overline{\text{RESET}}$ 端口，其他 I/O 端口都具有通用输出 GPO 功能。通过设置端口功能选择寄存器 PCRxy.FSEL[2:0] 为 0x0 可以有效 GPO 功能。

GPO 功能有效时，可以通过设置通用输出许可寄存器 POERx 来允许或者禁止 I/O 的输出，通用输出数据寄存器 PODRx 来控制的输出值。使用下面的 3 个寄存器也可以控制 I/O 的输出值：输出数据清零寄存器 PORRx，输出数据置位寄存器 POSRx，输出数据翻转寄存器 POTRx。对上述寄存器中相应位写 1 可使对应 I/O 输出 0、1、翻转。写 0 时 I/O 输出状态不改变。

上面的寄存器都是 8 个 PORT 一组一起操作的。为了方便对单个 I/O 的控制，也可通过设置 PCRxy.POUTE 来允许或者禁止 I/O 的输出，PCRxy.POUTE 寄存器位与 POERx.POUTE[y] 等价。可通过设置 PCRxy.POUT 来控制 I/O 的输出值，PCRxy.POUT 寄存器位与 PODRx.POUT[y] 等价。PCRxy 适合用于控制单个 PORT，POERx/PODRx 适合于控制 8 位整组 PORT。

系统复位后，除了 SWD 复用端口 P50，P51 以外，其他端口的初始功能均为 GPO，且处于输出禁止状态(POUTE_{xy}=0)。

9.3.2 外围功能

通过功能选择寄存器 PCRxy 的 FSEL[2:0]，每个端口可以配置最多 8 个功能。其中包括 FSEL[2:0]=0x0 对应的通用输出 GPO 功能。各端口具体配置的功能请参考**数据手册**中**引脚功能表**。

SWD 调试功能，使用寄存器 PSPCR 选择。PSPCR.SPFE[z]为 1 时，对应端口的 PCRxy.FSEL[2:0]寄存器位无效，即 SPFE 优先级高于 FSEL。PSPCR 寄存器初始值为 0x3，SWD 功能有效。如果要将这些端口设置为 SWD 以外的功能，需要先写 SPFE 为 0。

9.3.3 外部中断 EIRQ 输入功能

每个 I/O 端口都具有外部中断输入功能。当 PCRxy.INTE 位设为 1 时，此 I/O 将作为外部中断源 EIRQy 被允许输入。每个 EIRQy 可配置的 I/O 不止一个，使用时每个 EIRQy 请不要同时允许多个 I/O 输入。外部中断输入功能与 PCRxy.FSEL 选择的外围功能（包括 GPIO）可同时有效。

注：没有 EIRQ 功能的 I/O 的 PCRxy 寄存器没有 INTE 位。

另外，外部非可屏蔽中断 NMI 与 P40/MD 端口复用。

I/O 端口作为外部中断 EIRQ 使用时，需要结合中断控制器 INTC，设置滤波、中断触发沿、中断号等。详细请参考【**中断控制器（INTC）**】。

9.3.4 模拟功能

部分 I/O 端口带有模拟输入输出功能。在用作模拟功能时，请将该 I/O 端口的 PCRxy.FSEL 设置为 1，选择模拟功能后，该端口的数字功能将被禁止，即禁用该端口的数字输入，输出以及上拉功能。

9.3.5 通用控制

1. 上拉电阻

各 I/O 端口带有内部的上拉电阻。可以设置寄存器 PCRxy.PUU 位允许此功能，在 I/O 端口无输入时，内部处于弱 1 状态。在 I/O 端口处于输出状态时，上拉功能将自

动无效。

2. 驱动能力控制

除 P10, P146, P147 及 P20~P27 以外各 I/O 端口都具有普通, 高 2 档驱动能力可调, 可根据需要设置寄存器 PCRxy.DRV。

本功能只在端口处于输出状态时才有效。

3. 开漏输出模式

设置 PCRxy.NOD 位, 可以将 I/O 端口设置成 NMOS 开漏输出模式。当 NOD 有效时, 对应端口可正常输出 0, 而输出 1 时端口将处于高阻态。

以上所述通用控制功能, 如无特别说明, 它们与端口具体选择的功能即 FSEL[2:0]的设置无关。

9.3.6 Event Port 输入功能

支持 1 组 Event Port, 共 4 个端口。EVENTPx (x=1~4) 端口可以作为触发源, 根据端口输入生成事件来触发其它周边设备 (如 TIMER, ADC, DMA 等) 开始特定的动作。使用时, 设置 EVPRT_CR 选择上升沿或下降沿检测, 以及数字滤波功能, 并设置功能选择寄存器 PCRxy 选择 EVNTPx 功能。当选择的边沿从端口输入时, 则生成事件 EVENT_PORTx, 输出到其它周边设备以触发其开始动作。

使用 Event Port 功能时, 需要先将功能时钟控制 0 寄存器(FCG0)的外围电路触发功能使能位置设为有效。

9.4 寄存器说明

BASE_ADDR: 0x40013800

寄存器名	符号	偏移地址	位宽	复位值	访问接口
通用输入数据寄存器	PIDRx	0x00+x	8	0xXX	FASTIO
通用输出数据寄存器	PODRx	0x10+x	8	0x00	FASTIO
通用输出许可寄存器	POERx	0x20+x	8	0x00	FASTIO
通用输出置位寄存器	POSRx	0x30+x	8	0x00	FASTIO
通用输出复位寄存器	PORRx	0x40+x	8	0x00	FASTIO
通用输出翻转寄存器	POTRx	0x50+x	8	0x00	FASTIO
通用控制寄存器	PCRxy	0x400+0x10*x+0x2*y	16	0x0X00	AHB
特殊控制寄存器	PSPCR	0x500	16	0x0003	AHB
公共控制寄存器	PCCR	0x504	16	0x4000	AHB
输入控制寄存器	PINAER	0x506	16	0x0000	AHB
写保护寄存器	PWPR	0x508	16	0x0000	AHB

表 9-1 PORT 寄存器一览 1

注：地址计算公式中 x=0~7,12,13,14 y=0~7

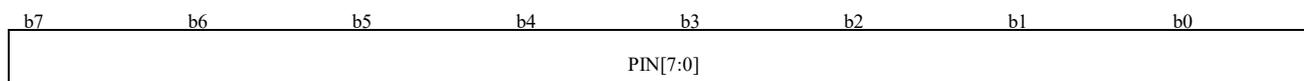
BASE_ADDR: 0x40000C00

寄存器名	符号	偏移地址	位宽	复位值
EVENT PORT控制寄存器	EVPRT_CR	0x04	32	0x0000 0000
EVENT PORT状态寄存器	EVPRT_SR	0x08	32	0x0000 0000

表 9-2 PORT 寄存器一览 2

9.4.1 通用输入寄存器 (PIDRx)

复位值: 0xXX

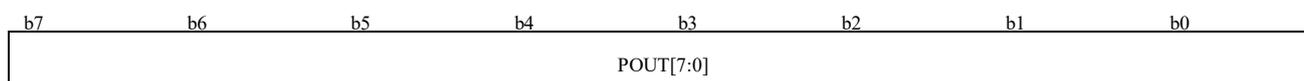


位	标记	位名	功能	读写
b7~b0	PIN[7:0]	输入状态	0: I/O 端口输入状态为低电平 1: I/O 端口输入状态为高电平	R

本寄存器为只读寄存器，写无效。在数字功能未被禁止时，通过读取此寄存器可以获取端口的输入状态，与功能选择寄存器的 PCRxy.FSEL[2:0]设定值无关。不存在端口对应位的读出值不定。在端口的数字功能禁止状态时，由于 I/O 输入 MOS 处于关闭状态，对应 PIN 位读出值为固定值 0x1。

9.4.2 通用输出数据寄存器 (PODRx)

复位值: 0x00

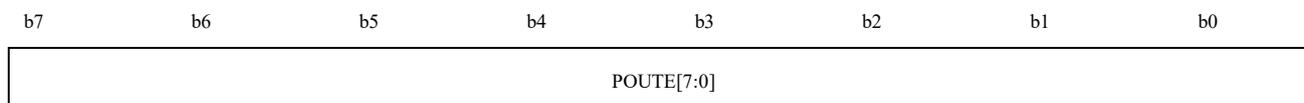


位	标记	位名	功能	读写
b7~b0	POUT[7:0]	输出数据	0: 输出低电平 1: 输出高电平	R/W

当 I/O 端口被设置成 GPO 功能时，改写此寄存器可以更改对应端口的输出状态。

9.4.3 通用输出许可寄存器 (POERx)

复位值: 0x00

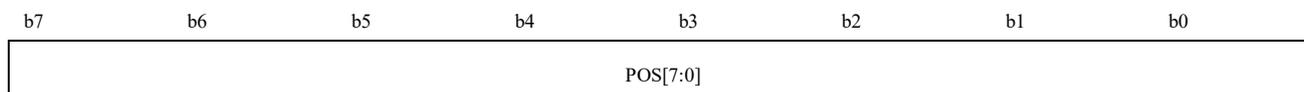


位	标记	位名	功能	读写
b7~b0	POUTE[7:0]	输出许可	0: 输出禁止 1: 输出许可	R/W

当 I/O 端口被设置成 GPO 功能时，且此寄存器设为 1 时，PODRx 设定值将输出到对应 I/O 端口。此寄存器设为 0 时，输出关闭，端口为高阻态。不存在端口对应位请不要写 1。

9.4.4 通用输出置位寄存器 (POSRx)

复位值: 0x00

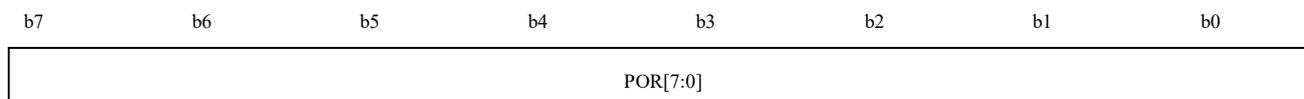


位	标记	位名	功能	读写
b7~b0	POS[7:0]	输出高	0: 对应 PODRx.POUT 无变化 1: 对应 PODRx.POUT 置 1	R/W

此寄存器的读出值始终为 0x00。

9.4.5 通用输出复位寄存器 (PORRx)

复位值: 0x00

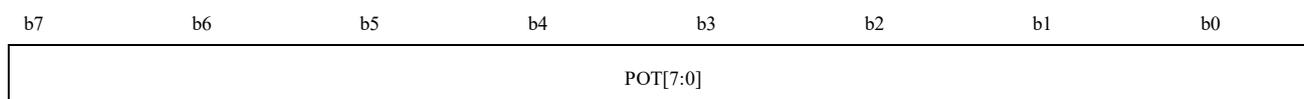


位	标记	位名	功能	读写
b7~b0	POR[7:0]	输出低	0: 对应 PODRx.POUT 无变化 1: 对应 PODRx.POUT 清零	R/W

此寄存器的读出值始终为 0x00。

9.4.6 通用输出翻转寄存器 (POTRx)

复位值: 0x00



位	标记	位名	功能	读写
b7~b0	POT[7:0]	输出翻转	0: 对应 PODRx.POUT 无变化 1: 对应 PODRx.POUT 取反	R/W

此寄存器的读出值始终为 0x00。

9.4.7 通用控制寄存器 (PCRxy)

复位值: b0000_000x_0000_0000

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	FSEL[2:0]		INTE	CINSEL	INVE	PIN	-	PUU	LTE	DRV	-	NOD	POUTE	POUT	

位	标记	位名	功能	读写
b15	Reserved	-	读出时为 0, 写时请写 0	R
b14~b12	FSEL[2:0]	功能选择	各端口的功能配置请参考 数据手册中引脚功能表 。	R/W
b11	INTE	外部中断许可	0: 外部中断输入禁止 1: 外部中断输入许可 无外部中断功能的 I/O 此位为保留位, 读出时为 0, 写时请写 0	R/W
b10	CINSEL	CMOS/Schmitt 输入选择	0: 选择 Schmitt 输入 1: 选择 CMOS 输入	R/W
b9	INVE	反相许可	0: 输入输出数据不反相 1: 输入输出数据反相	R/W
b8	PIN	输入状态	0: I/O 端口输入状态为低电平 1: I/O 端口输入状态为高电平 与寄存器 PIDRx 中 PIN[y]功能一致	R
b7	Reserved	-	读出时为 0, 写时请写 0	R
b6	PUU	上拉许可	0: 内部上拉(pullup)电阻无效 1: 内部上拉(pullup)电阻有效	R/W
b5	LTE	输出状态锁存	0: 输出锁存无效 1: 输出锁存有效	R/W
b4	DRV ^(2b)	驱动模式选择	0: 普通驱动力模式 1: 高驱动力模式	R/W
b3	Reserved	-	读出时为 0, 写时请写 0	R
b2	NOD	NMOS 开漏	0: 正常 CMOS 输出模式	R/W

			1: NMOS 开漏输出	
b1	POUTE	输出许可	0: 输出禁止 1: 输出许可 与寄存器 POERx 中 POUTE[y]功能一致	R/W
b0	POUT	输出数据	0: 输出低电平 1: 输出高电平 与寄存器 PODRx 中 POUT[y]功能一致	R/W

注：PCR20~PCR27 的 bit4 为保留位，读出时为 0，写时请写 0

各 I/O 端口可以通过 FSEL[2:0]选择配置在该端口上多个功能中的一个。参考**数据手册**中**引脚功能表**，FSEL[2:0]设为 b000 表示选择 Func0，设为 b001 表示选择 Func1，以此类推。其中 Func0 对应的通用输出功能 GPO。

注意：P50，P51 端口复位后初始状态为 SWD 功能有效，在配置 FSEL[2:0]选择功能时需要先将寄存器 PSPCR 相应位写 0 无效 SWD 功能。

具有模拟功能的 I/O 在选择模拟功能时，对应端口的所有数字功能全部强制无效，包括通用输入输出，外围数字输入输出，上拉/下拉功能，以及外部中断输入功能。

LTE 设为 1 输出锁存有效时，端口当前的输出状态保持，直至 LTE 写成 0。本功能主要在端口功能切换时使用。为避免功能切换时端口输出意想不到的毛刺而导致系统误动作，在功能切换前，先将 LTE 写 1 锁存住端口的输出状态，再改写寄存器选择寄存器切换功能，最后再将 LTE 写 0 解除锁存，端口状态更新为新功能。

INVE 设为 1 时，端口的输入输出数据都会进行反相，包含 GPIO 功能，和其它外围输入输出功能。

CINSEL 用于选择对应 I/O 的输入方式，该 I/O 的所有输入功能将使用 CMOS/Schmitt 输入，包括 GPI 和除 I2C 以外的外围数字功能。当使用 PCRxy.FSEL[2:0]选择 I2C 功能后，该 I/O 的 CMOS/Schmitt 输入将由 I2C 模块控制。

9.4.8 特殊控制寄存器（PSPCR）

复位值：0x0003

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	SPFE[1:0]	

位	标记	位名	功能	读写
b15~b2	Reserved	-	读出时为 0，写时请写 0	R
b1	SPFE[1]	特殊功能选择	0: SWDIO 功能无效 1: SWDIO 功能有效	R/W
b0	SPFE[0]	特殊功能选择	0: SWCLK 功能无效 1: SWCLK 功能有效	R/W

注：SPFE[1:0]功能选择位优先级高于 PCRxy.FSEL[2:0]功能选择位。

9.4.9 公共控制寄存器（PCCR）

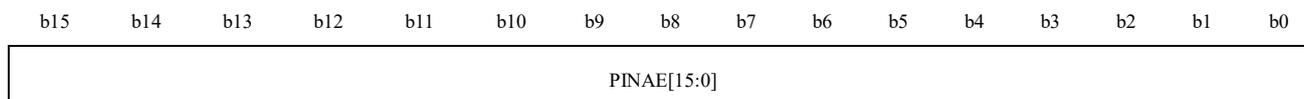
复位值：0x4000

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RDWT[1:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

位	标记	位名	功能	读写		
b15-b14	RDWT[1:0]	读端口等待	设置读寄存器 PCRxy 时插入的等待周期数	R/W		
			设定值		等待周期	推荐工作频率
			00		无等待	32MHz 以下
			01（默认值）		1 周期	32~48MHz
			10		2 周期	32~48MHz
			11	3 周期	32~48MHz	
b13~b0	Reserved	-	读出时为 0，写时请写 0	R		

9.4.10 输入控制寄存器 (PINAER)

复位值: 0x0000



位	标记	位名	功能	读写
b15~b0	PINAER[15:0]	输入常开	0: 输入 MOS 常开无效 1: 输入 MOS 常开有效 PINAE[0]控制 P00~P01, PINAE[1]控制 P10~P17, PINAE[2]控制 P20~P27, PINAE[3]控制 P30~P31, PINAE[4]控制 P40~P41, PINAE[5]控制 P50~P51 PINAE[6]控制 P60~P63 PINAE[7]控制 P70~P75 PINAE[12]控制 P120~P124 PINAE[13]控制 P130, P137 PINAE[14]控制 P140, P146~P147	R/W

9.4.11 写保护寄存器 (PWPR)

复位值: 0x0000

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
WP[7:0]								-	-	-	-	-	-	-	WE

位	标记	位名	功能	读写
b15~b8	WP[7:0]	写保护码	读出时为 0x00 当 b15~b8 写入值为 0xA5 时, b0 值写入 WE 当写 0xA5 以外值时, WE 自动清零	W
b7~b1	Reserved	-	读出时为 0, 写时请写 0	R
b0	WE	写许可	0: PSPCR, PCCR, PINAER, PCRxy 寄存器写禁止 1: PSPCR, PCCR, PINAER, PCRxy 寄存器写许可	R/W

9.4.12 EVENT PORT 控制寄存器 (EVPRT_CR)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-									
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	EVPN	EVPDIVS[1:0]		EVP4	EVP3	EVP2	EVP1	EVP4	EVP3	EVP2	EVP1
					FE			REE	REE	REE	REE	FEE	FEE	FEE	FEE

位	标记	位名	功能	读写
b31~b11	Reserved	-	读出时为“0”,写入时写“0”	R
b10	EVPNEF	EVENT PORT 数字滤波使能位	EVENT PORT 数字滤波使能位 该位用于控制EVENT PORT (4路) 的数字滤波电路 0: 禁止数字滤波功能 1: 使能数字滤波功能	R/W
b9~b8	EVPDIVS[1:0]	EVENT PORT 数字滤波电路时钟分频选择位	EVENT PORT 数字滤波电路时钟分频选择位 该位用于选择EVENT PORT (4路) 的数字滤波电路的时钟分频 00b: HCLK 01b: HCLK/4 10b: HCLK/16 11b: HCLK/64	R/W
b7	EVP4REE	EVENT PORT4 上升沿时间使能位	EVENT PORT4 上升沿事件使能位 0: EVENT PORT 上升沿不作为事件源 1: EVENT PORT 上升沿作为事件源	R/W
b6	EVP3REE	EVENT PORT3 上升沿时间使能位	EVENT PORT3 上升沿事件使能位 0: EVENT PORT 上升沿不作为事件源 1: EVENT PORT 上升沿作为事件源	R/W
b5	EVP2REE	EVENT PORT2 上升沿时间使能位	EVENT PORT2 上升沿事件使能位 0: EVENT PORT 上升沿不作为事件源 1: EVENT PORT 上升沿作为事件源	R/W
b4	EVP1REE	EVENT PORT1 上升沿时间使能位	EVENT PORT1 上升沿事件使能位 0: EVENT PORT 上升沿不作为事件源 1: EVENT PORT 上升沿作为事件源	R/W
b3	EVP4FEE	EVENT PORT4 下降沿时间使能位	EVENT PORT4 下降沿事件使能位 0: EVENT PORT 下降沿不作为事件源 1: EVENT PORT 下降沿作为事件源	R/W
b2	EVP3FEE	EVENT PORT3 下降沿时间使能位	EVENT PORT3 下降沿事件使能位 0: EVENT PORT 下降沿不作为事件源 1: EVENT PORT 下降沿作为事件源	R/W
b1	EVP2FEE	EVENT PORT2 下降沿时间使能位	EVENT PORT2 下降沿事件使能位 0: EVENT PORT 下降沿不作为事件源 1: EVENT PORT 下降沿作为事件源	R/W
b0	EVP1FEE	EVENT PORT1 下降沿时间使能位	EVENT PORT1 下降沿事件使能位 0: EVENT PORT 下降沿不作为事件源 1: EVENT PORT 下降沿作为事件源	R/W

9.4.13 EVENT PORT 状态寄存器 (EVPRT_SR)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-									
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
3TIMESBEFORE_PTSTUS[3:0]				2TIMESBEFORE_PTSTUS[3:0]				LAST_PTSTUS[3:0]				CURRENT_PTSTUS[3:0]			

位	标记	位名	功能	读写
b15~b12	3TIMESBEFORE_PTSTUS[3:0]	往前第 3 次事件发生时 EVENT PORT 的管脚状态	往前第 3 次发生 EVENT PORT 事件时, EVENT PORT4~EVENT PORT1 的管脚状态 0: 管脚状态为低电平 1: 管脚状态为高电平 2TIMESBEFORE_PTSTUS[0]: EVENT_PORT1 的管脚状态 2TIMESBEFORE_PTSTUS[1]: EVENT_PORT2 的管脚状态 2TIMESBEFORE_PTSTUS[2]: EVENT_PORT3 的管脚状态 2TIMESBEFORE_PTSTUS[3]: EVENT_PORT4 的管脚状态	R
b11~b8	2TIMESBEFORE_PTSTUS[3:0]	往前第 2 次事件发生时 EVENT PORT 的管脚状态	往前第 2 次发生 EVENT PORT 事件时, EVENT PORT4~EVENT PORT1 的管脚状态 0: 管脚状态为低电平 1: 管脚状态为高电平 2TIMESBEFORE_PTSTUS[0]: EVENT_PORT1 的管脚状态 2TIMESBEFORE_PTSTUS[1]: EVENT_PORT2 的管脚状态 2TIMESBEFORE_PTSTUS[2]: EVENT_PORT3 的管脚状态 2TIMESBEFORE_PTSTUS[3]: EVENT_PORT4 的管脚状态	R
b7~b4	LAST_PTSTUS[3:0]	上一次事件发生时 EVENT PORT 的管脚状态	上一次(往前第 1 次)发生 EVENT PORT 事件时, EVENT PORT4~EVENT PORT1 的管脚状态 0: 管脚状态为低电平 1: 管脚状态为高电平	R

			LAST_PTSTUS[0]: EVENT_PORT1 的管脚状态	
			LAST_PTSTUS[1]: EVENT_PORT2 的管脚状态	
			LAST_PTSTUS[2]: EVENT_PORT3 的管脚状态	
			LAST_PTSTUS[3]: EVENT_PORT4 的管脚状态	

b3~b0	CURRENT_PTSTUS[3:0]	当前事件发生时	当前发生 EVENT PORT 事件时，EVENT PORT4~EVENT PORT1 的管脚状	R
		EVENT PORT 的管	态	
		脚状态	0: 管脚状态为低电平	
			1: 管脚状态为高电平	
			CURRENT_PTSTUS[0]: EVENT_PORT1 的管脚状态	
			CURRENT_PTSTUS[1]: EVENT_PORT2 的管脚状态	
			CURRENT_PTSTUS[2]: EVENT_PORT3 的管脚状态	
			CURRENT_PTSTUS[3]: EVENT_PORT4 的管脚状态	

9.4.14 访问位宽

上面寄存器中，通用寄存器，包括 PIDRx, PODRx, POERx, POSRx, PORRx, POTRx, EVPRT_CR, EVPRT_SR 支持 8 位、16 位、32 位访问。PSPCR, PCCR, PINAER 支持 16 位、32 位访问。PWPR, PCRxy 仅支持 16 位访问。

9.5 注意事项

请不要将同一功能设置到多个端口上。

请在输出锁存有效时 (LTE=1) 进行端口功能切换, 以避免切换期间端口上输出期待之外毛刺。

10 中断控制器（INTC）

10.1 简介

中断控制器（INTC）的功能有选择系统或外设事件请求作为中断输入到 NVIC，唤醒 WFI；选择系统或外设事件请求作为事件输入到 NVIC，唤醒 WFE；选择系统或外设事件请求作为低功耗模式（休眠模式和停止模式）的唤醒条件；外部管脚 NMI 和 INTP、KR 的中断或事件控制功能。

主要规格：

- 1) NVIC 中断向量：实际使用中中断向量数请参考 10.3.1 中断向量表（不包括 Cortex™-M0+ 的 16 根中断线），每个中断向量可以根据中断选择寄存器选择对应的外设中断事件请求。更多关于异常和 NVIC 编程的说明，请参考《ARM Cortex™-M0+ 技术参考手册》中的第 5 章：嵌套向量中断控制器。
- 2) 可编程优先级：4 个可编程优先级。
- 3) 不可屏蔽中断：除 NMI 管脚作为不可屏蔽中断源以外，还可以独立选择多种系统中断事件请求作为不可屏蔽中断，且各中断事件请求配备独立的使能选择、标志、标志清除寄存器。
- 4) 配备 10 个外部 EIRQ 管脚（INTP）中断。
- 5) 配备 6 个外部 EKEY 管脚（KR）事件。
- 6) 配置多种外设中断事件请求，具体请参考 10.3.2 中断事件请求序号。
- 7) 中断可唤醒系统休眠模式和停止模式。

输入管脚:

管脚名	I/O	说明
NMI	输入	不可屏蔽中断请求管脚
INTP0	输入	外部EIRQ中断请求管脚0
INTP1	输入	外部EIRQ中断请求管脚1
INTP2	输入	外部EIRQ中断请求管脚2
INTP3	输入	外部EIRQ中断请求管脚3
INTP4	输入	外部EIRQ中断请求管脚4
INTP5	输入	外部EIRQ中断请求管脚5
INTP6	输入	外部EIRQ中断请求管脚6
INTP7	输入	外部EIRQ中断请求管脚7
INTP8	输入	外部EIRQ中断请求管脚8
INTP9	输入	外部EIRQ中断请求管脚9
KR0	输入	外部EKEY事件请求管脚0
KR1	输入	外部EKEY事件请求管脚1
KR2	输入	外部EKEY事件请求管脚2
KR3	输入	外部EKEY事件请求管脚3
KR4	输入	外部EKEY事件请求管脚4
KR5	输入	外部EKEY事件请求管脚5

10.2 INTC 系统框图

10.2.1 系统框图

中断控制器（INTC）的系统框图如下：

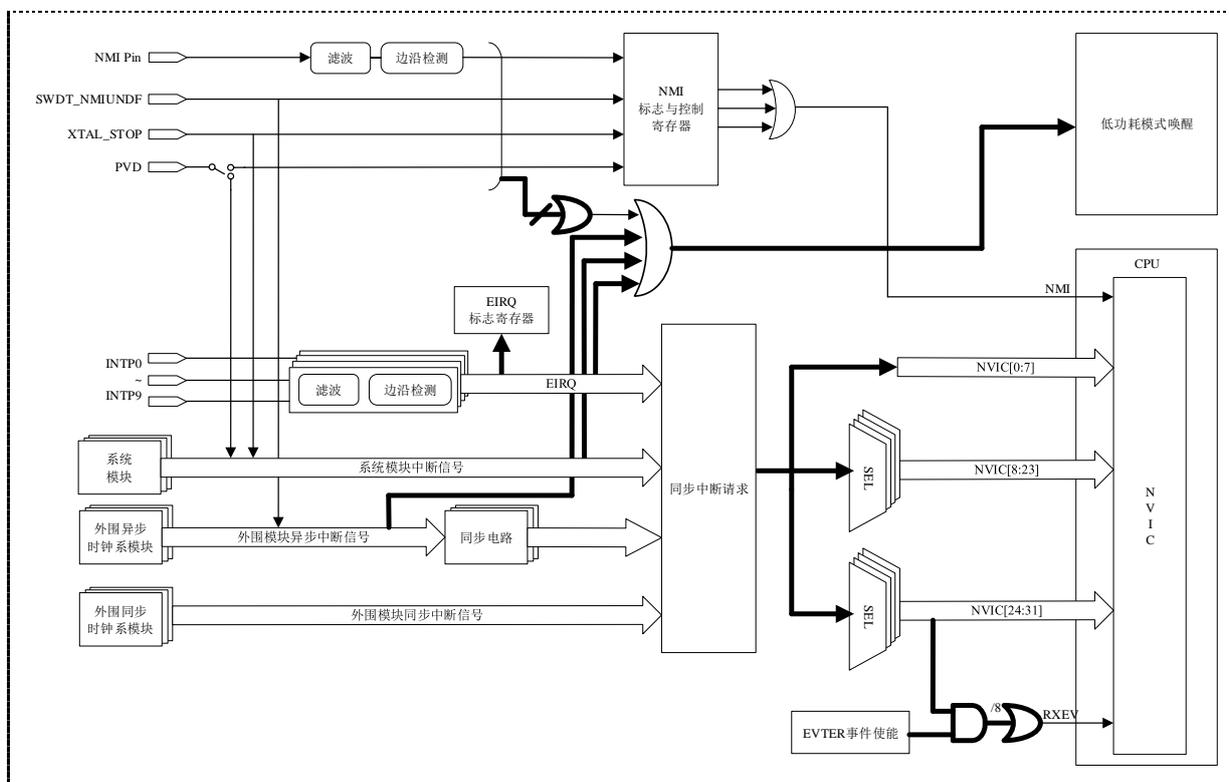


图 10-1 中断系统框图

10.3 向量表

10.3.1 中断向量表

地址	向量序号	IRQ 序号	中断源	说明
ARM核中断处理向量				
0x0000_0000	0	-	ARM core	Initial stack pointer
0x0000_0004	1	-	ARM core	Initial Program Counter
0x0000_0008	2	-	ARM core	Non-maskable Interrupt (NMI)
0x0000_000C	3	-	ARM core	Hard Fault
0x0000_0010	4	-	ARM core	Reserved
0x0000_0014	5	-	ARM core	Reserved
0x0000_0018	6	-	ARM core	Reserved
0x0000_001C	7	-	ARM core	Reserved
0x0000_0020	8	-	ARM core	Reserved
0x0000_0024	9	-	ARM core	Reserved
0x0000_0028	10	-	ARM core	Reserved
0x0000_002C	11	-	ARM core	Supervisor call (SVCall)
0x0000_0030	12	-	ARM core	Reserved
0x0000_0034	13	-	ARM core	Reserved
0x0000_0038	14	-	ARM core	Pendable request for system service (PendableSrvReq)
0x0000_003C	15	-	ARM core	System tick timer (SysTick)
非ARM核中断处理向量				
0x0000_0040	16	0	-	外部EIRQ中断请求管脚0 (INTP0) 的中断请求
0x0000_0044	17	1	-	外部EIRQ中断请求管脚1 (INTP1) 的中断请求
0x0000_0048	18	2	-	外部EIRQ中断请求管脚2 (INTP2) 的中断请求
0x0000_004C	19	3	-	外部EIRQ中断请求管脚3 (INTP3) 的中断请求

地址	向量序号	IRQ序号	中断源	说明
				请求
0x0000_0050	20	4	-	外部EIRQ中断请求管脚4 (INTP4) 的中断请求
0x0000_0054	21	5	-	外部EIRQ中断请求管脚5 (INTP5) 的中断请求
0x0000_0058	22	6	-	外部EIRQ中断请求管脚6 (INTP6) 的中断请求
0x0000_005C	23	7	-	外部EIRQ中断请求管脚7 (INTP7) 的中断请求
0x0000_0060	24	8	INTC_ISELAR8	寄存器INTC_ISELAR8选择的 interrupt 请求
0x0000_0064	25	9	INTC_ISELAR9	寄存器INTC_ISELAR9选择的 interrupt 请求
0x0000_0068	26	10	INTC_ISELAR10	寄存器INTC_ISELAR10选择的 interrupt 请求
0x0000_006C	27	11	INTC_ISELAR11	寄存器INTC_ISELAR11选择的 interrupt 请求
0x0000_0070	28	12	INTC_ISELAR12	寄存器INTC_ISELAR12选择的 interrupt 请求
0x0000_0074	29	13	INTC_ISELAR13	寄存器INTC_ISELAR13选择的 interrupt 请求
0x0000_0078	30	14	INTC_ISELAR14	寄存器INTC_ISELAR14选择的 interrupt 请求
0x0000_007C	31	15	INTC_ISELAR15	寄存器INTC_ISELAR15选择的 interrupt 请求
0x0000_0080	32	16	INTC_ISELAR16	寄存器INTC_ISELAR16选择的 interrupt 请求
0x0000_0084	33	17	INTC_ISELAR17	寄存器INTC_ISELAR17选择的 interrupt 请求

地址	向量序号	IRQ序号	中断源	说明
0x0000_0088	34	18	INTC_ISELAR18	寄存器INTC_ISELAR18选择的中断请求
0x0000_008C	35	19	INTC_ISELAR19	寄存器INTC_ISELAR19选择的中断请求
0x0000_0090	36	20	INTC_ISELAR20	寄存器INTC_ISELAR20选择的中断请求
0x0000_0094	37	21	INTC_ISELAR21	寄存器INTC_ISELAR21选择的中断请求
0x0000_0098	38	22	INTC_ISELAR22	寄存器INTC_ISELAR22选择的中断请求
0x0000_009C	39	23	INTC_ISELAR23	寄存器INTC_ISELAR23选择的中断请求
0x0000_00A0	40	24	INTC_ISELBR24	寄存器INTC_ISELBR24选择的中断请求
0x0000_00A4	41	25	INTC_ISELBR25	寄存器INTC_ISELBR25选择的中断请求
0x0000_00A8	42	26	INTC_ISELBR26	寄存器INTC_ISELBR26选择的中断请求
0x0000_00AC	43	27	INTC_ISELBR27	寄存器INTC_ISELBR27选择的中断请求
0x0000_00B0	44	28	INTC_ISELBR28	寄存器INTC_ISELBR28选择的中断请求
0x0000_00B4	45	29	INTC_ISELBR29	寄存器INTC_ISELBR29选择的中断请求
0x0000_00B8	46	30	INTC_ISELBR30	寄存器INTC_ISELBR30选择的中断请求
0x0000_00BC	47	31	INTC_ISELBR31	寄存器INTC_ISELBR31选择的中断请求

表 10-1 中断向量表

注意：INTC_ISELAR_m (m=8~23) 具体选择的中断事件请求编号请参考寄存器说明章节。

10.3.2 中断事件请求序号

中断事件请求由系统或外设产生，中断事件请求被中断控制器选择为中断输入时，中断事件请求被称为中断源；被选择为事件输入时，被称为事件源。外设中断事件请求也可以作为 MCU 低功耗模式返回的条件。

编号	中断事件请求序号	功能模块	功能名称	中断源	事件源	分组编号	组内编号	对应 NVIC 向量的中断选择寄存器 ^{#11}		
								NVIC 向量 0~7	NVIC 向量 8~23	NVIC 向量 24~31
0	00h	PORT	PORT_EIRQ0	✓	✓	Group0	0	Vec0	-	-
1	01h	PORT	PORT_EIRQ8	✓	✓		1	-	Vec8~9	Vec24
2	02h	DMA	DMA_1_TC0	✓	✓		2	-	Vec8~9	
3	03h	DMA	DMA_1BTC0	✓	✓		3	-	Vec8~9	
4	04h	EFM	EFM_PEERR	✓	-		4	-	Vec8~9	
5	05h	EFM	EFM_RDCOL	✓	-		5	-	Vec8~9	
6	06h	XTAL	XTAL_STOP	✓	-		6	-	Vec8~9	
7	07h	SWDT	SWDT_NMIUNDF	✓	-		7	-	Vec8~9	
8	08h	-	-	-	-		8	-	Vec8~9	
9	09h	-	-	-	-		9	-	Vec8~9	
10	0Ah	-	-	-	-		A	-	Vec8~9	
11	0Bh	-	-	-	-		B	-	Vec8~9	
12	0Ch	USART	USART_1_EI	✓	-		C	-	Vec8~9	
13	0Dh	IIC	IIC_EE1	✓	-		D	-	Vec8~9	
14	0Eh	SPI	SPI_SPEI	✓	-		E	-	Vec8~9	
15	0Fh	-	-	-	-		F	-	Vec8~9	
16	10h	PORT	PORT_EIRQ1	✓	✓	Group1	0	Vec1	-	-
17	11h	PORT	PORT_EIRQ9	✓	✓		1	-	Vec10~11	Vec25
18	12h	DMA	DMA_2_TC0	✓	✓		2	-	Vec10~11	
19	13h	DMA	DMA_2BTC0	✓	✓		3	-	Vec10~11	
20	14h	CTC	CTC_ERR	✓	-		4	-	Vec10~11	
21	15h	-	-	-	-		5	-	Vec10~11	
22	16h	-	-	-	-		6	-	Vec10~11	
23	17h	-	-	-	-		7	-	Vec10~11	
24	18h	-	-	-	-		8	-	Vec10~11	
25	19h	-	-	-	-		9	-	Vec10~11	
26	1Ah	-	-	-	-		A	-	Vec10~11	
27	1Bh	-	-	-	-		B	-	Vec10~11	
28	1Ch	USART	USART_1_RI	✓	✓		C	-	Vec10~11	
29	1Dh	-	-	-	-		D	-	Vec10~11	

编号	中断事件请求序号	功能模块	功能名称	中断源	事件源	分组编号	组内编号	对应 NVIC 向量的中断选择寄存器 ^[注1]		
								NVIC 向量 0~7	NVIC 向量 8~23	NVIC 向量 24~31
30	1Eh	-	-	-	-		E	-	Vec10~11	
31	1Fh	-	-	-	-		F	-	Vec10~11	
32	20h	PORT	PORT_EIRQ2	√	√	Group2	0	Vec2	-	-
33	21h	DMA	DMA_ERR	√	-		1	-	Vec12~13	Vec26
34	22h	TMR4	TMR4_G/SCMUH	√ ^[注2]	√ ^[注2]		2	-	Vec12~13	
35	23h	TMR4	TMR4_G/SCMUL	√ ^[注2]	√ ^[注2]		3	-	Vec12~13	
36	24h	TMR4	TMR4_G/SCMVH	√ ^[注2]	√ ^[注2]		4	-	Vec12~13	
37	25h	TMR4	TMR4_G/SCMVL	√ ^[注2]	√ ^[注2]		5	-	Vec12~13	
38	26h	TMR4	TMR4_G/SCMWH	√ ^[注2]	√ ^[注2]		6	-	Vec12~13	
39	27h	TMR4	TMR4_G/SCMWL	√ ^[注2]	√ ^[注2]		7	-	Vec12~13	
40	28h	-	-	-	-		8	-	Vec12~13	
41	29h	-	-	-	-		9	-	Vec12~13	
42	2Ah	-	-	-	-		A	-	Vec12~13	
43	2Bh	-	-	-	-		B	-	Vec12~13	
44	2Ch	USART	USART_1_TI	√	√		C	-	Vec12~13	
45	2Dh	USART	USART_3_EI	√	-		D	-	Vec12~13	
46	2Eh	-	-	-	-		E	-	Vec12~13	
47	2Fh	-	-	-	-		F	-	Vec12~13	
48	30h	PORT	PORT_EIRQ3	√	√	Group3	0	Vec3	-	-
49	31h	KEY	PORT_EKEY	√	-		1	-	Vec14~15	Vec27
50	32h	TMR0	TMR0_GCMP	√	√		2	-	Vec14~15	
51	33h	-	-	-	-		3	-	Vec14~15	
52	34h	TMR4	TMR4_RLOU	√	-		4	-	Vec14~15	
53	35h	TMR4	TMR4_RLOV	√	-		5	-	Vec14~15	
54	36h	TMR4	TMR4_RLOW	√	-		6	-	Vec14~15	
55	37h	EMB	EMB_GR	√	-		7	-	Vec14~15	
56	38h	-	-	-	-		8	-	Vec14~15	
57	39h	-	-	-	-		9	-	Vec14~15	
58	3Ah	-	-	-	-		A	-	Vec14~15	
59	3Bh	EVENT	EVENT_STRG	-	√		B	-	Vec14~15	
60	3Ch	USART	USART_1_TCI	√	-		C	-	Vec14~15	
61	3Dh	USART	USART_3_RI	√	√		D	-	Vec14~15	
62	3Eh	SPI	SPI_SPRI	√	√		E	-	Vec14~15	
63	3Fh	-	-	-	-		F	-	Vec14~15	
64	40h	PORT	PORT_EIRQ4	√	√	Group4	0	Vec4	-	-
65	41h	TMRA	TMRA_OVF	√	√		1	-	Vec16~17	Vec28
66	42h	TMRA	TMRA_UDF	√	√		2	-	Vec16~17	

编号	中断事件请求序号	功能模块	功能名称	中断源	事件源	分组编号	组内编号	对应 NVIC 向量的中断选择寄存器 ^{#11}			
								NVIC 向量 0~7	NVIC 向量 8~23	NVIC 向量 24~31	
67	43h	TMRA	TMRA_CMP	√	√		3	-	Vec16~17		
68	44h	TMR4	TMR4_GOVF	√	-		4	-	Vec16~17		
69	45h	TMR4	TMR4_GUDF	√	-		5	-	Vec16~17		
70	46h	-	-	-	-		6	-	Vec16~17		
71	47h	-	-	-	-		7	-	Vec16~17		
72	48h	TMRB	TMRB_3_OVF	√	√		8	-	Vec16~17		
73	49h	TMRB	TMRB_3_UDF	√	√		9	-	Vec16~17		
74	4Ah	TMRB	TMRB_4_CMP	√	√		A	-	Vec16~17		
75	4Bh	ADC	ADC_EOCA	√	√		B	-	Vec16~17		
76	4Ch	USART	USART_2_EI	√	-		C	-	Vec16~17		
77	4Dh	USART	USART_3_TI	√	√		D	-	Vec16~17		
78	4Eh	IIC	IIC_TEI	√	-		E	-	Vec16~17		
79	4Fh	SPI	SPI_SPII	√	-		F	-	Vec16~17		
80	50h	PORT	PORT_EIRQ5	√	√		0	Vec5	-		-
81	51h	-	-	-	-		1	-	Vec18~19		Vec29
82	52h	TMR2	TMR2_GCMP	√	√		2	-	Vec18~19		
83	53h	TMR2	TMR2_GOVF	√	-		3	-	Vec18~19		
84	54h	-	-	-	-		4	-	Vec18~19		
85	55h	-	-	-	-		5	-	Vec18~19		
86	56h	-	-	-	-		6	-	Vec18~19		
87	57h	-	-	-	-		7	-	Vec18~19		
88	58h	TMRB	TMRB_4_OVF	√	√	Group5	8	-	Vec18~19		
89	59h	TMRB	TMRB_4_UDF	√	√		9	-	Vec18~19		
90	5Ah	TMRB	TMRB_3_CMP	√	√		A	-	Vec18~19		
91	5Bh	ADC	ADC_EOCB	√	√		B	-	Vec18~19		
92	5Ch	USART	USART_2_RI	√	√		C	-	Vec18~19		
93	5Dh	USART	USART_3_TCI	√	-		D	-	Vec18~19		
94	5Eh	IIC	IIC_RXI	√	√		E	-	Vec18~19		
95	5Fh	-	-	-	-		F	-	Vec18~19		
96	60h	PORT	PORT_EIRQ6	√	√		0	Vec6	-	-	
97	61h	CMP	CMP_1_IRQ	√	√		1	-	Vec20~21	Vec30	
98	62h	-	-	-	-		2	-	Vec20~21		
99	63h	-	-	-	-		3	-	Vec20~21		
100	64h	PORT	EVENT_PORT	√	√	Group6	4	-	Vec20~21		
101	65h	-	-	-	-		5	-	Vec20~21		
102	66h	-	-	-	-		6	-	Vec20~21		
103	67h	-	-	-	-		7	-	Vec20~21		

编号	中断事件请求序号	功能模块	功能名称	中断源	事件源	分组编号	组内编号	对应 NVIC 向量的中断选择寄存器 ^{#1)}				
								NVIC 向量 0~7	NVIC 向量 8~23	NVIC 向量 24~31		
104	68h	TMRB	TMRB_1_OVF	√	√		8	-	Vec20~21			
105	69h	TMRB	TMRB_1_UDF	√	√		9	-	Vec20~21			
106	6Ah	TMRB	TMRB_2_CMP	√	√		A	-	Vec20~21			
107	6Bh	ADC	ADC_CMP0	√	√		B	-	Vec20~21			
108	6Ch	USART	USART_2_TI	√	√		C	-	Vec20~21			
109	6Dh	IIC	IIC_TXI	√	√		D	-	Vec20~21			
110	6Eh	-	-	-	-		E	-	Vec20~21			
111	6Fh	-	-	-	-		F	-	Vec20~21			
112	70h	PORT	PORT_EIRQ7	√	√		Group7	0	Vec7		-	-
113	71h	CMP	CMP_2_IRQ	√	√			1	-		Vec22~23	Vec31
114	72h	PVD	PVD_DET	√	-	2		-	Vec22~23			
115	73h	-	-	-	-	3		-	Vec22~23			
116	74h	EFM	EFM_OPTEND	√	√	4		-	Vec22~23			
117	75h	-	-	-	-	5		-	Vec22~23			
118	76h	-	-	-	-	6		-	Vec22~23			
119	77h	-	-	-	-	7		-	Vec22~23			
120	78h	TMRB	TMRB_2_OVF	√	√	8		-	Vec22~23			
121	79h	TMRB	TMRB_2_UDF	√	√	9		-	Vec22~23			
122	7Ah	TMRB	TMRB_1_CMP	√	√	A		-	Vec22~23			
123	7Bh	ADC	ADC_CMP1	√	√	B		-	Vec22~23			
124	7Ch	USART	USART_2_TCI	√	-	C		-	Vec22~23			
125	7Dh	SPI	SPI_SPTI	√	√	D		-	Vec22~23			
126	7Eh	-	-	-	-	E		-	Vec22~23			
127	7Fh	-	-	-	-	F		-	Vec22~23			

表 10-2 中断事件请求序号与选择

*1: 中断向量 Vec8~31 中对于中断源的选择, 请参考寄存器章节 INTC_ISELAR8~23、INTC_ISELBR24~31 的相关说明。

*2: TMR4_GCM**作为中断源, TMR4_SCM**作为事件源, 两者占用相同的编号。

10.4 功能说明

10.4.1 不可屏蔽中断

不可屏蔽中断源如下：

- NMI 管脚中断
- 检测主发振器停止中断
- SWDT 下溢/刷新错误中断
- PVD 低电压检测中断

不可屏蔽中断具有最高的优先级。由于不可屏蔽中断可选择多个中断事件请求，各个中断事件请求状态可以通过查询标志寄存器（INTC_NMIFR）来确定。请在不可屏蔽中断处理退出前确认所有的标志位都为“0”。不可屏蔽中断默认为禁止状态，可以通过 ICG 或控制寄存器进行设定。

使用寄存器设定时，请按照下面流程设定：

1. 需要使用 NMI 管脚时，先将 NMICR.NMIFEN 位清“0”，禁止数字滤波器；然后设定 NMICR.NMITRG 位，选择 NMI 触发边沿；设定 NMICR.NMIFCLK 位，选择数字滤波器的采样时钟；设定 NMICR.NMIFEN 位，使能数字滤波器。
2. 使用其他不可屏蔽中断事件请求时，请配置相应的功能。
3. 对 NMICLR 各寄存器位写“1”，清除 NMIFR 标志寄存器位，防止误动作。
4. 通过设定 NMIER 选择寄存器来使能不可屏蔽中断事件。

注意：

- 一旦 NMIER 相应位被设定为“1”后，将不能被更改，除非用 $\overline{\text{RESET}}$ 来复位。

ICG 设定只针对外部 NMI 管脚，通过配置 ICG 寄存器 ICG1.NMITRG 位，选择 NMI 触发边沿；设定 ICG1.NMIFCLK 位，选择数字滤波器采样时钟；设定 ICG1.NMIFEN 位，使能数字滤波器；设定 ICG1.NMIEN 位，使能 NMI 管脚中断。ICG 设定后，寄存器设定无效。ICG1 寄存器的相关说明，请参考 ICG 章节。

10.4.2 EIRQ 管脚中断

需要使用外部 EIRQ 管脚 (INTP) 中断请求时, 请按照如下流程设定:

1. 清除 EIRQCRm.EIRQFEN 位 (m=0~9), 禁止数字滤波器。
2. 设定 EIRQCRm.EIRQTRG 位, 选择触发边沿或电平; 设定 EIRQCRm.EIRQFCLK 位, 选择数字滤波器采样时钟; 设定 EIRQCRm.EIRQFEN 位, 使能数字滤波器 (m=0~9)。

10.4.3 EKEY 管脚事件

外部 EKEY 管脚 (KR) 在输入低电平时, 产生一个输入事件。该事件 (在中断事件请求序号表中编号为 49) 通过中断选择寄存器 (INTC_ISELA/BR) 的选通送至 CPU, 产生对应的中断请求。

各个外部 EKEY 管脚 (KR) 均含有一个输入使能控制位, 当 EKEY 管脚事件控制寄存器 (INTC_EKEYCR) 的对应位置 1 时, EKEY 管脚的输入有效。其具体框图如下:

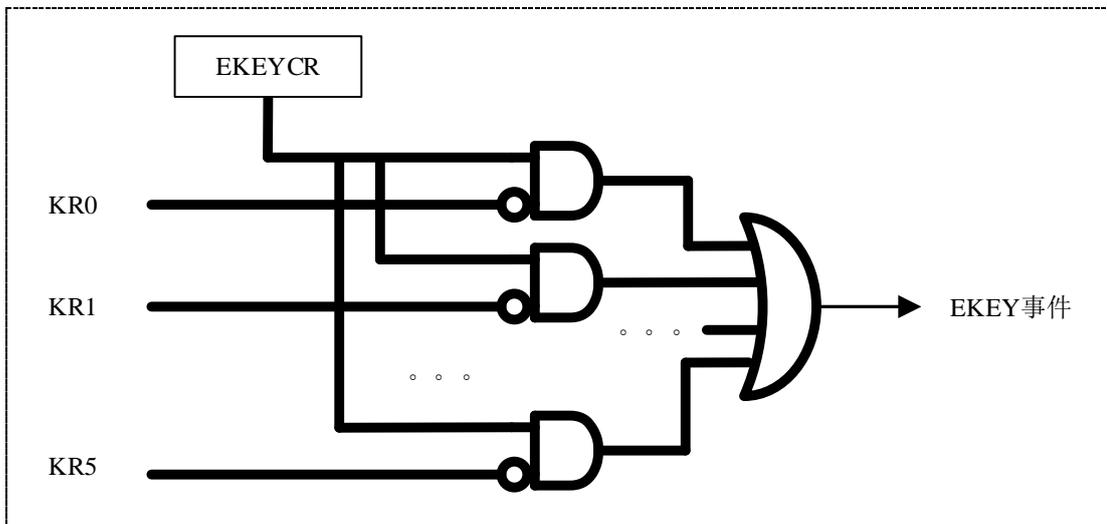


图 10-2 EKEY 事件产生

在使用 EKEY 输入功能时, 遵循下面的设定顺序:

- 1) 设定对应管脚的 PCR.PSEL 位, 选择该管脚为 EKEY 输入功能
- 2) 设定中断或内部事件源选择相关寄存器, 具体参考 ARM 手册 NVIC 相关章节或本手册其它相关模块 (Timer、ADC 等)
- 3) 设定 INTC_EKEYCR 的对应使能位

10.4.4 软件触发事件

在中断事件请求编号中编号为 59 的 EVENT_STRG 事件，可通过置位软件触发事件控制寄存器 (INTC_STRGCR) 的 STRG 位来触发。该事件可用于触发其它的外围模块，如 ADC、Timer 等，具体请参考相关章节。

注意：

- 该寄存器不受功能保护寄存器 (INTC_FPRCR) 的保护控制，且使用软件触发事件功能时，需要先将功能时钟控制寄存器 (FCG) 的外围电路触发功能位清零。

10.4.5 中断源选择

本中断控制器提供了 3 种中断选择方式，通过灵活的组合来满足各种中断配置需求。

第一种方式

外部 EIRQ 中断请求与中断向量一一对应，占用 Vec0~7 共计 8 个中断向量；

第二种方式

15 选 1 作为中断源，通过中断选择 A 寄存器 INTC_ISELAR8~23 进行选择，占用 Vec8~23 共计 16 个中断向量；

第三种方式

15 个中断事件请求共享 1 个中断向量，各外设都可以申请该中断并通过外设的标志位区分，通过中断选择 B 寄存器 INTC_ISELBR24~31 进行选择，占用 Vec24~31 共计 8 个中断向量。

具体中断向量分配请参考 10.3.2 中断事件请求序号章节。

10.4.6 WFE 事件选择

中断选择 B 寄存器 INTC_ISELBR24~31 选择的 interrupt 事件请求, 可通过事件使能寄存器 INTC_EVTER 被选择为事件输入来唤醒内核 (WFE), 此时对应的中断向量 Vec24~31 的中断输入变为无效, 具体框图如下。

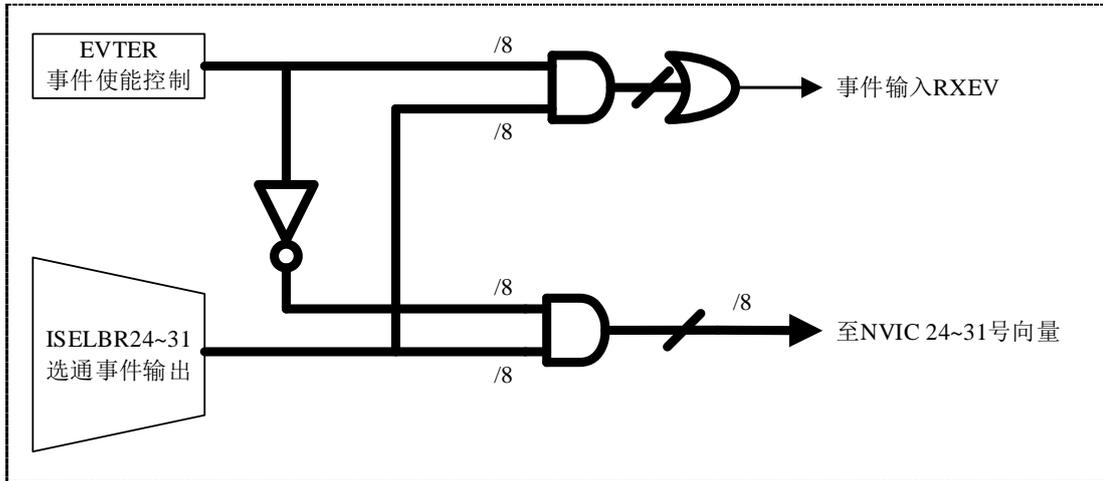


图 10-3 中断事件选择

10.4.7 WFE 唤醒事件管理

本系列产品能够通过事件输入来唤醒内核 (WFE)。事件输入唤醒内核可通过以下 2 种方式产生：

- Cortex™-M0+ 系统控制寄存器 SCR.SEVONPEND=1

设定 SCR.SEVONPEND=1, 在外设控制寄存器使能一个中断, 根据选择的 interrupt 向量设定 INTC_ISELA/BR (选择 interrupt 向量 0~7 时, 不需要设定 INTC_ISELA/BR), 但不使能 NVIC 中的对应向量。当 MCU 从 WFE 恢复时, 需要清除相应外设的中断标志位和 NVIC 中断标志寄存器。

WFE 停止模式进入与唤醒流程如下 (INTP0 为例):

- 1) 设定停止模式寄存器 (参见 PWC 章节寄存器说明);
- 2) 设定唤醒事件使能寄存器 INTC_WUPENR;
- 3) 设定引脚 INTP0 输入与 EIRQ 管脚中断控制寄存器 INTC_EIRQCR0;
- 4) 设置 SCR 中的 SEVONPEND 位为 “1”;
- 5) 执行如下操作确保系统进入停止模式:

__SEV(); 设置内部事件寄存器

__WFE(); 清除事件寄存器

__WFE(); 系统进入停止模式

6) 等待所选择的中断事件请求发生，系统将从停止模式唤醒，但不进入中断处理子程序。

- Cortex™-M0+系统控制寄存器 SCR.SEVONPEND=0

设定 SCR.SEVONPEND=0，在外设控制寄存器使能一个中断，根据选择的中断向量设定 INTC_ISELBRm (m=24~31)，同时将事件使能寄存器 INTC_EVTER 中对应位置位。当 CPU 从 WFE 恢复时，需要清除相应外设的中断标志位，不必清除 NVIC 中断标志寄存器

WFE 停止模式进入与唤醒流程如下 (INTP9 为例):

- 1) 设定停止模式寄存器 (参见 PWC 章节寄存器说明);
- 2) 设定唤醒事件使能寄存器 INTC_WUPENR;
- 3) 设定引脚 INTP9 输入与 EIRQ 管脚中断控制寄存器 INTC_EIRQCR9;
- 4) 选择 INTC_ISELBR25 选择相应的 EIRQ9 中断事件请求序号;
- 5) INTC_EVTER 使能对应的事件请求;
- 6) 执行如下操作确保系统进入停止模式:

__SEV(); 设置内部事件寄存器

__WFE(); 清除事件寄存器

__WFE(); 系统进入停止模式

7) 等待所选择的中断事件请求发生，系统将从停止模式唤醒，但不进入中断处理子程序。

10.4.8 数字滤波器

对于 NMI 和 INTP_m (m=0~9) 管脚输入, 可选择数字滤波器进行噪声滤波。滤波器的采样时钟为 HCLK, 小于 3 个滤波周期的输入信号将被滤除。具体工作时序图如下:

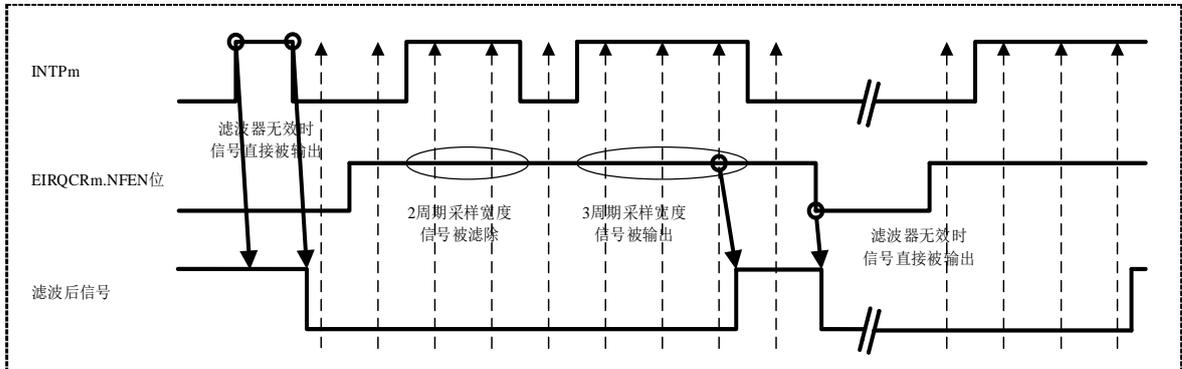


图 10-4 数字滤波器工作示意图

在进入停止模式前, 请设定 INTC_NMICR.NFEN=0 和 INTC_EIRQCR_m.EFEN=0 (m=0~9), 禁止使用数字滤波器。从停止模式返回后再使能数字滤波器。设定流程如下:

- 1) 设定系统停止模式寄存器
- 2) 配置停止模式唤醒中断
- 3) 停止数字滤波器
- 4) 执行 WFI, 系统进入停止模式

10.4.9 低功耗模式返回

10.4.9.1 休眠模式返回

当选择事件中断源作为休眠模式返回条件时，需要进行如下设定：

- 选择事件为 CPU 中断源
- 使能 NVIC 中的控制寄存器
- 如需要使用不可屏蔽中断，需要设定 INTC_NMIER 使能寄存器

10.4.9.2 停止模式返回

可以选择不可屏蔽事件中断源或在 INTC_WUPENR 寄存器中选择的可屏蔽事件源作为停止模式的返回条件。

从停止模式返回需要进行如下设定：

- 选择事件中断源作为停止模式的返回条件
 - A. 对于不可屏蔽中断，通过 INTC_NMIER 使能寄存器设定
 - B. 对于可屏蔽中断，通过 INTC_WUPENR 使能寄存器设定
- 选择事件为 CPU 中断源
- 使能 NVIC 中的控制寄存器

对于未被选中的 EIRQ 管脚，由于时钟被关闭，将不会被检测。在 WFI 指令执行前，请确认不可屏蔽中断标志寄存器 INTC_NMIFR 的所有状态位为“0”。

10.5 寄存器说明

下表为 INTC 寄存器列表。

INTC 基地址:0x40011000

寄存器名	符号	偏移地址	位宽	复位值
功能保护控制寄存器	INTC_FPRCR	0x003C	32	0x00000000
NMI管脚中断控制寄存器	INTC_NMICR	0x0000	32	0x00000000
不可屏蔽中断使能寄存器	INTC_NMIER	0x0004	32	0x00000000
不可屏蔽中断标志寄存器	INTC_NMIFR	0x0008	32	0x00000000
不可屏蔽中断标志清除寄存器	INTC_NMICLR	0x000C	32	0x00000000
EIRQ管脚中断控制寄存器0	INTC_EIRQCR0	0x0040	32	0x00000002
EIRQ管脚中断控制寄存器1	INTC_EIRQCR1	0x0044	32	0x00000002
EIRQ管脚中断控制寄存器2	INTC_EIRQCR2	0x0048	32	0x00000002
EIRQ管脚中断控制寄存器3	INTC_EIRQCR3	0x004C	32	0x00000002
EIRQ管脚中断控制寄存器4	INTC_EIRQCR4	0x0050	32	0x00000002
EIRQ管脚中断控制寄存器5	INTC_EIRQCR5	0x0054	32	0x00000002
EIRQ管脚中断控制寄存器6	INTC_EIRQCR6	0x0058	32	0x00000002
EIRQ管脚中断控制寄存器7	INTC_EIRQCR7	0x005C	32	0x00000002
EIRQ管脚中断控制寄存器8	INTC_EIRQCR8	0x0060	32	0x00000002
EIRQ管脚中断控制寄存器9	INTC_EIRQCR9	0x0064	32	0x00000002
EIRQ管脚中断标志寄存器	INTC_EIRQFR	0x0074	32	0x00000000
EIRQ管脚中断标志清除寄存器	INTC_EIRQCLR	0x0078	32	0x00000000
EKEY管脚事件控制寄存器	INTC_EKEYCR	0x0024	32	0x00000000
软件触发事件控制寄存器	INTC_STRGCR	(0x40000C00)	32	0x00000000
中断选择A寄存器8	INTC_ISELAR8	0x00A0	32	0x00000000
中断选择A寄存器9	INTC_ISELAR9	0x00A4	32	0x00000000
中断选择A寄存器10	INTC_ISELAR10	0x00A8	32	0x00000000
中断选择A寄存器11	INTC_ISELAR11	0x00AC	32	0x00000000
中断选择A寄存器12	INTC_ISELAR12	0x00B0	32	0x00000000
中断选择A寄存器13	INTC_ISELAR13	0x00B4	32	0x00000000
中断选择A寄存器14	INTC_ISELAR14	0x00B8	32	0x00000000
中断选择A寄存器15	INTC_ISELAR15	0x00BC	32	0x00000000
中断选择A寄存器16	INTC_ISELAR16	0x00C0	32	0x00000000
中断选择A寄存器17	INTC_ISELAR17	0x00C4	32	0x00000000
中断选择A寄存器18	INTC_ISELAR18	0x00C8	32	0x00000000
中断选择A寄存器19	INTC_ISELAR19	0x00CC	32	0x00000000
中断选择A寄存器20	INTC_ISELAR20	0x00D0	32	0x00000000
中断选择A寄存器21	INTC_ISELAR21	0x00D4	32	0x00000000
中断选择A寄存器22	INTC_ISELAR22	0x00D8	32	0x00000000
中断选择A寄存器23	INTC_ISELAR23	0x00DC	32	0x00000000

寄存器名	符号	偏移地址	位宽	复位值
中断选择B寄存器24	INTC_ISELBR24	0x00E0	32	0x00000000
中断选择B寄存器25	INTC_ISELBR25	0x00E4	32	0x00000000
中断选择B寄存器26	INTC_ISELBR26	0x00E8	32	0x00000000
中断选择B寄存器27	INTC_ISELBR27	0x00EC	32	0x00000000
中断选择B寄存器28	INTC_ISELBR28	0x00F0	32	0x00000000
中断选择B寄存器29	INTC_ISELBR29	0x00F4	32	0x00000000
中断选择B寄存器30	INTC_ISELBR30	0x00F8	32	0x00000000
中断选择B寄存器31	INTC_ISELBR31	0x00FC	32	0x00000000
WFE事件使能寄存器	INTC_EVTER	0x0020	32	0x00000000
唤醒事件使能寄存器	INTC_WUPENR	0x0070	32	0x00000000

表 10-3 寄存器列表

10.5.1 功能保护控制寄存器 (INTC_FPRCR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								FPRC[7:0]							

位	标记	位名	功能	读写
b31~b8	Reserved	-	读出时为“0”,写入时写“0”	R/W
b7~b0	FPRC	功能保护位	该位写入A5时,INTC的其它寄存器才可进行写操作,否则写动作无效。	R/W

10.5.2 NMI 管脚中断控制寄存器 (INTC_NMICR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								NMI FEN	-	NMI FCLK[1:0]	-	-	-	NMI TRG	

位	标记	位名	功能	读写
b31~b8	Reserved	-	读出时为“0”,写入时写“0”	R/W
b7	NMIFEN	NMI数字滤波器使能	0: 禁止数字滤波器功能 1: 许可数字滤波器功能	R/W
b7~b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5~b4	NMIFCLK[1:0]	NMI滤波器采样时钟选择	00: HCLK 01: HCLK/8 10: HCLK/32 11: HCLK/64	R/W
b3~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	NMITRG	NMI触发边沿选择	0: 下降沿 1: 上升沿	R/W

10.5.3 不可屏蔽中断使能寄存器 (INTC_NMIER)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved												PVD EN	SWDT EN	XTALSTP EN	NMI EN

位	标记	位名	功能	读写
b31~b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3	PVDEN	低电压检测PVD中断选择	0: 禁止中断作为不可屏蔽中断源 1: 选择中断作为不可屏蔽中断源	R/W
b2	SWDTEN	SWDT下溢/刷新错误中断选择	0: 禁止中断作为不可屏蔽中断源 1: 选择中断作为不可屏蔽中断源	R/W
b1	XTALSTPEN	主振荡器停止中断选择	0: 禁止中断作为不可屏蔽中断源 1: 选择中断作为不可屏蔽中断源	R/W
b0	NMIEN	NMI管脚中断选择	0: 禁止中断作为不可屏蔽中断源 1: 选择中断作为不可屏蔽中断源	R/W

10.5.4 不可屏蔽中断标志寄存器 (INTC_NMIFR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved												PVD	SWDT	XTALSTP	NMI
												F	F	F	F

位	标记	位名	功能	读写
b31~b4	Reserved	-	读出时为“0”	R
b3	PVDF	低电压检测PVD中断标志	0: 没有发生低电压检测PVD事件申请 1: 发生低电压检测PVD事件申请	R
b2	SWDTF	SWDT下溢/刷新错误中断标志	0: 没有发生SWDT下溢/刷新错误事件申请 1: 发生SWDT下溢/刷新错误事件申请	R
b1	XTALSTPF	主振荡器停止中断标志	0: 没有发生主振荡器停止事件申请 1: 发生主振荡器停止事件申请	R
b0	NMIF	NMI管脚中断标志	0: 没有发生NMI管脚输入事件申请 1: 发生NMI管脚输入事件申请	R

10.5.5 不可屏蔽中断标志清除寄存器 (INTC_NMICLR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved												PVD CL	SWDT CL	XTALSTP CL	NMI CL

位	标记	位名	功能	读写
b31~b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3	PVDCL	低电压检测PVD中断标志清除	0: 无效 1: 清除低电压检测PVD标志	R/W
b2	SWDTCL	SWDT下溢/刷新错误中断标志清除	0: 无效 1: 清除SWDT下溢/刷新错误标志	R/W
b1	XTALSTPCL	主发振荡器停止中断标志清除	0: 无效 1: 清除主振荡器停止标志	R/W
b0	NMICL	NMI管脚中断标志清除	0: 无效 1: 清除NMI管脚标志	R/W

注: 该寄存器的各有效位只可写“1”,读出时为“0”。

10.5.6 EIRQ 管脚中断控制寄存器 (INTC_EIRQCRm) (m=0~9)

复位值: 0x0000 0002

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								EIRQ FEN	-	EIRQ FCLK[1:0]		-	-	EIRQ TRG[1:0]	

位	标记	位名	功能	读写
b31~b8	Reserved	-	读出时为“0”,写入时写“0”	R/W
b7	EIRQFEN	EIRQ数字滤波器使能	0: 禁止数字滤波器功能 1: 允许数字滤波器功能	R/W
b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5~b4	EIRQFCLK[1:0]	EIRQ滤波器采样时钟选择	00: HCLK 01: HCLK/8 10: HCLK/32 11: HCLK/64	R/W
b3~b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1~b0	EIRQTRG[1:0]	EIRQ触发边沿选择	00: 低电平 01: 上升沿 10: 下降沿 11: 双边沿	R/W

10.5.7 EIRQ 管脚中断标志寄存器 (INTC_EIRQFR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved							EIRQF[9:0]								

位	标记	位名	功能	读写
b31~b10	Reserved	-	读出时为“0”	R
b9~b0	EIRQF	EIRQ管脚中断标志位	0: EIRQ管脚输入事件未发生 1: EIRQ管脚输入事件发生	R

注: 各寄存器位与对应编号的EIRQ一一对应

10.5.8 EIRQ 管脚中断标志清除寄存器 (INTC_EIRQCLR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved							EIRQCL[9:0]								

位	标记	位名	功能	读写
b31~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9~b0	EIRQCL	EIRQ管脚中断标志位	0: 无效 1: 清除EIRQ输入事件状态	R/W

注: 各寄存器位与对应编号的EIRQ一一对应

注: 该寄存器的各有效位只可写“1”,读出时为“0”。

10.5.9 EKEY 管脚事件控制寄存器 (INTC_EKEYCR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved										EKEY5 EN	EKEY4 EN	EKEY3 EN	EKEY2 EN	EKEY1 EN	EKEY0 EN

位	标记	位名	功能	读写
b31~b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5	EKEY5EN	EKEY5输入使能	0: EKEY5事件输入无效 1: EKEY5事件输入有效	R/W
b4	EKEY4EN	EKEY4输入使能	0: EKEY4事件输入无效 1: EKEY4事件输入有效	R/W
b3	EKEY3EN	EKEY3输入使能	0: EKEY3事件输入无效 1: EKEY3事件输入有效	R/W
b2	EKEY2EN	EKEY2输入使能	0: EKEY2事件输入无效 1: EKEY2事件输入有效	R/W
b1	EKEY1EN	EKEY1输入使能	0: EKEY1事件输入无效 1: EKEY1事件输入有效	R/W
b0	EKEY0EN	EKEY0输入使能	0: EKEY0事件输入无效 1: EKEY0事件输入有效	R/W

10.5.10 软件触发事件控制寄存器 (INTC_STRGCR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														STRG	

位	标记	位名	功能	读写
b31~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	STRG	软件触发事件位	0: 不产生触发事件 1: 产生触发事件	W

注 1: 软件每置位一次,就产生一次触发事件 (EVENT_STRG)。

注 2: 该寄存器位只能写 1,不能写 0。

10.5.11 中断选择 A 寄存器 (INTC_ISELARm) (m=8~23)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved												ISEL[3:0]			

位	标记	位名	功能	读写
b31~b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3~b0	ISEL[3:0]	中断事件请求选择	选择10.3.2中断事件请求序号对应的事件。具体对应关系如下: ISELAR8~9 : 选择Group0中的事件请求 ISELAR10~11: 选择Group1中的事件请求 ISELAR12~13: 选择Group2中的事件请求 ISELAR14~15: 选择Group3中的事件请求 ISELAR16~17: 选择Group4中的事件请求 ISELAR18~19: 选择Group5中的事件请求 ISELAR20~21: 选择Group6中的事件请求 ISELAR22~23: 选择Group7中的事件请求	R/W

注1: 各Group中的第一个事件不能被该寄存器位选中,即该寄存器位写0无效。

注2: 在该位中写入时,只需写入对应Group的组内编号,即1~F。

10.5.12 中断选择 B 寄存器 (INTC_ISELBRm) (m=24~31)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ISEL[15:1]															-

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15~b1	SEL[15:1]	中断事件请求选择	选择10.3.2中断事件请求序号对应的事件。具体对应关系如下: ISELBR24: 每一位分别使能Gropu0中对应的事件请求 ISELBR25: 每一位分别使能Gropu1中对应的事件请求 ISELBR26: 每一位分别使能Gropu2中对应的事件请求 ISELBR27: 每一位分别使能Gropu3中对应的事件请求 ISELBR28: 每一位分别使能Gropu4中对应的事件请求 ISELBR29: 每一位分别使能Gropu5中对应的事件请求 ISELBR30: 每一位分别使能Gropu6中对应的事件请求 ISELBR31: 每一位分别使能Gropu7中对应的事件请求	R/W
b0	Reserved	-	读出时为“0”,写入时写“0”	R/W

10.5.13 WFE 事件使能寄存器 (INTC_EVTER)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								EVT EN7	EVT EN6	EVT EN5	EVT EN4	EVT EN3	EVT EN2	EVT EN1	EVT EN0

位	标记	位名	功能	读写
b31~b8	Reserved	-	读出时为“0”,写入时写“0”	R/W
b7	EVTE7	事件选择使能位7	0: ISELBR31寄存器选择的事件作为中断输入送至NVIC 1: ISELBR31寄存器选择的事件作为事件输入送至NVIC	R/W
b6	EVTE6	事件选择使能位6	0: ISELBR30寄存器选择的事件作为中断输入送至NVIC 1: ISELBR30寄存器选择的事件作为事件输入送至NVIC	R/W
b5	EVTE5	事件选择使能位5	0: ISELBR29寄存器选择的事件作为中断输入送至NVIC 1: ISELBR29寄存器选择的事件作为事件输入送至NVIC	R/W
b4	EVTE4	事件选择使能位4	0: ISELBR28寄存器选择的事件作为中断输入送至NVIC 1: ISELBR28寄存器选择的事件作为事件输入送至NVIC	R/W
b3	EVTE3	事件选择使能位3	0: ISELBR27寄存器选择的事件作为中断输入送至NVIC 1: ISELBR27寄存器选择的事件作为事件输入送至NVIC	R/W
b2	EVTE2	事件选择使能位2	0: ISELBR26寄存器选择的事件作为中断输入送至NVIC 1: ISELBR26寄存器选择的事件作为事件输入送至NVIC	R/W
b1	EVTE1	事件选择使能位1	0: ISELBR25寄存器选择的事件作为中断输入送至NVIC 1: ISELBR25寄存器选择的事件作为事件输入送至NVIC	R/W
b0	EVTE0	事件选择使能位0	0: ISELBR24寄存器选择的事件作为中断输入送至NVIC 1: ISELBR24寄存器选择的事件作为事件输入送至NVIC	R/W

10.5.14 唤醒事件使能寄存器 (INTC_WUPENR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved									PVD WUEN	CMP WUEN	TMR2 OVF WUEN	TMR2 CMP WUEN	TMR0 CMP WUEN	EKEY WUEN	SWDT WUEN
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved						EIRQ WUEN[9:0]									

位	标记	位名	功能	读写
b31~b23	Reserved	-	读出时为“0”,写入时写“0”	R/W
b22	PVDWUEN	PVD停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b21	CMPWUEN	CMP (通道2) 停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b20	TMR2OVFWUEN	TMR2计数上溢停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b19	TMR2CMPWUEN	TMR2计数匹配停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b18	TMR0CMPWUEN	TMR0计数匹配停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b17	EKEYWUEN	EKEY停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b16	SWDTWUEN	SWDT停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W
b15~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9~b0	EIRQWUEN[9:0]	EIRQ停止模式唤醒使能	0: 唤醒禁止 1: 唤醒许可	R/W

10.6 使用注意事项

关于 ARM 核中断的相关描述请参考 ARM 手册 Cortex-M0+ Technical Reference Manual。

11 DMA 控制器 (DMA)

11.1 简介

DMA 用于在存储器和外围功能模块之间传送数据，能够在 CPU 不参与的情况下实现存储器之间，存储器和外围功能模块之间以及外围功能模块之间的数据交换。

- DMA 总线独立于 CPU 总线，按照 AMBA AHB-Lite 总线协议传输
- 拥有 2 个独立通道，可以独立操作不同的 DMA 传输功能
- 每个通道的启动请求源通过独立的触发源选择寄存器配置
- 每次请求传输一个数据块
- 数据块最小为 1 个数据，最多可以是 256 个数据
- 每个数据可配置为 8bit，16bit 或 32bit
- 可以配置最多 1023 次传输
- 源地址和目标地址可以独立配置为固定，自增，自减；支持以下功能四选一：源地址循环、源地址指定偏移量的跳转、目标地址循环、目标地址指定偏移量的跳转
- 可产生 3 种中断，块传输完成中断，传输完成中断，传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成，传输完成可作为事件输出，用作其它具有硬件触发功能外围模块的触发源输入
- 支持连锁传输功能，可实现一次请求传输多个数据块
- 不使用时可设置进入模块停止状态以降低功耗

11.2 模块示意图

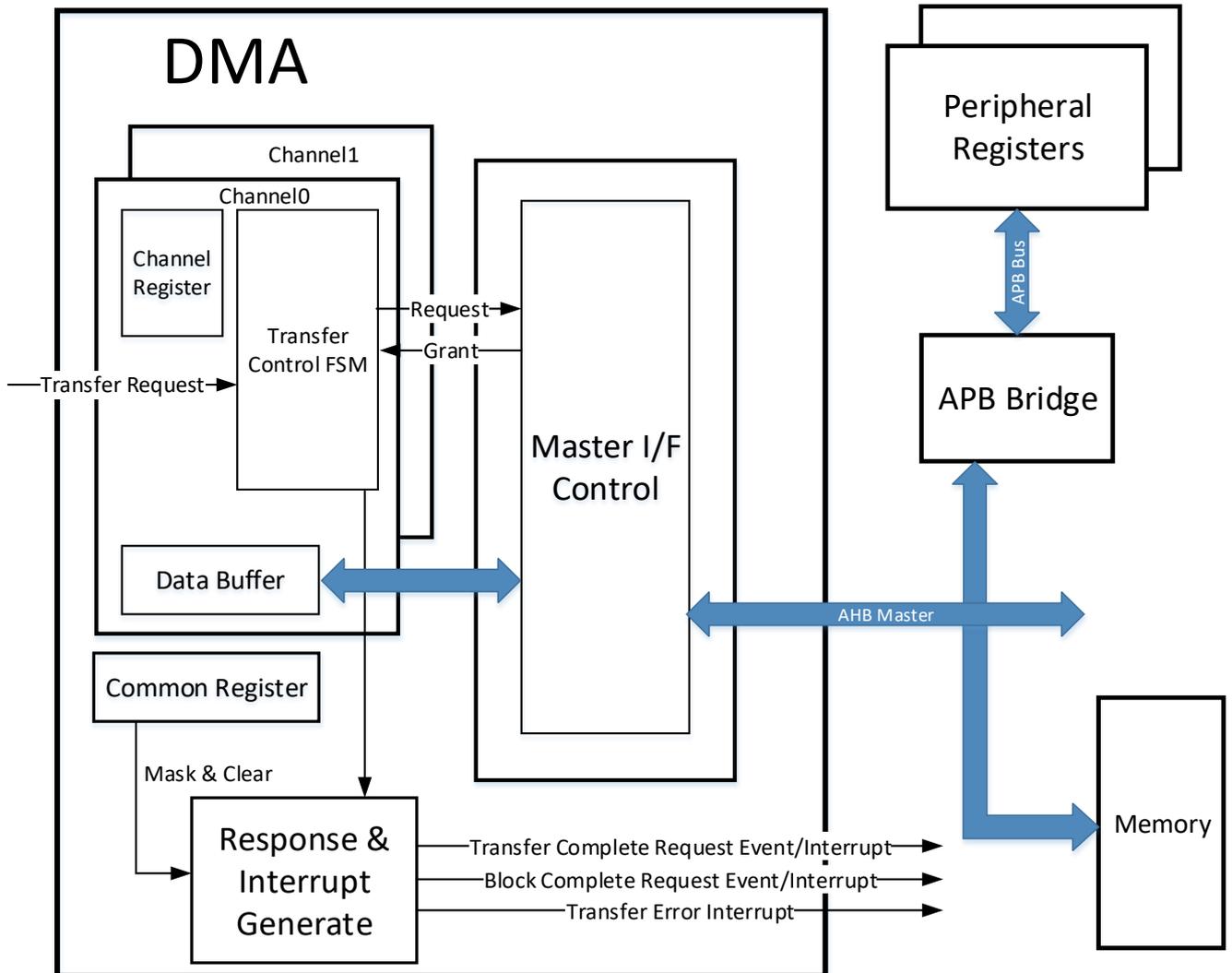


图 11-1 DMA 结构图

11.3 功能描述

11.3.1 使能 DMA 控制器

使用 DMA 时需先写 DMA 使能寄存器控制器，使能方法是写 DMA 使能寄存器 DMA_EN.EN 位。

当不使用 DMA，或者芯片需要进入 STOP 模式时，请将 DMA_EN.EN 设定为 0。EN 写 0 前请先确认寄存器 DMA_CHSTAT.DMAACT 为 0，确保 DMA 已完成所有传输。

11.3.2 通道选择和通道优先级

DMA 中包含 2 个通道，每个通道可以独立配置传输功能。2 个通道优先级顺序为通道 0>通道 1。当有多个通道有启动请求同一个总线接口时将按照优先级顺序执行。但已处于传输中的通道不会被打断，高优先通道需等当前通道传输完成后才会启动。

11.3.3 启动 DMA

DMA 通过外围电路产生的请求启动，这些请求通过触发源选择寄存器 DMAx_TRGSEL(x-1~2)进行配置，可以配置通道 0 到通道 1 的启动请求源。当外围电路产生启动请求或软件写寄存器产生启动请求时，并且 DMA 传输使能有效 DMA_EN.EN=1，传输通道处于许可状态 DMA_CHEN.CHEN[x]=1，，则立即启动 DMA 通道 x 传输。

使用前，需要先将功能时钟控制寄存器(CMU_FCG)的外围电路触发功能使能位置为有效。

11.3.4 数据块

DMA 每次启动传输的数据量用块(block)表示，块的大小由数据控制寄存器 DMA_CHxCTL0.BLKSIZE 设定，最大可以设置 256 个数据。块的数据宽度由 DMA_CHxCTL0.HSIZE 决定。

11.3.5 传输地址控制

传输的源地址和目标地址可以由寄存器设定为固定，递增，递减，重载或者不连续跳

转。其中重载和不连续跳转只能二选一。

固定：源地址和目标地址将在传输过程中固定不变

递增及递减：源地址和目标地址将在每传输完成 1 个数据后根据 HSIZE 的值向前或向后跳转。例如当 HSIZE 为 8bit 时，地址将每次增加/减少 1，为 16bit 时每次增加/减少 2，为 32bit 时每次增加/减少 4。

重载：寄存器可以配置源地址和目标地址在增加/减少至寄存器配置的重复区域大小时重新返回至最初的地址设定值。重复区域的大小由 DMA_CHxCTL0.HSIZE 的大小和 DMA_CHxCTL1.RPTNSCNT 寄存器设定值决定。

不连续地址传输：传输指定数量的数据后，地址将跳过指定偏移量。

11.3.6 传输次数

DMA 传输的总数据块的个数由数据控制寄存器 DMA_CHxCTL0 的 CNT 位设定。传输次数最多可设置 1023 次。每传输一个数据块寄存器值减 1，当寄存器值减为 0 时代表本次传输完成，自动清除通道传输许可位 DMA_CHEN.CHEN[x]，并产生传输完成中断。如果传输开始时寄存器被设为 0，则每次启动请求传输 1 个数据块，但不清除通道传输许可位，也不会产生传输完成中断。

11.3.7 中断和事件信号输出

DMA 控制器可以产生以下 3 种中断：

数据块完成中断 DMA_BTCx：完成一个数据块传输后产生中断。

传输完成中断 DMA_TCx：该中断在完成数据控制寄存器 DMA_CHxCTL0 的 CNT 位设置的传输次数后发生。

传输错误中断 DMA_ERR：当启动请求溢出（即通道的上一次请求还未响应时此通道再次触发启动请求）时，或者，传输过程中当总线发生错误时产生中断，其中，总线错误时会同时终止传输并将该通道传输许可位 DMA_CHEN.CHEN[x]清零。

以上每种中断都可以通过配置 MASK 寄存器来控制是否屏蔽中断。

DMA 控制器可以产生以下 2 种事件信号输出，可用于其它外围电路的触发源：

数据块完成 DMA_BTCx：完成一个数据块传输后。

传输完成 DMA_TCx：完成数据控制寄存器 DMA_CHxCTL0 的 CNT 位设置的传输次

数后发生。

说明：事件不受 MASK 寄存器控制。

11.3.8 连锁传输

DMA 控制器具有连锁传输功能。连锁传输需要配置以下 4 个寄存器共 4 个 word，称为一个描述符(descriptor)，包含了连锁的各次传输的源地址，目标地址，数据控制信息，地址控制信息，链指针以及传输控制信息。

DMA_SARx

DMA_DARx

DMA_CHxCTL0

DMA_CHxCTL1

其中 DMA_CHxCTL0.LLP 称为链指针(Linked-list Pointer)，其中的值代表下一个描述符在存储器中的首地址。使用连锁传输时首先写通道控制寄存器 DMA_CHxCTL0 的 LLPEN 将连锁传输使能，并将第一次传输的描述符信息写入相应寄存器中。再将后面每次传输的描述符按顺序初始化在存储器中。需要结束连锁传输时，将通道控制寄存器 DMA_CHxCTL0 的 LLPEN 置为无效，DMA 控制器将在本次传输完成后结束连锁传输。

当一个描述符的最后一次传输结束时，LLP 指定的下一个描述符将被从存储器中载入通道配置寄存器。等待下一次传输请求输入，开始新描述符的第一次传输。或者根据寄存器 DMA_CHxCTL0.LLPRUN 的设置，在载入新描述符后直接开始第一次传输。

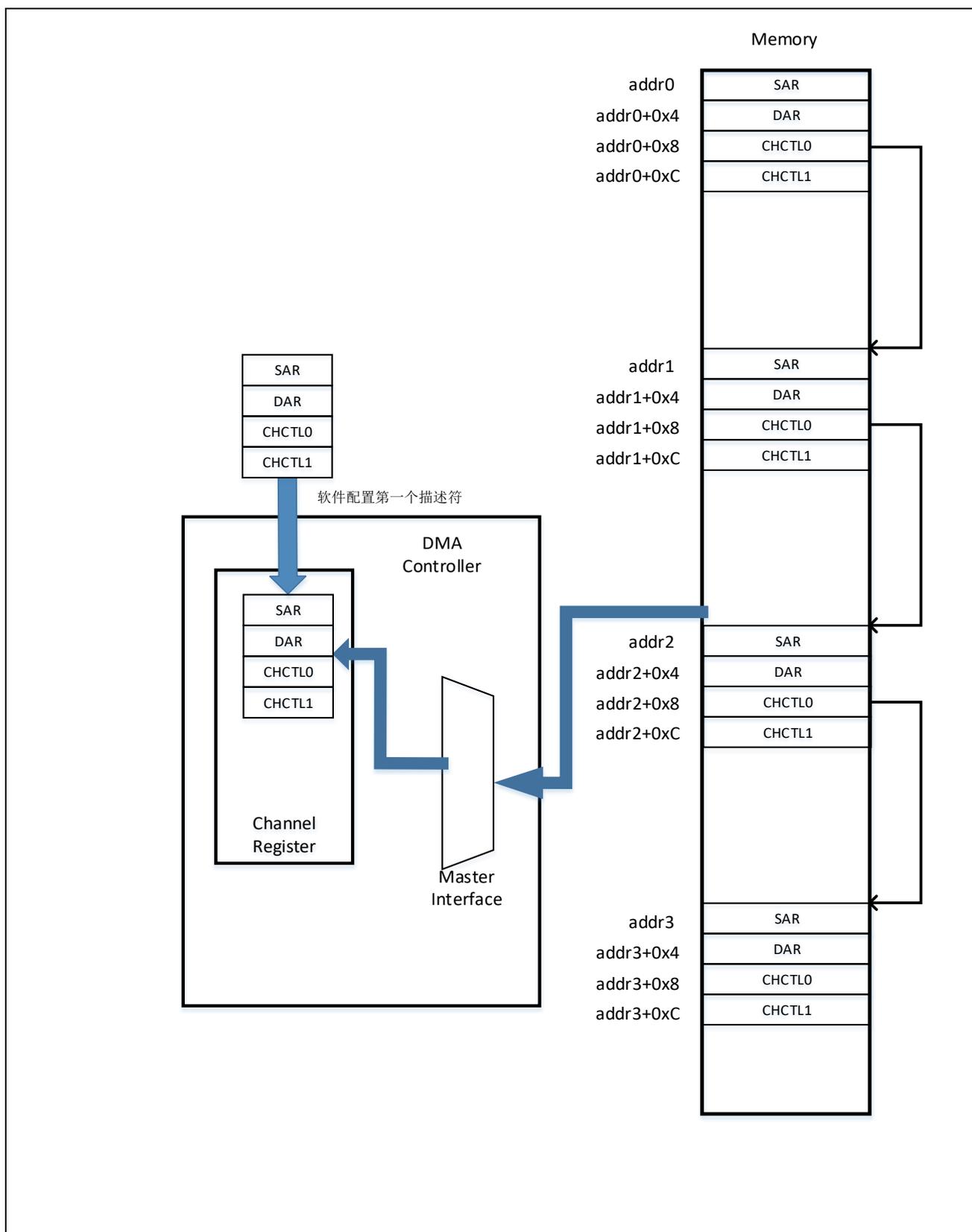


图 11-2 连锁传输示意图

11.3.9 不连续地址传输

使用不连续地址传输能够实现源地址和目标地址在传输完一定量的数据后按照一定的偏移量跳转。跳转的方向按照 DMA_CHxCTL1.SINC 和 DMA_CHxCTL1.DINC 的设定向前或向后跳转。使用时,首先根据需要将通道控制寄存器 DMA_CHxCTL1.RPTNSEN 置 1 并且配置 DMA_CHxCTL1.RPTNSSEL 使不连续地址传输有效。然后配置通道控制寄存器 DMA_CHxCTL1.OFFSET 和 DMA_CHxCTL1.RPTNSCNT。传输过程按照下图方式进行。

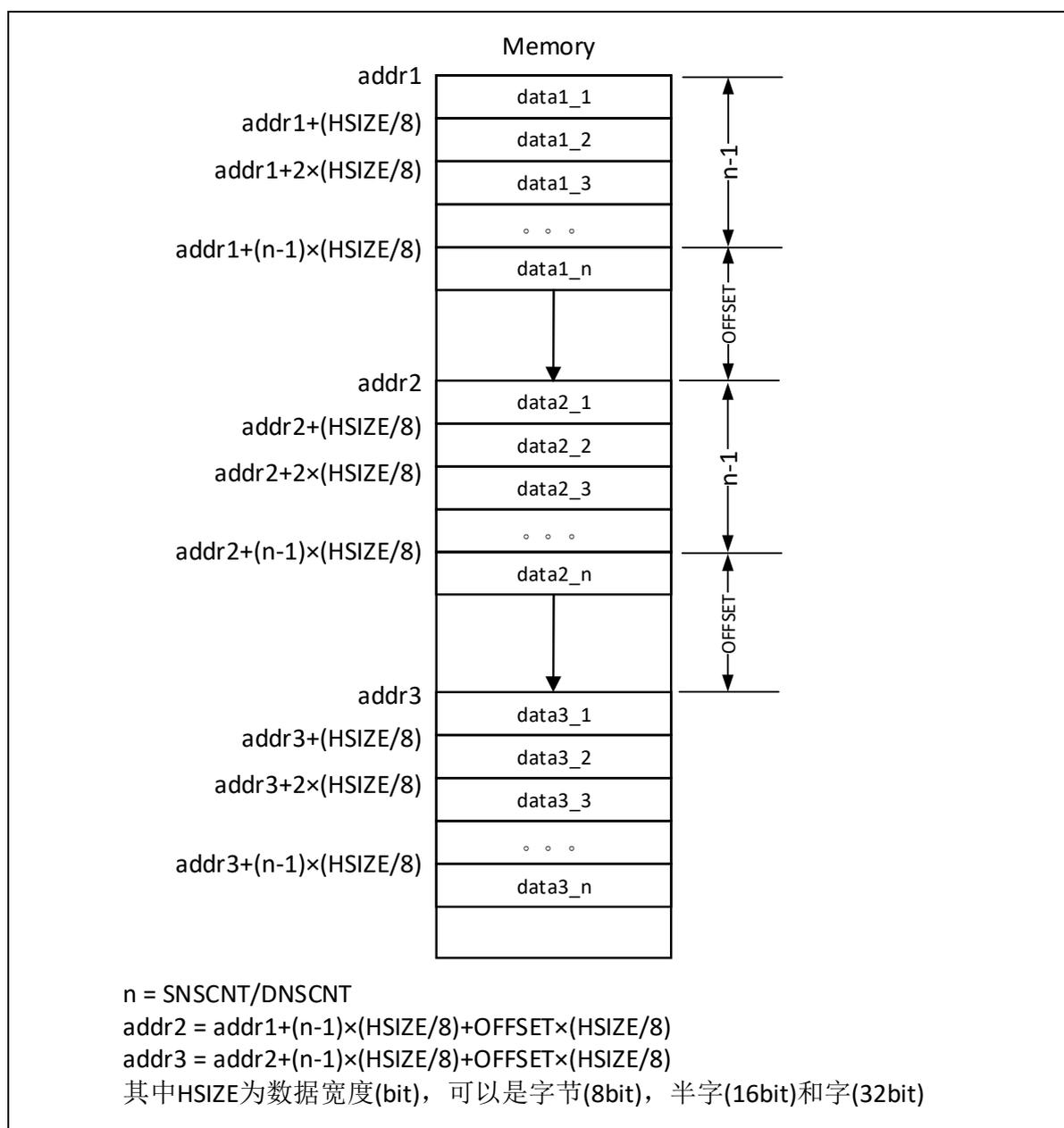


图 11-3 不连续地址传输示意图

11.3.10 传输提前终止

传输过程中通道使能寄存器 DMA_CHEN.CHENx 保持有效，非连锁传输时，数据控制寄存器 DMA_CHxCTL0.CNT 设定的传输次数完成后自动置为无效，连锁传输时，最后一次传输的传输次数完成后自动置为无效。传输过程中如果软件写 DMA_CHENCLR.CHENCLR_x 写 1，强制将 CHENx 清 0，则 DMA 将在完成当次数据读写后终止传输。

11.4 应用举例

11.4.1 存储器到存储器的传输

目标：将 12 个数据从 RAM 地址 0x20000000 传送到 0x21000000，数据宽度为 32bit。

1. 寄存器设定

- DMA_EN.EN 写 1 使能 DMA 控制器
- 选择一个通道，例如通道 0，配置通道寄存器以实现：
 - 写 DMA_SAR0 配置源地址为 SRAM 区域 0x20000000
 - 写 DMA_DAR0 配置源地址为 SRAM 区域 0x21000000
 - 写 DMA_CH0CTL0 配置数据块的大小为 4，传输次数为 3 次，每次传输完 1 个数据块后产生块传输完成中断，3 次传输完成后产生一个传输完成中断
 - 写 DMA_CH0CTL1.RPTNSCNT 寄存器配置源地址重复区域大小为 6，即传输完成 6 个地址后重新载入初始源地址
 - 配置通道控制寄存器 DMA_CH0CTL0 和 DMA_CH0CTL1 以实现：
 - 源地址和目标地址连锁传输无效
 - 源地址重载有效，和目标地址更新方式为自增
 - 数据宽度为 word(32bit)
 - 通道使能位 DMA_CHEN.CHEN0 写 1，使能通道 0
 - 配置触发源控制器 DMA_TRGSEL0，选择软件触发作为 DMA 通道 0 的启动请求
- 写外设事件软件触发寄存器 INTSFTTRG.STRG 为 1，发送第一个软件启动请求，DMA 开始传输数据

2. 传输过程

由于传输的数据块大小为 4, 当软件写 INTSFTTRG.STRG 为 1 后开始第一次传输, 当一个数据块传输完成后, 传输次数 DMA_CH0CTL0.CNT 减 1, 并产生一个块传输完成中断, 软件可以在中断子程序中继续写 INTSFTTRG.STRG 开始第二次传输。在第二次传输中, 由于设置了源地址重复区域大小为 6, 因此在传输完 2 个地址后将根据当前传输地址和重复传输计数器 DMA_CH0CTL1.RPTNSCNT 计算得到源地址的初始地址 0x20000000 并继续传输剩余的 2 个地址。第二次传输完成后, 传输次数 DMA_CH0CTL0.CNT 减 1, 并产生一个块传输完成中断, 软件可以在中断子程序中继续写 INTSFTTRG.STRG 开始第三次传输。第三次传输完成后, 传输次数 DMA_CH0CTL0.CNT 减为 0, 即本次传输全部完成, DMA 产生一个块传输完成中断和一个传输完成中断, 同时通道使能位 DMA_CHEN.CHEN0 将被自动清零。

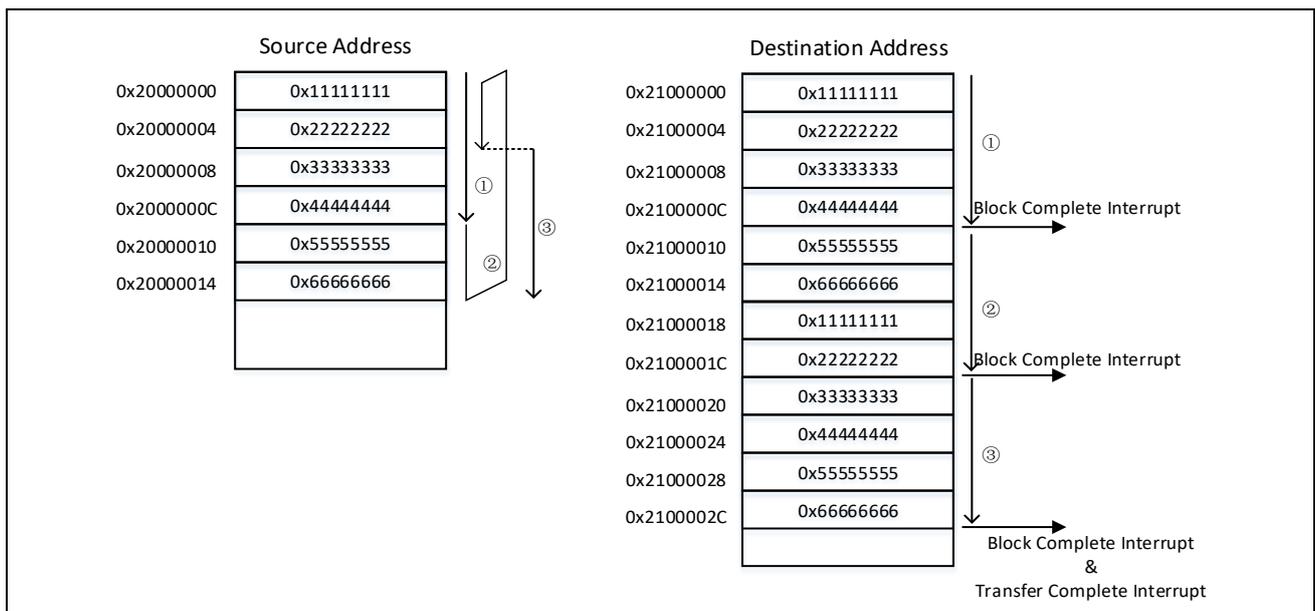


图 11-4 应用例 1: 存储器到存储器传输

11.4.2 存储器到外围电路的传输

目标：将 10 个宽度为 half-word 的数据从 RAM 地址 0x20000000 传送到通信模块的发送缓冲寄存器中, 通信模块每发送完一个数据产生一次传送请求。当最后一个数据发送完成后 DMA 产生一个传输完成中断。

1. 寄存器设定

- DMA_EN.EN 写 1 使能 DMA 控制器
- 配置 DMA_INTMSK1 寄存器，屏蔽块传输完成中断，使能传输完成中断
- 选择一个通道，配置通道寄存器，例如选择通道 0
 - 写 DMA_SAR0 配置源地址为 SRAM 区域 0x20000000
 - 写 DMA_DAR0 配置源地址为外围电路的寄存器地址 0x40000000
 - 写 DMA_CH0CTL0 配置数据块的大小为 1，传输次数为 10 次，每个传输请求传送一次，每次 1 个数据。
 - 配置通道控制寄存器 DMA_CH0CTL0 和 DMA_CH0CTL1 以实现：
 - 源地址和目标地址连锁传输无效
 - 源地址更新方式为自增，目标地址为固定
 - 源地址和目标地址数据宽度为半字(16bit)
 - 配置触发源控制器 DMA1_TRGSEL，选择通信模块的发送寄存器空作为 DMA 通道 0 的启动请求
 - 通道使能位 DMA_CHEN.CHEN0 写 1，使能通道 0

2. 传输过程

通道使能后，DMA 等待来自通信模块的传输请求。当传输请求产生后，DMA 把 RAM 中的数据传送至通信模块的发送缓冲寄存器中，并等待第二次来自通信模块的传输请求，由于屏蔽了块传输完成中断，DMA 此时不产生中断请求。当 10 个数据全部传送完成后，DMA 产生一个传输完成中断，并且通道使能位 DMA_CHEN.CHEN0 将被自动清零。

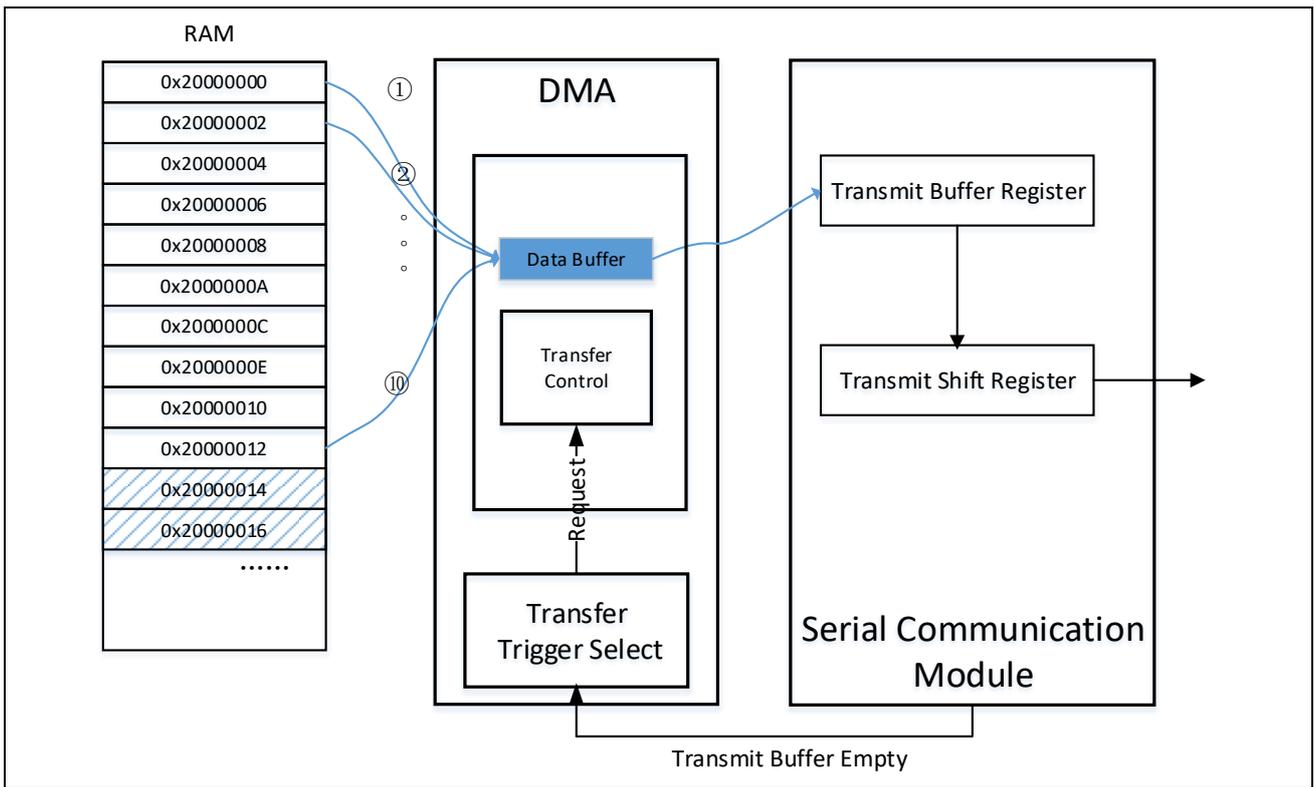


图 11-5 应用例 2: 存储器到外围电路的传输

11.4.3 存储器到存储器的连锁传输

1. 寄存器设定

- DMA_EN.EN 写 1 使能 DMA 控制器
- 选择一个通道，配置通道寄存器，例如选择通道 0，配置第一次传输的描述符(descriptor0)
 - 写 DMA_SAR0 配置源地址为 SRAM 区域 0x20000000
 - 写 DMA_DAR0 配置目标地址为 SRAM 区域 0x21000000
 - 写 DMA_CH0CTL0.BLKSIZE 配置数据块的大小为 10
 - 在链指针寄存器 DMA_CH0CTL0.LLP 中写入第二个描述符(descriptor1)的地址 0x22000000
 - 配置通道控制寄存器 DMA_CH0CTL0 和 DMA_CH0CTL1，配置第一个数据块的传输参数以实现：
 - 连锁传输有效
 - 连锁传输模式为直接启动下一次传输

- 源地址和目标地址更新方式为自增
- 数据宽度为字(32bit)
- 在 RAM 空间的 0x22000000 地址中配置第二次传输的描述符(descriptor1), 包括:
 - 0x22000000 中写入 32 位数据 0x20000100, 此为第二次传输的源地址
 - 0x22000004 中写入 32 位数据 0x21000100, 此为第二次传输的目标地址
 - 0x22000008 中配置数据块的大小为 20
 - 0x22000018 中写入 32 位数据 0x22000100, 此为第三次传输的描述符(descriptor2)所在地址
 - 0x2200001C 中写入第二次传输的控制数据, 该控制数据实现:
 - 连锁传输有效
 - 连锁传输模式为直接启动下一次传输
 - 源地址和目标地址更新方式为自增
 - 数据宽度为半字(16bit)
- 在 RAM 空间的 0x22000100 地址中配置第三次传输的描述符(descriptor2), 包括:
 - 0x22000100 中写入 32 位数据 0x20000200, 此为第三次传输的源地址
 - 0x22000104 中写入 32 位数据 0x21000200, 此为第三次传输的目标地址
 - 0x22000108 配置数据块的大小为 40
 - 0x22000118 中写入 32 位数据 0x0, 代表该次传输为连锁传输的最后一次传输
 - 0x2200011C 中写入第三次传输的控制数据实现:
 - 连锁传输无效
 - 源地址和目标地址更新方式为自增
 - 数据宽度为字节(8bit)
- 通道使能位 DMA_CHEN.CHEN0 写 1, 使能通道 0
- 配置传输启动触发源悬着寄存器 DMA1_TRGSEL, 选择软件触发作为 DMA 通道 0 的启动请求
- 写软件触发寄存器 INTSFTTRG.STRG 为 1, 发送一个启动请求, DMA 开始传输数据

2. 传输过程

软件启动 DMA 开始传输。第一次传输完成后，由于设置了连锁传输模式为直接启动下一次传输并且中断无效，DMA 将第二次传输的描述符(descriptor1)读入到通道寄存器中。根据描述符配置参数直接开始第二次传输。第二次传输完成后，将第三次传输的描述符(descriptor2)读入到通道寄存器中。根据描述符配置参数开始第三次传输。第三次传输完成后，根据配置信息该次为连锁传输的最后一次，且由于中断使能有效，因此 DMA 将产生一个传输完成中断，并清除通道使能位 DMA_CHEN.CHEN0。

11.5 寄存器说明

DMA_BASE_ADDR:0x40013000

寄存器名	符号	偏移地址	位宽	复位值
DMA使能寄存器	DMA_EN	0x00	32	0x00000000
中断状态寄存器0	DMA_INTSTAT0	0x04	32	0x00000000
中断状态寄存器1	DMA_INTSTAT1	0x08	32	0x00000000
中断屏蔽寄存器0	DMA_INTMASK0	0x0C	32	0x00000000
中断屏蔽寄存器1	DMA_INTMASK1	0x10	32	0x00000000
中断复位寄存器0	DMA_INTCLR0	0x14	32	0x00000000
中断复位寄存器1	DMA_INTCLR1	0x18	32	0x00000000
通道使能寄存器	DMA_CHEN	0x1C	32	0x00000000
通道使能复位寄存器	DMA_CHENCLR	0x3C	32	0x00000000
传输中通道监视寄存器	DMA_CHSTAT	0x24	32	0x00000000
传输源地址寄存器	DMA_SARx *1	0x40+0x40*x	32	0x00000000
传输目标地址寄存器	DMA_DARx	0x44+0x40*x	32	0x00000000
数据控制寄存器	DMA_CHxCTL0	0x48+0x40*x	32	0x00000001
通道控制寄存器	DMA_CHxCTL1	0x4C+0x40*x	32	0x00001000
传输启动触发源选择寄存器	DMAx_TRGSEL	DMA0: 0x40000C80 DMA1: 0x40000C84	32	0x000001ff

表 11-1 寄存器一览表

注*1: x=0~1

11.5.1 DMA 使能寄存器(DMA_EN)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EN

位	标记	位名	功能	读写
b31-b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	EN	DMA使能位	0: DMA无效 1: DMA使能	R/W

11.5.2 中断状态寄存器 0(DMA_INTSTAT0)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	REQERR[1:0]
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TRNERR[1:0]

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	REQERR[1:0]	传输请求溢出错误中断位	0: 该通道没有发生传输请求溢出错误 1: 该通道发生了传输请求溢出错误,即上次请求还处在等待状态时又来了传输请求	R/W
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
B1-b0	TRNERR[1:0]	传输错误中断位	0: 该通道没有发生传输错误 1: 该通道发生了传输错误	R/W

11.5.3 中断状态寄存器 0(DMA_INTSTAT1)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	BTC[1:0]	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	TC[1:0]	

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	BTC[1:0]	块传输完成中断位	该中断在完成一个数据块的传输后发生 0: 该通道没有块传输中断发生 1: 该通道发生块传输中断	R/W
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	TC[1:0]	传输完成中断位	该中断在完成传输次数寄存器DMA_CNTx设置的传输次数后发生 0: 该通道没有传输完成中断发生 1: 该通道发生传输完成中断	R/W

11.5.4 中断屏蔽寄存器(DMA_INTMASK0)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	MSKREQERR 1:0]	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	MSKTRNERR 1:0]	

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	MSKREQERR[1:0]	传输请求溢出中断屏蔽	0: 不屏蔽传输请求溢出中断 1: 屏蔽传输请求溢出中断	R/W
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	MSKTRNERR[1:0]	传输错误中断屏蔽	0: 不屏蔽传输错误中断 1: 屏蔽传输错误中断	R/W

11.5.5 中断屏蔽寄存器(DMA_INTMASK1)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MSKBTC[1:0]
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MSKTC[1:0]

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	MSKBTC[1:0]	块传输完成中断屏蔽	0: 不屏蔽块传输完成中断 1: 屏蔽块传输完成中断	R/W
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	MSKTC[1:0]	传输完成中断屏蔽	0: 不屏蔽传输完成中断 1: 屏蔽传输完成中断	R/W

11.5.6 中断复位寄存器(DMA_INTCLR0)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CLRREQERR[1:0]
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CLRTRNERR[1:0]

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	CLRREQERR[1:0]	传输请求溢出错误中断复位	写0无任何效果, 写1复位传输请求溢出错误中断状态位 读出永远为0	R/W
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	CLRTRNERR[1:0]	传输错误中断复位	写0无任何效果, 写1复位传输错误中断状态位 读出永远为0	R/W

11.5.7 中断复位寄存器(DMA_INTCLR1)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	--	-	CLRBTC[1:0]	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	CLRTC[1:0]	

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	CLRBTC[1:0]	块传输完成中断 复位	写0无任何效果,写1复位块传输完成中断状态位 读出永远为0	R/W
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	CLRTC[1:0]	传输完成中断复 位	写0无任何效果,写1复位传输完成中断状态位 读出永远为0	R/W

11.5.8 通道使能寄存器(DMA_CHEN)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	CHEN[1:0]	

位	标记	位名	功能	读写
b31-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	CHEN[1:0]	通道使能位	每位对应一通道。 0: 该通道无效 1: 该通道有效 对CHEN[x]写1, CHEN[x]置1。对CHEN[x]写0无效。 对DMA_CHENCLR.CHENCLR[x]位写1时, CHEN[x]清0, 并强制终止通道x正在进行的传输。传输过程中使能位保持为1, 当传输完传输次数寄存器DMA_CHxCTL1.CNT设置的传输次数后将会自动清零。如果DMA_CHxCTL1.CNT设置为0, 则传输完成后不会自动清零, 即无限次传输。 注意: 请在CHEN[x]=0的状态下, 设置通道x的描述寄存器。	R/W

11.5.9 通道使能复位寄存器(DMA_CHENCLR)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CHENCLR[1:0]

位	标记	位名	功能	读写
b31-b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	CHENCLR[1:0]	通道使能位复位	写0无任何效果,写1复位通道使能位CHEN 读出永远为0 写1时若本通道正在传输,则DMA将在完成当次数据读写后强制终止传输。	R/W

11.5.10 通道状态观测寄存器(DMA_CHSTAT)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CHACT[1:0]
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DMA ACT

位	标记	位名	功能	读写
b31-b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17-b16	CHACT[1:0]	传输动作中通道 监视位	每个位对应一个通道。 0: 该通道空闲中 1: 该通道处于动作中	R
b15-b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	DMAACT	DMA动作中监视 位	0: DMA未处于传输动作中 1: DMA处于传输动作中	R

11.5.11 传输启动触发源选择寄存器(DMAx_TRGSEL) (x=1~2)

复位值: 0x000001ff

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
-	-	-	-	-	-	-	TRGSEL[8:0]									-	-

位	标记	位名	功能	读写
b31-b9	Reserved	-	读出时为“0”,写入时写“0”	R/W
b8-b0	TRGSEL[8:0]	触发源选择	选择启动对应通道进行传输的事件编号。 具体编号请参考中断控制器 (INTC)。	R/W

11.5.12 传输源地址寄存器(DMA_SARx) (x=0~1)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
SAR[31:16]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SAR[15:0]															

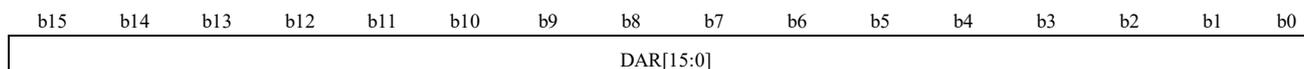
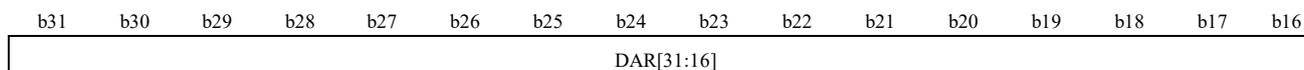
位	标记	位名	功能	读写
b31-b0	SAR[31:0]	传输源地址	设置传输源地址	R/W

注意:

- 传输数据宽度为16bit时, 即DMA_CHxctl.HSIZE=01, SAR[0]无效。传输数据宽度为32bit时, 即DMA_CHxCTL.HSIZE=1x, SAR[1:0]无效。

11.5.13 传输目标地址寄存器(DMA_DAR_x) (x=0~1)

复位值: 0x00000000



位	标记	位名	功能	读写
b31-b0	DAR[31:0]	传输目标地址	设置传输目标地址	R/W
注意：				
- 传输数据宽度为16bit时，即DMA_CHxctl.HSIZE=01，DAR[0]无效。传输数据宽度为32bit时，即DMA_CHxCTL.HSIZE=1x，DAR[1:0]无效。				

11.5.14 数据控制寄存器(DMA_CHxCTL0) (x=0~1)

复位值: 0x00000001

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
HSIZE[1:0]		LLPRUN	LLPEN	LLP[11:2]								CNT[9:8]			
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CNT[7:0]							BLKSIZE[7:0]								

位	标记	位名	功能	读写
b31-b30	HSIZE[1:0]	传输数据的宽度	00: 8bit 01: 16bit 1x: 32bit	R/W
b29	LLPRUN	连锁传输模式选择	连锁传输有效时, 设置当前传输完成时, 载入链指针指定的新描述符后是否立即开始新描述符对应的传输 0: 不立即传输, 等待下一个传输请求产生后开始传输 1: 新描述符载入后, 立即开始传输	R/W
b28	LLPEN	连锁传输使能	0: 连锁传输无效 1: 连锁传输有效	R/W
b27-b18	LLP[11:2]	链指针	连锁传输有效时, 设置下一次传输的描述符所在的地址, 地址为字对齐, 即LLP[1:0]固定为0	R/W
b17-b8	CNT[9:0]	传输次数	总的传输次数, 每次请求启动传输一个数据块完成时CNT的值减1, 当寄存器值减到0时将发生传输完成中断。如果传输开始时寄存器值为0, 则每次启动请求传输1个数据块, 并且传输完成后不会产生传输完成中断。	R/W
b7-b0	BLKSIZE[7:0]	数据块的大小	设置数据块的大小, 最大可以配置256个数据。每个数据的宽度由DMA_CHxCTL寄存器的HSIZE位决定。传输开始前需要配置寄存器的值, 如果寄存器值为1则每次传输1个数据, 设为0则每次传输256个数据。	R/W

11.5.15 通道控制寄存器(DMA_CHxCTL) (x=0~3)

复位值: 0x00001000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
DINC[1:0]		SINC[1:0]		-	RPTNSSEL[1:0]		RPTNSEN	RPTNSCNT[7:0]							
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OFFSET[15:0]															

位	标记	位名	功能	读写
b31-b30	DINC[1:0]	目标地址的更新方式	00: 固定 01: 递增 1x: 递减	R/W
b29-b28	SINC[1:0]	源地址的更新方式	00: 固定 01: 递增 1x: 递减	R/W
b27	Reserved	-	读出时为“0”,写入时写“0”	R/W
b26-b25	RPTNSSEL[1:0]	源地址和目标地址重复传输或不连续传输功能选择	00: 源地址重载 01: 目标地址重载 10: 源地址不连续传输 11: 目标地址不连续传输	R/W
b24	RPTNSEN	重复传输或地址不连续传输功能使能位	设置是否允许地址重新载入初始值或不连续传输 0: 不允许 1: 允许	R/W
b23-b16	RPTNSCNT[7:0]	地址重复或地址跳转的数据量	当不连续地址传输时, 当传输完CNT设置的数据量后, 源地址或目标地址将根据OFFSET设置的偏移量进行跳转; 当使能地址重载功能时, CNT表示源地址或目标地址重复区域大小。	R/W
b15-b0	OFFSET[15:0]	地址跳转的地址偏移量	当不连续地址传输时, 源地址(或目标地址)跳转的地址偏移量。跳转的方向根据通道控制寄存器DMA_CHxCTL.SINC(x=0~1)(或DMA_CHxCTL.DINC(x=0~1))的值向前或向后跳转。当DMA_CHxCTL.SINC(或DMA_CHxCTL.DINC)设为地址固定时, 不连续地址传输将无效。跳转地址将根据数据的宽度(DMA_CHxCTL.HSIZE)(x=0~1)设置的bit数和OFFSET的值进行计算: 下次传输的源地址(或目标地址)=本次传输的源地址(或目标地址)+OFFSET×(HSIZE(bit)/8) 例如, 当OFFSET设为10, HSIZE为字(32bit)时, 地址将跳转10×4=40, HSIZE为半字(16bit)时, 地址将跳转10×2=20, HSIZE为字节(8bit)时, 地址将跳转10×1=10	R/W

12 内部时钟校准器(CTC)

12.1 简介

内部时钟校准器（Clock Trimming Controller，以下称 CTC）可以自动校准内部高速振荡器（HRC）。由于工作环境的影响 HRC 的频率可能会产生偏差，用 CTC 基于外部高精度参考时钟，采用硬件方式自动调整 HRC 的频率以得到一个精准的 HRC 时钟。

CTC 的主要特性如下：

- 两个外部参考时钟源：XTAL，CTCREF；
- 用于频率测量并具有重载功能的 16 位校准计数器；
- 用于频率校准的 8 位校准偏差值和 6 位校准值；
- 用于提示校准失败的错误中断；

12.2 结构框图

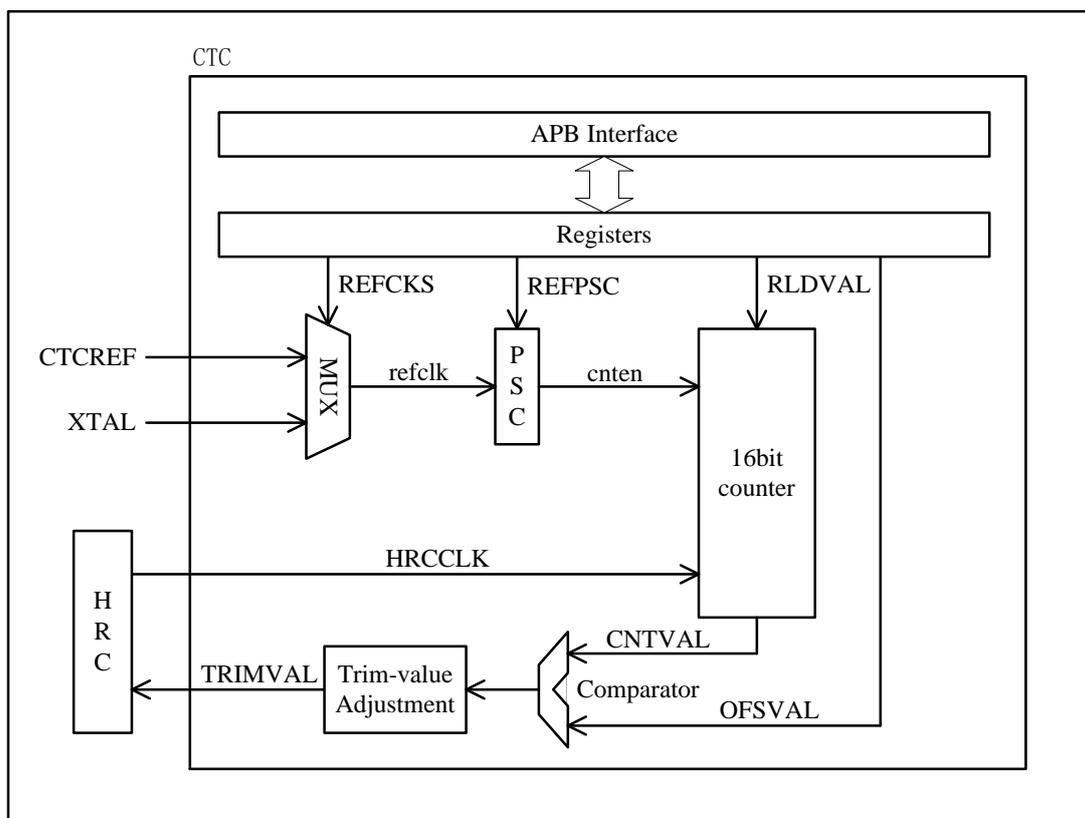


图 12-1 CTC 的基本框图

12.3 功能说明

12.3.1 参考时钟

CTC有两个外部时钟源可作为校准HRC频率的参考时钟,分别是外部高速时钟(XTAL)和外部基准时钟(CTCREF)。可以通过设置CTC_CR1寄存器中的REFCKS[1:0]位来选择作为一个作为参考时钟。

HRC的Jitter以及频率测量过程中的计数误差都会影响校准精度,可以通过设置CTC_CR1寄存器中的REFPSC[2:0]位为参考时钟选择合适的分频来减小误差带来的影响。表14-1和表14-2是不同频率的参考时钟在不同分频条件下的误差估算值,请参考选择合适的参考时钟源和分频。如果参考时钟的频率未在表中列出,可以参考以下公式计算误差。基本上,应该使测量误差小于校准精度。

$$E = \frac{0.099\%}{\sqrt{(F_{hrc} \div F_{ref}) \times PSC \div 10^5}} + \frac{4}{(F_{hrc} \div F_{ref}) \times PSC}$$

注: Fhrc表示HRC的目标频率;

Fref表示参考时钟的频率;

PSC表示参考时钟分频数;

$(F_{hrc} \div F_{ref}) \times PSC$ 表示测量HRC频率时校准计数器的计数值;

Fref \ PSC	32.768kHz	4MHz	8MHz	12MHz	24MHz
8	0.323%	不推荐	不推荐	不推荐	不推荐
32	0.153%	不推荐	不推荐	不推荐	不推荐
128	不可设	1.059%	1.651%	不推荐	不推荐
256	不可设	0.695%	1.059%	1.369%	不推荐
512	不可设	0.465%	0.695%	0.887%	1.369%
1024	不可设	0.315%	0.465%	0.587%	0.887%
2048	不可设	0.216%	0.315%	0.395%	0.587%
4096	不可设	0.149%	0.216%	0.269%	0.395%

表 12-1 HRC 目标频率为 48MHz 时的测量误差

注:“不可设”表示该设定超出了校准计数器的范围,无法完成校准。

注:“不推荐”表示该设定误差过大,无法精确校准。

Fref \ PSC	32.768kHz	4MHz	8MHz	12MHz	24MHz
8	0.405%	不推荐	不推荐	不推荐	不推荐
32	0.190%	不推荐	不推荐	不推荐	不推荐
128	不可设	1.369%	2.165%	不推荐	不推荐
256	不可设	0.887%	1.369%	1.784%	不推荐
512	不可设	0.587%	0.887%	1.140%	1.784%
1024	不可设	0.395%	0.587%	0.746%	1.140%
2048	不可设	0.269%	0.395%	0.497%	0.746%
4096	不可设	0.185%	0.269%	0.336%	0.497%

表 12-2 HRC 目标频率为 32MHz 时的测量误差

注：“不可设”表示该设定超出了校准计数器的范围，无法完成校准。

注：“不推荐”表示该设定误差过大，无法精确校准。

12.3.2 频率校准

在 CTC_CR1 寄存器的 CTCEN 位置为 1 后，16 位校准计数器从 CTC_CR2 寄存器中重载 RLDVAL 并向下降计数，计数时钟由 HRC 提供。之后，如果检测到 PSC 发出的计数停止同步信号，16 位校准计数器将停止计数。如果始终检测不到 PSC 的计数停止同步信号，16 位校准计数器会持续计数直到下溢为 0xFFFF 时停止，并等待 PSC 的计数停止同步信号的到来。

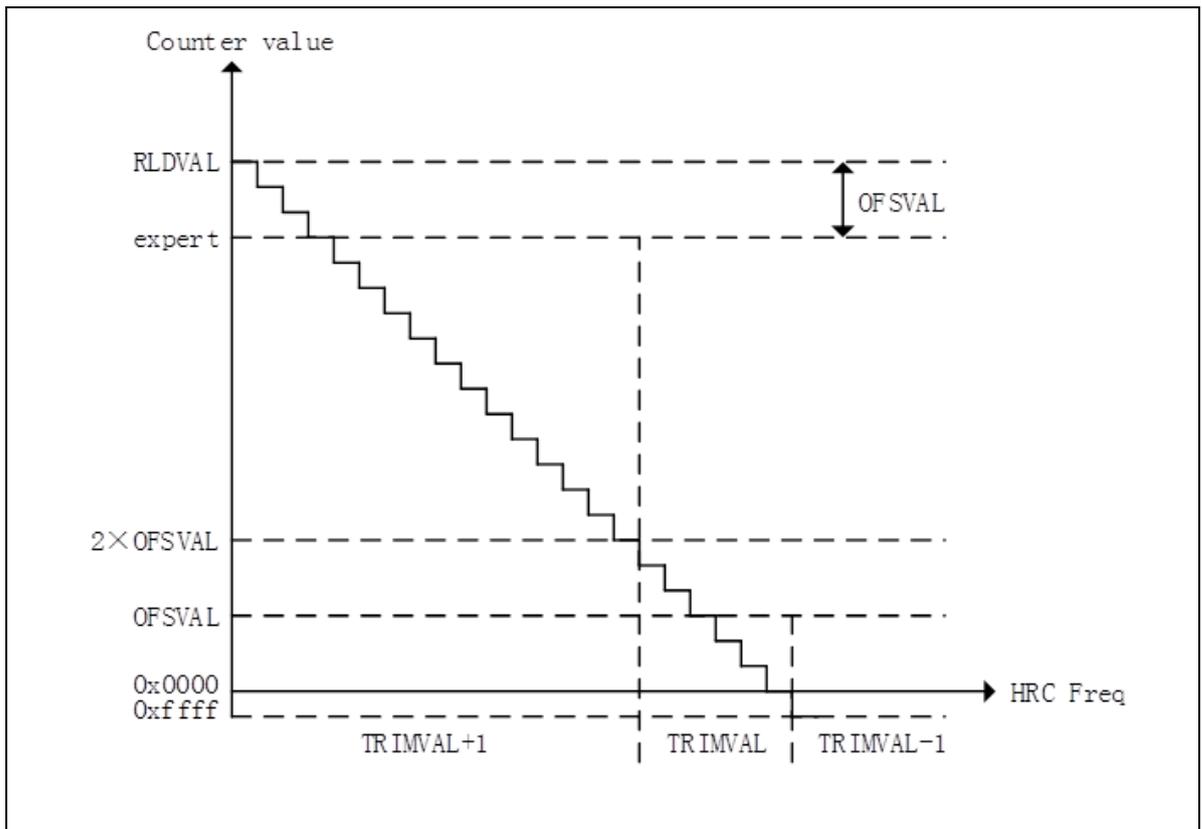


图 12-2 CTC 校准示意图

检测到 PSC 发出的计数停止同步信号后，HRC 频率校准功能开始执行。由于在设定校准计数重载值 RLDVAL 时加上了校准计数偏差值 OFSVAL，因此如果 16 位校准计数器的值大于 $2 \times \text{OFSVAL}$ 且没有发生下溢，说明当前频率比期望频率慢，需要增大 CTC_CR1 寄存器中 TRMVAL[5:0] 的值来提高频率。反之，如果 16 位校准计数器的值发生下溢，则说明当前频率比期望频率快，需要减小 TRMVAL 的值以降低频率。

- Counter > ($\text{OFSVAL} \times 2$) 时停止计数；
CTC_CR1 寄存器中的 TRMVAL 的值自动加 1。

- $0 \leq \text{Counter} \leq (\text{OFSVAL} \times 2)$ 时停止计数；
CTC_CR1 寄存器中的 TRMVAL 的值不变，CTC_STR 寄存器中的 TRIMOK 位被置成 1。
- Counter = 0xFFFF；
CTC_CR1 寄存器中的 TRMVAL 的值自动减 1。

TRMVAL 的中间值是 0x00。如果自动加 1 的结果大于 0x1F，TRMVAL 的值将保持 0x1F，同时发生校准上溢，CTC_STR 寄存器中的 TRMOVF 位置 1。反之，如果自动减 1 的结果小于 0x20，TRMVAL 的值将保持 0x20，同时发生校准下溢，CTC_STR 寄存器中的 TRMUDF 位置 1。

发生校准上溢或下溢时校准会自动停止（CTCEN 自动清零），此时如果 CTC_CR1 寄存器中的 ERRIE 位为 1，就会发生一次校准错误中断。

12.3.3 编程指南

以使用 CTCREF 输入 32.768kHz 的 8 分频作为参考时钟将 HRC 校准到 $(48 \pm 0.5\%)$ MHz 为例。查表可知频率测量误差为 0.323%，小于校准允许偏差 0.5%。

- （1）设定 CTC_CR2 = 0x2e01003a，其中
 $\text{OFSVAL} = (48 \div 0.032768) \times 8 \times 0.005 \approx 58$ (0x3a)
 $\text{RLDVAL} = (48 \div 0.032768) \times 8 + 58 \approx 11777$ (0x2e01)
- （2）设定 CTC_CR1 = 0x000000c0
 TRMVAL=0x00（从中间值开始校准）
 CTCEN=1（启动 CTC）
 ERRIE=1（允许错误中断）
 REFCKS=00b（选择 CTCREF 作为参考时钟）
 REFpsc=000b（选择参考时钟的 8 分频）
- （3）一段时间后，确认 CTC_STR.TRIMOK 的状态
 如果 TRIMOK=1，CTCEN 清零
 如果 TRIMOK=0，回到（3）
- （4）确认 CTC_STR.CTCBSY=0，后续操作。

途中如果发生错误中断，则表示由于超出可校准范围发生了校准上溢或者校准下溢，CTCEN 位会自动清零，校准停止。这时请修正 OFSVAL, RLDVAL 以及参考时钟设定再次尝试校准。

需要注意：频率校准是通过 CTC_CR1 寄存器中的 CTCEN 位来启动或停止的。因此，启动频率校准后，请勿改变任何其他寄存器的设定值。如需修改设置，请先将 CTCEN 位写 0，并确认 CTC_STR 寄存器中的 CTCBSY 位为 0 后再进行修改。

12.4 寄存器说明

基准地址： 0x40000000

寄存器名	符号	偏移地址	位宽	复位值
时钟校准控制寄存器1	CTC_CR1	0x00	32	0x00000000
时钟校准控制寄存器2	CTC_CR2	0x04	32	0x00000000
时钟校准状态寄存器	CTC_STR	0x08	32	0x00000000

表 12-3 CTC 寄存器一览表

12.4.1 时钟校准控制寄存器 1 (CTC_CR1)

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	TRMVAL[5:0]					
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	CTC EN	ERR IE	REFCK[S][1:0]		-	REFPSC[2:0]		

位	标记	位名	功能	读写
b31~b22	Reserved	-	读出时为“0”,写入时写“0”	R
b21~b16	TRMVAL[5:0]	HRC校准值	TRMVAL最高位为符号位,中间值是0。 0x20: -32 0x21: -31 0x3F: -1 0x00: 0 (中间值) 0x01: +1 0x1E: +30 0x1F: +31 CTCEN位置1时TRMVAL为只读,由硬件自动修改。如需修改请将CTCEN位置0并确认CTC_STR.CTCBSY位为0后再修改。	R/W
b15~b8	Reserved	-	读出时为“0”,写入时写“0”	R
b7	CTCEN	校准使能	用于启动频率校准。 0: 停止频率校准 1: 启动频率校准 置1条件: 软件置1; 清0条件: (1)软件清0 (2)校准发生上溢或者下溢时硬件清0;	R/W
b6	ERRIE	错误中断允许	用于选择发生校准上溢或者下溢时是否产生错误中断。 0: 禁止发生错误中断 1: 允许发生错误中断	R/W
b5~b4	REFCK[S][1:0]	参考时钟选择	用于为频率校准选择参考时钟源。 0xb: 选择CTCREF作为参考时钟 11b: 选择XTAL作为参考时钟 CTCEN位置1时禁止修改REFCK[S]的值。如需修改请将CTCEN位置0并确认CTC_STR.CTCBSY位为0后再修改。	R/W
b3	Reserved	-	读出时为“0”,写入时写“0”	R
b2~b0	REFPSC[2:0]	参考时钟分频	用于选择参考时钟的分频。	R/W

000b: 参考时钟8分频

001b: 参考时钟32分频

010b: 参考时钟128分频

011b: 参考时钟256分频

100b: 参考时钟512分频

101b: 参考时钟1024分频

110b: 参考时钟2048分频

111b: 参考时钟4096分频

CTCEN位置1时禁止修改REFPSC的值。如需修改请将CTCEN位置0
并确认CTC_STR.CTCBSY位为0后再修改。

12.4.2 时钟校准控制寄存器 2 (CTC_CR2)

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RLDVAL[15:0]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	OFSVAL[7:0]							

位	标记	位名	功能	读写
b31~b16	RLDVAL[15:0]	校准计数重载值	<p>RLDVAL设定的是16位校准计数器的重载值，每次校准开始后16位校准计数器以该值为起点向下计数。</p> $RLDVAL = (Fhrc \div Fref) + OFSVAL$ <p>Fhrc: HRC标准频率值，即48MHz或者32MHz； Fref: 参考时钟频率÷参考时钟预分频数； OFSVAL: 校准计数偏差值； CTCEN位置1时禁止修改RLDVAL的值。如需修改请将CTCEN位置0并确认CTC_STR.CTCBSY位为0后再修改。</p>	R/W
b15~b8	Reserved	-	读出时为“0”，写入时写“0”	R
b7~b0	OFSVAL[7:0]	校准计数偏差值	<p>OFSVAL设定的是HRC在校准时允许的偏差值。</p> $OFSVAL = (Fhrc \div Fref) \times TA$ <p>Fhrc: HRC标准频率值，即48MHz或者32MHz； Fref: 参考时钟频率÷参考时钟预分频数； TA: 校准精度，例如0.5%； CTCEN位置1时禁止修改OFSVAL的值。如需修改请将CTCEN位置0并确认CTC_STR.CTCBSY位为0后再修改。</p>	R/W

12.4.3 时钟校准状态寄存器 (CTC_STR)

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	CTC BSY	TRM UDF	TRM OVF	TRI MOK

位	标记	位名	功能	读写
b31~b4	Reserved	-	读出时为“0”,写入时写“0”	R
b3	CTCBSY	CTC状态标志	0: CTC处于停止状态 1: CTC处于工作状态	R
b2	TRMUDF	校准下溢标志	校准下溢表示TRMVAL已减至0x20,但仍未校准到目标范围。校准下溢时自动停止校准,ERRIE为1时将发生错误中断。 0: 未发生校准下溢 1: 发生了校准下溢	R
b1	TRMOVF	校准上溢标志	校准上溢表示TRMVAL已增至0x1F,但仍未校准到目标范围。校准上溢时自动停止校准,ERRIE为1时将发生错误中断。 0: 未发生校准上溢 1: 发生了校准上溢	R
b0	TRIMOK	校准成功标志	0: HRC频率未校准到目标范围 1: HRC频率已校准到目标范围	R

13 电压比较器(CMP)

13.1 简介

电压比较器（Comparator，以下简称 CMP）是将两个模拟电压进行比较的外设模块，共有 2 个比较通道 CMP1 和 CMP2。

CMP 具有以下主要功能：

- 能选择普通比较模式和窗口比较模式。
- 能选择从外部输入基准电压也可以使用内部基准电压。
- 能选择噪声滤波器的消除宽度。
- 能使用定时器的 PWM 输出作为比较器输出的开关信号。
- 能检测比较器输出的有效边沿并产生中断和触发外设。
- 能将比较结果输出到外部管脚。

13.3 功能说明

13.3.1 普通比较模式

普通比较模式时，CMP1 和 CMP2 可以独立运行，并且设定方法相同。相关寄存器的设定步骤如下：

- 1) FCG 寄存器的 CMP 位设为 0，关闭电压比较器的模块停止功能。
- 2) 设定 CMPn_VSR 寄存器的 CVSL 位，选择比较电压（比较器的正端电压）；
设定 CMPn_VSR 寄存器的 RVSL 位，选择基准电压（比较器的负端电压）。
- 3) CMPn_MDR 寄存器的 CENB 位设为 1，启动模拟电压比较器。
- 4) 等待模拟电压比较器的稳定时间 t_{CMP} 。
- 5) 设定 CMPn_FIR 寄存器的 FCKS 位，选择是否使用使用数字滤波器；
设定 CMPn_FIR 寄存器的 EDGS、CIEN 位，选择是否允许中断和边沿检测条件。
- 6) 设定 CMPn_OCR 寄存器的 CPOE、COPS 位，设置 VCOUT 的输出；
设定 CMPn_OCR 寄存器的 TWOE、TWOL 位和 CMPn_TWR 寄存器，设置定时器窗口输出。
- 7) CMPn_OCR 寄存器的 COEN 位设为 1，允许模拟电压比较器输出。

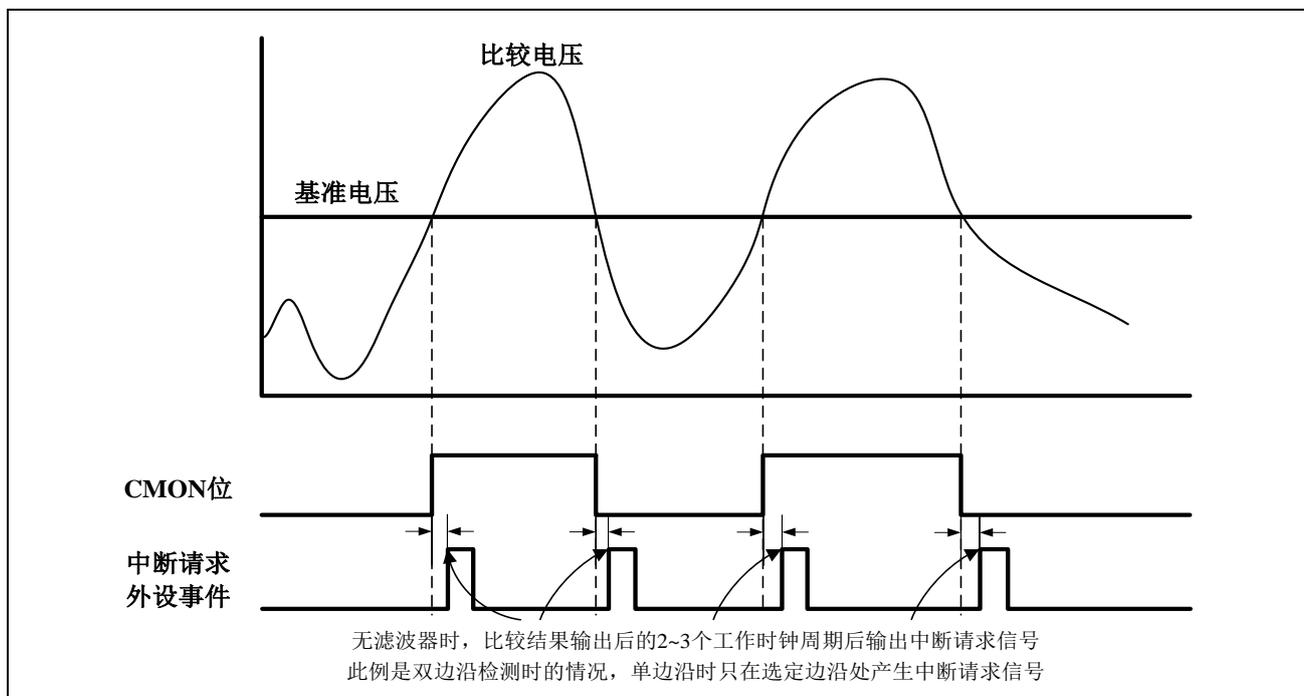


图 13-2 普通比较模式工作示意图

如图 13-2，在普通比较模式中，当比较电压高于基准电压时，CMPn_MDR 寄存器的

CMON 位为 1；当比较电压低于基准电压时，CMON 位为 0。

13.3.2 窗口比较模式

窗口比较模式时，CMP1 和 CMP2 必须同时运行。相关寄存器的设定步骤如下：

- 1) FCG 寄存器的 CMP 位设为 0，关闭电压比较器的模块停止功能。
- 2) 设定 CMP1_VSR 寄存器的 CVSL 位，选择比较电压；
设定 CMP1_VSR 寄存器的 RVSL 位，选择窗口基准低电压；
- 3) 设定 CMP2_VSR 寄存器的 CVSL 位，选择比较电压；
设定 CMP2_VSR 寄存器的 RVSL 位，选择窗口基准高电压。
- 4) CMP2_MDR 寄存器的 CWDE 位设为 1，选择窗口比较模式；
CMP2_MDR 寄存器的 CENB 位设为 1，启动模拟电压比较器 CMP2。
- 5) CMP1_MDR 寄存器的 CENB 位设为 1，启动模拟电压比较器 CMP1。
- 6) 等待电压比较器的稳定时间 tCMP。
- 7) 设定 CMP2_FIR 寄存器的 FCKS 位，选择是否使用数字滤波器；
设定 CMP2_FIR 寄存器的 EDGS、CIEN 位，选择是否允许中断和边沿检测条件。
- 8) 设定 CMP2_OCR 寄存器的 CPOE、COPS 位，设置 VCOUT 的输出；
设定 CMPn_OCR 寄存器的 TWOE、TWOL 位和 CMPn_TWR 寄存器，设置定时器窗口输出。
- 9) CMP2_OCR 寄存器的 COEN 位设为 1，允许模拟电压比较器 CMP2 输出。
CMP1_OCR 寄存器的 COEN 位设为 1，允许模拟电压比较器 CMP1 输出。

在窗口比较模式中，由 CMP2 完成对比较结果的监视、滤波、中断和输出等操作。如图 13-3 所示，当比较电压介于窗口基准低电压和窗口基准高电压之间时，CMP2_MDR 寄存器的 CMON 位为 1；否则 CMP2_MDR 寄存器的 CMON 位为 0。

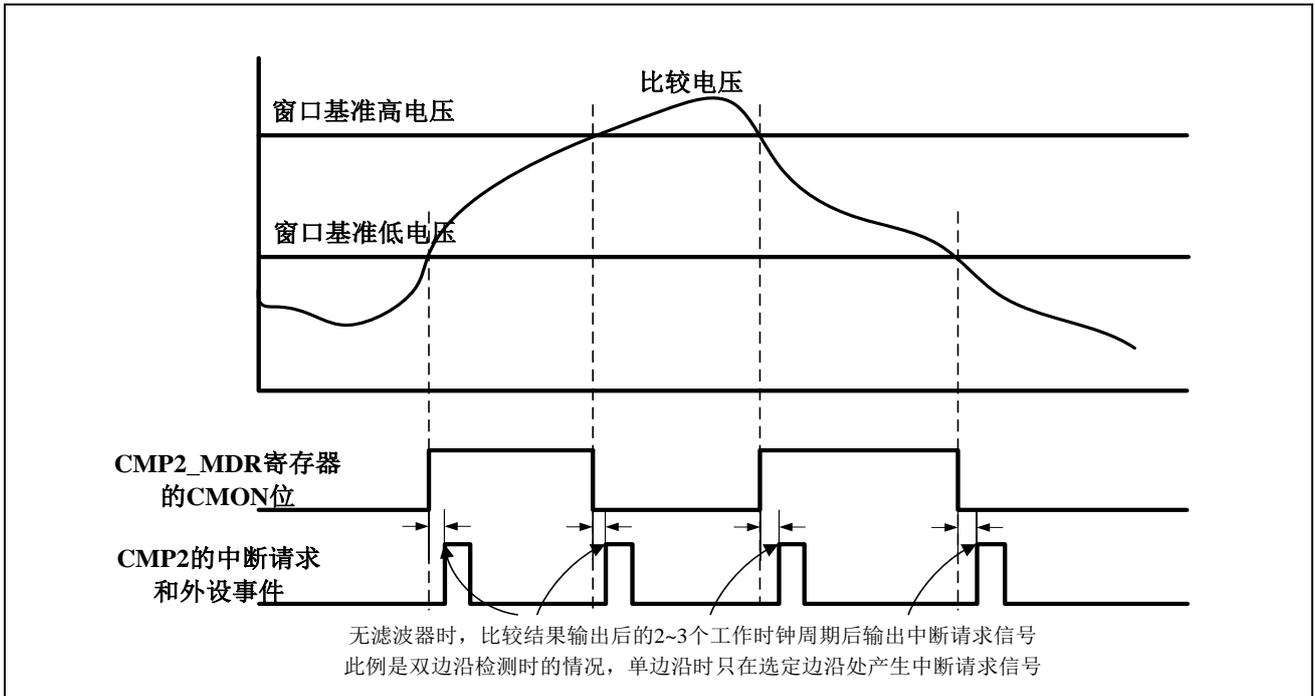


图 13-3 窗口比较模式工作示意图

如图 13-1，CMP2 的比较电压输入 IVCMP2_0 在内部与 CMP1 的正端相连。将 CMP1_VSR 寄存器的 CVSL 位设定为 100b，CMP2_VSR 寄存器的 CVSL 位设定为 001b，并为 CMP1 和 CMP2 设定不同的基准电压即可对 IVCMP2_0 进行窗口比较。如需对其他比较电压输入端口进行窗口比较，可将 CMP1 和 CMP2 的正端端口在外部连接。

13.3.3 定时器窗口输出

普通输出模式（CMPn_OCR 寄存器的 TWOE 位为 0）时，电压比较器的输出只受 CMPn_OCR 寄存器的 COEN 位控制。COEN 位为 1 时允许输出，否则输出禁止并固定为低电平。

定时器窗口输出功能（CMPn_OCR 寄存器的 TWOE 位为 1）时，电压比较器的输出除了受 COEN 位控制外，还受到由 CMPn_TWR1 寄存器位设定的定时器窗口信号的控制。可以通过 CMPn_TWR2 寄存器设定允许输出时定时器窗口信号的极性，并通过 CMPn_OCR 寄存器的 TWOL 位设定禁止输出时定时器窗口输出端的固定电平。

13.3.4 外部管脚输出

可以将经过数字滤波器的比较结果输出到外部端口。通过 CMPn_OCR 寄存器的 CPOE、

COPS 两位可分别设定是否允许输出以及输出极性（正相输出或者反相输出）。复位后 VCOUT 对应的端口为通用端口且为输入状态，因此还必须通过端口寄存器将其设定为 VCOUT 输出功能。

13.3.5 数字滤波器

CMP1 和 CMP2 都有数字滤波器，可对各自的电压比较器的输出进行噪声滤波。数字滤波器按照采样时钟对电压比较器的输出进行采样，在三次采样电平相同后的下一个采样时钟将采样值输出，否则保持输出不变。采样时钟可以通过 CMPn_FIR 寄存器的 FCKS 位选择，当 FCKS 位设为 00b 时数字滤波器关闭。

13.3.6 中断

CMP1 和 CMP2 均可产生中断请求。使用比较器中断时，必须将 CMPn_FIR 寄存器的 CIEN 位设置成 1，并通过 CMPn_FIR 寄存器的 EDGS 位（2'b00 以外的值）设定产生中断的比较器输出边沿。如果还设定了数字滤波和反相输出，那么 EDGS 位设定的则是经过数字滤波以及反相输出后的边沿。

CMP2 中断还可以唤醒停止低功耗模式。设定中断有效（CIEN=1）并且关闭数字滤波和边沿检测，中断将在比较器输出为高电平时发生并唤醒停止低功耗模式。如果还设定了反相输出，那么中断将在反相输出为高电平时发生并唤醒停止低功耗模式。回到工作模式后，请先设定中断无效（CIEN=0）后再进行后续操作。

13.3.7 外设触发事件

和中断请求的产生条件相同，通过检测 CMPn_FIR 寄存器设定的数字滤波器的输出边沿产生触发其他外设的事件信号。但是和中断请求不同的是外设事件总是输出的，与 CMPn_FIR 寄存器的 CIEN 位无关。必须通过目标外设的硬件触发源寄存器启动或关闭事件触发功能。

13.4 注意事项

13.4.1 模块停止功能

CMP 有模块停止功能，通过设定模块停止寄存器可将模块的数字部分关闭。CMP 初始为停止状态，设定模块工作时才可以访问 CMP 寄存器。有关寄存器设定请参考低功耗章节。

13.4.2 模块停止时的动作

CMP 在工作状态进入到模块停止状态时，模块的模拟部分继续保持工作，功耗等同于工作状态。如需进一步降低功耗，请将 CMP_MDR 寄存器的 CENB 位清“0”，以停止 CMP 模拟部分的工作。

13.4.3 停止低功耗模式时的动作

芯片进入停止低功耗模式时，如果 CMP 处于工作状态，在进入停止低功耗模式后将继续保持工作，功耗等同于进入停止低功耗模式之前的水平。如需进一步降低功耗，请在进入停止低功耗模式前将 CENB 位清“0”，使 CMP 停止工作。

13.5 寄存器说明

CMP1 基准地址： 0x4000C800

CMP2 基准地址： 0x4000C810

寄存器名	符号	偏移地址	位宽	复位值
比较器模式设定寄存器	CMPn_MDR	0x00	8	0x00
比较器滤波控制寄存器	CMPn_FIR	0x01	8	0x00
比较器输出控制寄存器	CMPn_OCR	0x02	8	0x00
比较器电压选择寄存器	CMPn_VSR	0x03	8	0x00
比较器定时器窗口输出控制寄存器1	CMPn_TWR1	0x04	8	0x00
比较器定时器窗口输出控制寄存器2	CMPn_TWR2	0x05	8	0x00

表 13-1 CMP 寄存器一览表(n=1,2)

13.5.1 比较器模式设定寄存器 (CMPn_MDR, n=1~2)

复位值: 0x00

b7	b6	b5	b4	b3	b2	b1	b0
CMON	-	-	-	-	-	CWDE	CENB

位	标记	位名	功能	读写
b7	CMON	模拟电压比较器 结果监视	普通比较模式 0: 比较电压 < 基准电压 1: 比较电压 > 基准电压 窗口比较模式 (此位只对CMP2有效) 0: 比较电压 < 窗口基准低电压, 或者 比较电压 > 窗口基准高电压 1: 窗口基准低电压 < 比较电压 < 窗口基准高电压	R
b6~b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	CWDE	比较器窗口模式 选择	0: 普通比较模式 1: 窗口比较模式 注意: 此位只存在于CMP2中。设为窗口比较模式后, 对窗口比较结果的 滤波、边沿检测以及输出等控制均由CMP2完成。	R/W
b0	CENB	模拟电压比较器 工作许可	0: 电压比较器停止 1: 电压比较器工作 注意: 每次将CENB由“0”设为“1”后, 需要等待约300ns的工作稳定时间才 可以进行后续操作。	R/W

13.5.2 比较器滤波控制寄存器 (CMPn_FIR, n=1~2)

复位值: 0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	CIEN	EDGS[1:0]		-	-	FCKS[1:0]	

位	标记	位名	功能	读写
b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6	CIEN	比较器中断许可	0: 禁止比较器中断 1: 允许比较器中断	R/W
b5~b4	EDGS[1:0]	比较器输出边沿 检测选择	0 0: 不检测比较器输出的边沿 0 1: 检测比较器输出的上升沿 1 0: 检测比较器输出的下降沿 1 1: 检测比较器输出的上升沿和下降沿 注意: 改变EDGS[1:0]可能会引起中断或者外设触发事件, 因此请在中断禁止或者外设触发功能无效状态下设定该寄存器。寄存器设定后, 请清除相应的中断标志。	R/W
b3~b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1~b0	FCKS[1:0]	比较器结果滤波 采样选择	0 0: 不使用噪声滤波器 0 1: 使用噪声滤波器, 通过HCLK进行采样 1 0: 使用噪声滤波器, 通过HCLK/8进行采样 1 1: 使用噪声滤波器, 通过HCLK/32进行采样 注意: 请在模拟电压比较器输出禁止 (即COEN位为“0”)时改写FCKS[1:0]。FCKS[1:0]从“00b”切换到其他值时, 请使用经过4次采样后的滤波输出作为中断请求或外设触发事件。 改变FCKS[1:0]可能会引起中断或者外设触发事件, 因此请在中断禁止或者外设触发功能无效状态下设定该寄存器。寄存器设定后, 请清除相应的中断标志。	R/W

13.5.3 比较器输出控制寄存器 (CMPn_OCR, n=1~2)

复位值: 0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	TWOL	TWOE	CPOE	COPS	COEN

位	标记	位名	功能	读写
b7~b5	Reserved	-	读出时为“0”,写入时写“0”	R
b4	TWOL	定时器窗口输出电平选择	0: 定时器窗口输出在输出禁止时固定为低电平 1: 定时器窗口输出在输出禁止时固定为高电平	R/W
b3	TWOE	定时器窗口输出使能	0: 关闭定时器窗口输出功能 (普通输出模式) 比较器输出只受COEN位控制 1: 打开定时器窗口输出功能 比较器输出同时受COEN、TWOL以及CMPn_TWR1, 2控制	R/W
b2	CPOE	VCOUT管脚输出允许	0: 禁止VCOUT输出 1: 允许VCOUT输出	R/W
b1	COPS	比较器输出极性选择	0: 比较器正相输出 1: 比较器反相输出 注意: 请在比较器输出禁止 (即COEN位为 “0”) 时改写COPS。改变COPS位可能会引起中断或者外设触发事件, 因此请在中断禁止或者外设触发功能无效状态下设定该寄存器。寄存器设定后, 请清除相应的中断标志。	R/W
b0	COEN	比较器输出允许	0: 禁止比较器输出 (比较器输出固定成低电平) 1: 允许比较器输出	R/W

13.5.4 比较器电压选择寄存器 (CMPn_VSR, n=1~2)

复位值: 0x00

b7	b6	b5	b4	b3	b2	b1	b0
-	CVSL[2:0]			-	RVSL[2:0]		

位	标记	位名	功能	读写
b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6~b4	CVSL[2:0]	比较电压选择	选择模拟电压比较器的正端输入电压 CMP1_VSR 000: 无比较电压输入 001: 选择IVCMP1_0作为比较电压 010: 选择IVCMP1_1作为比较电压 100: 选择IVCMP2_0作为比较电压 其他: 设定禁止 CMP2_VSR 000: 无比较电压输入 001: 选择IVCMP2_0作为比较电压 010: 选择IVCMP2_1作为比较电压 100: 选择IVCMP2_2作为比较电压 其他: 设定禁止 注意: 请在模拟电压比较器输出禁止(即COEN位为“0”)时改写 CVSL[2:0]。每次改写CVSL[2:0]后请等待300ns再允许比较器输出 (即COEN位设为“1”)。 改变CVSL[2:0]可能会引起中断或者外设触发事件,因此请在中断 禁止或者外设触发功能无效状态下设定该寄存器。寄存器设定 后,请清除相应的中断标志。	R/W
b3	Reserved	-	读出时为“0”,写入时写“0”	R
b2~b0	RVSL[2:0]	基准电压选择	选择模拟电压比较器的负端输入电压 CMP1_VSR 000: 无基准电压输入 001: 选择IVREF1作为基准电压 010: 选择内部基准电压(Vref)作为基准电压 100: 无基准电压输入 其他: 设定禁止 CMP2_VSR 000: 无基准电压输入 001: 选择IVREF2作为基准电压 010: 选择内部基准电压(Vref)作为基准电压 100: 选择IVCMP2_2作为基准电压 其他: 设定禁止	R/W

注意:

请在模拟电压比较器输出禁止（即COEN位为“0”）时改写

RVSL[2:0]。每次改写RVSL[2:0]后请等待300ns再允许比较器输出

（即COEN位设为“1”）。

改变RVSL[2:0]可能会引起中断或者外设触发事件，因此请在中断

禁止或者外设触发功能无效状态下设定该寄存器。寄存器设定

后，请清除相应的中断标志。

13.5.5 比较器定时器窗口输出控制寄存器 1 (CMPn_TWR1, n=1~2)

复位值: 0x00

b7	b6	b5	b4	b3	b2	b1	b0
CTWS7	CTWS6	CTWS5	CTWS4	CTWS3	CTWS2	CTWS1	CTWS0

位	标记	位名	功能	读写
b7	CTWS7	定时器窗口7 使能位	0: 不选择TIM4_OUH作为窗口信号 1: 选择TIM4_OUH作为窗口信号	R/W
b6	CTWS6	定时器窗口6 使能位	0: 不选择TIM4_OUL作为窗口信号 1: 选择TIM4_OUL作为窗口信号	R/W
b5	CTWS5	定时器窗口5 使能位	0: 不选择TIM4_OVH作为窗口信号 1: 选择TIM4_OVH作为窗口信号	R/W
b4	CTWS4	定时器窗口4 使能位	0: 不选择TIM4_OVL作为窗口信号 1: 选择TIM4_OVL作为窗口信号	R/W
b3	CTWS3	定时器窗口3 使能位	0: 不选择TIM4_OWH作为窗口信号 1: 选择TIM4_OWH作为窗口信号	R/W
b2	CTWS2	定时器窗口2 使能位	0: 不选择TIM4_OWL作为窗口信号 1: 选择TIM4_OWL作为窗口信号	R/W
b1	CTWS1	定时器窗口1 使能位	CMP1 0: 不选择TIMB_2_PWM作为窗口信号 1: 选择TIMB_2_PWM作为窗口信号 CMP2 0: 不选择TIMB_4_PWM作为窗口信号 1: 选择TIMB_4_PWM作为窗口信号	R/W
b0	CTWS0	定时器窗口0 使能位	CMP1 0: 不选择TIMB_1_PWM作为窗口信号 1: 选择TIMB_1_PWM作为窗口信号 CMP2 0: 不选择TIMB_3_PWM作为窗口信号 1: 选择TIMB_3_PWM作为窗口信号	R/W

13.5.6 比较器定时器窗口输出控制寄存器 2 (CMPn_TWR2, n=1~2)

复位值: 0x00

b7	b6	b5	b4	b3	b2	b1	b0
CTWP7	CTWP6	CTWP5	CTWP4	CTWP3	CTWP2	CTWP1	CTWP0

位	标记	位名	功能	读写
b7~b0	CTWS7~0	定时器窗口 输出控制	CTWP7~0分别用于设定CMPn_TWR1.CTWS7~0选定的各窗口信号的有效电平。 0: 窗口信号为低电平时允许比较器输出 1: 窗口信号为高电平时允许比较器输出	R/W

14 模数转换模块（ADC）

14.1 简介

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。它最大拥有 12 个模拟输入通道，可以转换来自外部引脚、以及芯片内部的模拟信号。这些模拟输入通道可以任意组合成一个序列，一个序列可以进行单次扫描转换，或连续扫描转换。ADC 模块还搭载模拟看门狗功能，对任意指定通道的转换结果进行监视，检测是否超出用户设定的阈值。

ADC 主要特性

- 高性能
 - 可配置 12 位、10 位和 8 位分辨率
 - A/D 转换时钟 ADCLK 的频率可以选择为周边时钟 HCLK 的 1, 2, 4, 8, 16 或 32 分频
 - 支持 1MSPS 采样率
 - 采样时间可编程
 - 各通道独立数据寄存器
 - 数据寄存器可配置数据对齐方式
 - 模拟看门狗，监视转换结果
 - 不使用时可以将 ADC 模块设定成停止状态
- 模拟输入通道
 - 最大 12 个外部模拟输入通道
 - 1 个内部模拟检测通道，包括内部基准电压和内置温度传感器输出
- 转换开始条件
 - 软件设置转换开始
 - 周边外设同步触发转换开始
 - 外部引脚触发转换开始
- 转换模式
 - 2 个扫描序列 A、B，可任意指定单个或多个通道

- 序列 A 单次扫描
- 序列 A 连续扫描
- 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
- 中断与事件信号输出
 - 序列 A 扫描结束中断和事件 ADC_EOCA
 - 序列 B 扫描结束中断和事件 ADC_EOCB
 - 模拟看门狗 0 比较中断和事件 ADC_CMP0
 - 模拟看门狗 1 比较中断和事件 ADC_CMP1
 - 上述的 4 个事件输出都可启动 DMA，仅搭载了 DMA 的产品支持

14.2 ADC 系统框图

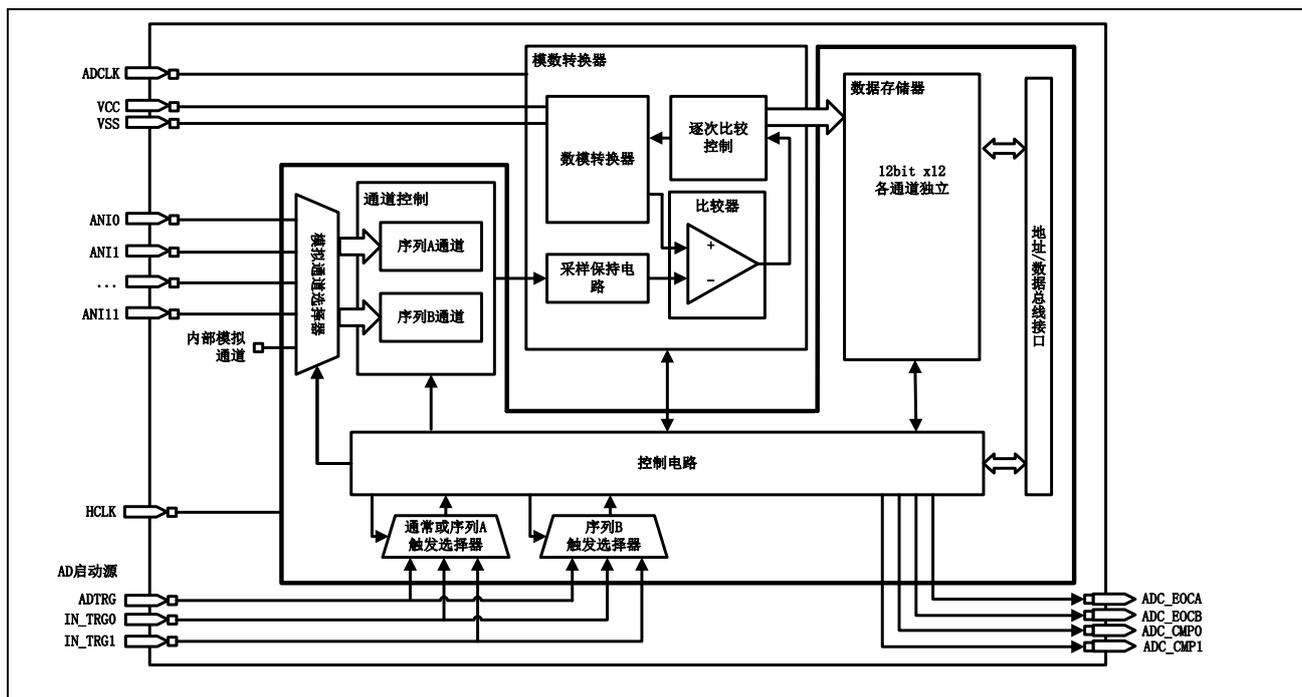


图 14-1 ADC 框图

引脚名	功能
VDD, VSS	电源, ADC 的基准电压 VREFH/VREFL 与 VDD/VSS 复用
ANI0~ANI11	模拟输入
内部模拟通道	内部基准电压 (约 1.575V) 或者内置温度传感器输出
ADTRG	外部引脚启动触发输入
IN_TRG0	内部启动触发输入
IN_TRG1	

表 14-1 各 ADC 输入信号说明

14.3 功能说明

14.3.1 ADC 时钟

ADC 模块需要使用 2 个时钟：模拟电路时钟 ADCLK，数字接口时钟 HCLK。ADCLK 可以设置为 HCLK 的 1, 2, 4, 8, 16 或 32 分频。具体请参考【4 时钟控制器 (CMU)】一章中 AD 时钟配置寄存器 (CMU_PERICKSEL) 的说明。

注意：

- ADCLK 的频率请设置在 1MHz~32MHz 以内。

14.3.2 通道选择

ADC 模块有多个模拟输入通道，可配置为两个序列：序列 A，序列 B 进行转换。序列 A 和 B 配有独立的通道选择寄存器 ADC_CHSELRA0，ADC_CHSELRB0。寄存器每位代表一个通道，如 bit0 位写 1 表示转换 CH0，写 0 表示不转换 CH0。寄存器位与模拟通道的对应关系请参考寄存器 ADC_CHSELRA0、B0 的说明。两个序列可独立选择任意 1 个或多个通道进行转换。例如：ADC_CHSELRA0 设置为 0x0055，ADCHSELRB0 设置为 0x0002，则序列 A 的触发条件发生时，将依次转换 CH0，CH2，CH4 和 CH6 这 4 个通道。序列 B 的触发条件发生时，将转换 CH1 这一个通道。

其中，ANI11 与内部模拟通道共用通道 11。也就是说，当需要转换 ANI11，或者内部模拟通道时，需要先设置扩展通道寄存器 ADC_EXCHSELR。选择 ANI11 则 ADC_EXCHSELR.EXCHSEL 位写 0，选择内部模拟通道则 ADC_EXCHSELR.EXCHSEL 位写 1。然后再将通道选择寄存器 ADC_CHSELRA0 或 B0 的 bit11 位写 1，表示转换通道 11。转换结果都保存在 ADC_DR11 中。

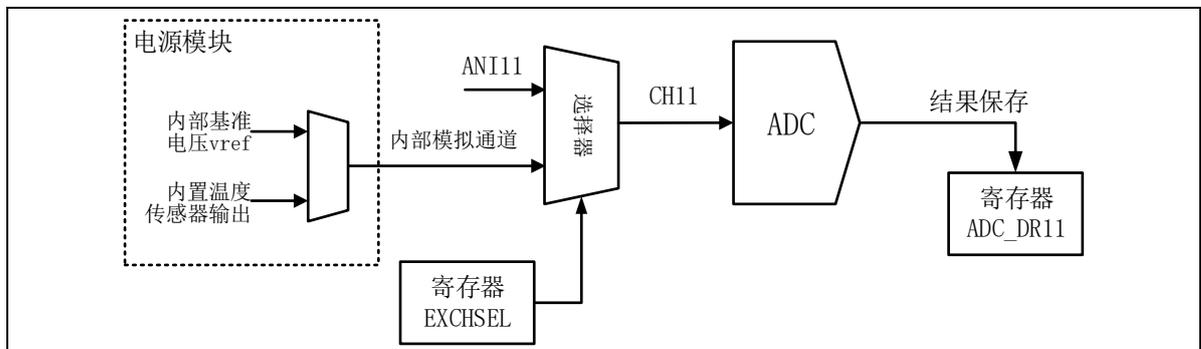


图 14-2 内部模拟通道选择

内部模拟通道的模拟量由电源模块产生，可以是内部基准电压，或者内置温度传感器。

由电源控制寄存器 PWR_PWRC 选择，请参考电源控制（PWC）章节说明。

注意：

- 不要在序列 A 和 B 中选择相同的通道。对于不存在的通道，请不要设置相应的寄存器，保持其复位后的状态。

14.3.3 触发源选择

序列 A，序列 B 独立选择触发源。可选的触发源包括外部端口 ADTRG，内部事件 IN_TRG0,IN_TRG1。其中，端口 ADTRG 下降沿输入有效。IN_TRG0,IN_TRG1 由寄存器 ADC_ITRGSELR0, ADC_ITRGSELR1 设置，可以选择芯片内部丰富的事件源。此外，写寄存器 ADC_STR 可生成软件触发信号，软件触发只能在 ADC 处于待机状态时使用，并且只适用于序列 A。

14.3.4 序列 A 单次扫描模式

A/D 控制寄存器 ADC_CR0.MS[1:0]设为 00b 选择序列 A 单次扫描模式。

该模式下，当寄存器 ADC_TRGSR 选择的序列 A 启动条件发生，或者 ADC_STR.STRT 位写 1 软件触发，ADC 启动，对序列 A 通道选择寄存器 ADC_CHSELRA0 中选择的所有通道依次进行采样和转换，转换结果存入相应的数据寄存器 ADC_DR 中。ADC 转换过程中 ADC_STR.STRT 保持为 1，当所有通道转换结束后自动清 0，ADC 进入转换待机状态，等待下次触发条件的发生。

当所有通道转换结束时，序列 A 转换结束标志位 ADC_ISR.EOCAL 置 1，并产生序列 A 转换结束事件 ADC_EOCA，可以用此事件启动 DMA。若 ADC_ICR.EOCAIEN 为 1，中断许可的状态下，同时还产生序列 A 转换结束中断请求。

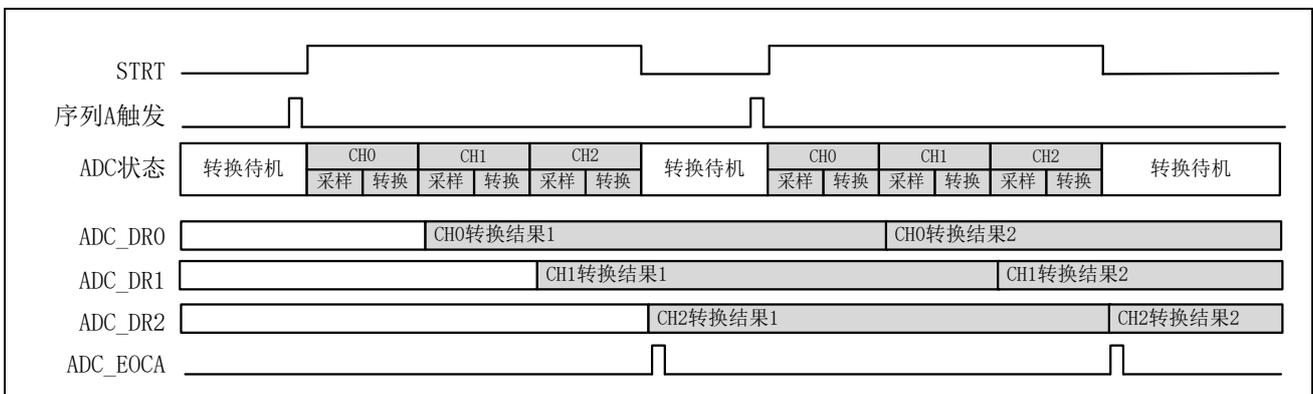


图 14-3 序列 A 单次扫描模式

序列 A 单次扫描模式的软件流程：

1. 确认 ADC_STR.STRT 为 0，ADC 处于转换待机状态。
2. A/D 控制寄存器 ADC_CR0.MS[1:0] 设为 00b 选择序列 A 单次扫描模式。
3. 设置序列 A 通道选择寄存器 ADC_CHSELRA0。
4. 设置采样时间寄存器 ADC_SSTR。
5. ADC_STR.STRT 写 1 软件触发序列 A，或者设置寄存器 ADC_TRGSR 选择序列 A 触发条件。
6. 查询序列 A 转换结束标志位 EOCAF。
7. 读取各通道数据寄存器 ADC_DR。
8. 写 0 清除 EOCAF 标志位，为下次转换准备。

上面的步骤 6~8 的 CPU 查询方式也可以替换成中断方式，利用 ADC_EOCA 中断来处理转换数据。或者利用 ADC_EOCA 事件启动 DMA 读取数据。

14.3.5 序列 A 连续扫描模式

A/D 控制寄存器 ADCR0.MS[1:0] 设为 01b 选择序列 A 连续扫描模式。

序列 A 连续扫描模式与序列 A 单次扫描模式动作类似，不同点在于，连续模式在所用通道转换结束后不是进入转换待机状态，而是重新开始转换序列 A。STRT 位也不会自动清 0。

当需要停止连续扫描时，对 STRT 位写 0，并读 STRT 确认为 0 以判断 ADC 进入转换待机状态。

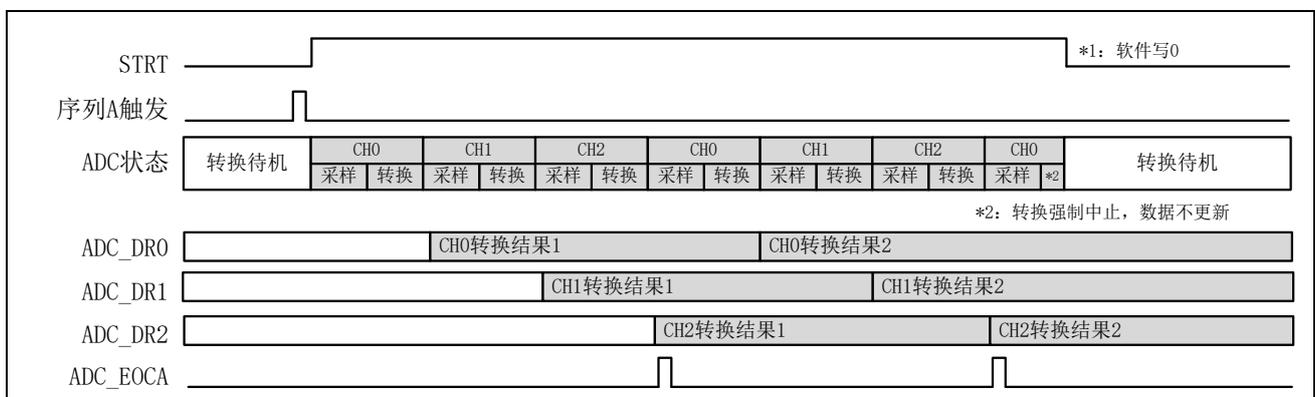


图 14-4 序列 A 连续扫描

序列 A 连续扫描模式的软件流程：

1. 确认 ADC_STR.STRT 为 0，ADC 处于转换待机状态。

2. A/D 控制寄存器 ADC_CR0.MS[1:0] 设为 01b 选择序列 A 连续扫描模式。
3. 设置序列 A 通道选择寄存器 ADC_CHSELRA0。
4. 设置采样时间寄存器 ADC_SSTR。
5. ADC_STR.STRT 写 1 软件触发序列 A，或者设置寄存器 ADC_TRGSR 选择序列 A 触发条件。
6. 查询序列 A 转换结束标志位 EOCAF。
7. 读取各通道数据寄存器 ADC_DR。
8. 写 0 清楚 EOCAF 标志位，为下次转换准备。
9. 不需要继续转换时，对 STRT 位写 0，并读 STRT 确认为 0 以判断 ADC 进入转换待机状态。

上面的步骤 6~8 的查询方式也可以替换成中断方式，利用 ADC_EOCA 中断来处理转换数据。或者利用 ADC_EOCA 事件启动 DMA 读取数据。

注意：

- 由于是连续转换，每次扫描的间隔比较短，特别是只选择 1 个通道转换时。推荐使用 ADC_EOCA 事件启动 DMA 读取数据，避免查询方式下处理不及时导致数据丢失。

14.3.6 双序列扫描模式

A/D 控制寄存器 ADC_CR0.MS[1:0] 设为 10b 或 11b 选择双序列扫描模式，即序列 A 与序列 B 都可由各自选择的触发条件来启动扫描。

当 MS[1:0]=10b 时，序列 A 和 B 等效于两个独立的单次扫描序列。MS[1:0]=11b 序列 A 为连续扫描模式，B 为单次扫描模式。

序列 A 由 ADC_TRGSR.TRGSELA[2:0] 选择触发源，由 ADC_CHSELRA0 选择转换的通道。序列 B 由 ADC_TRGSR.TRGSELB[2:0] 选择触发源，由 ADC_CHSELRB0 选择转换的通道。

当序列 A 全部通道转换结束时，序列 A 转换结束标志位 ADC_ISR.EOCAF 置 1，并产生序列 A 转换结束事件 ADC_EOCA，若 ADC_ISCR.EOCAIEN 为 1，中断许可的状态下，同时产生序列 A 转换结束中断请求。当序列 B 全部通道转换结束时，序列 B 转换结束标志位 ADC_ISR.EOCBF 置 1，并产生序列 B 转换结束事件 ADC_EOCB，若

ADC_ISR.EOCBIEN 为 1，中断许可的状态下，同时产生序列 B 转换结束中断请求。
双序列扫描模式下，当序列 A 与序列 B 发生竞争时，序列 B 将会被优先处理，即序列 B 优先级高于序列 A。具体情况请参看下表。

A/D转换	触发信号发生	处理方式	
		ADC_CR1.RSCHSEL=0	ADC_CR1.RSCHSEL=1
序列A转换过程中	序列A触发	触发信号无效	
	序列B触发	1) 序列A的转换被中断，开始序列B转换 2) 序列B的转换完成后，序列A从被中断的通道开始继续转换	1) 序列A的转换被中断，开始序列B转换 2) 序列B的转换完成后，序列A从第一个通道开始重新转换
序列B转换过程中	序列A触发	序列B全部通道转换完成后，开始序列A转换	
	序列B触发	触发信号无效	
AD空闲中，序列A，B同时触发		序列B先启动，全部通道转换完成后，开始序列A转换	

表 14-2 序列 A 和 B 的各种竞争

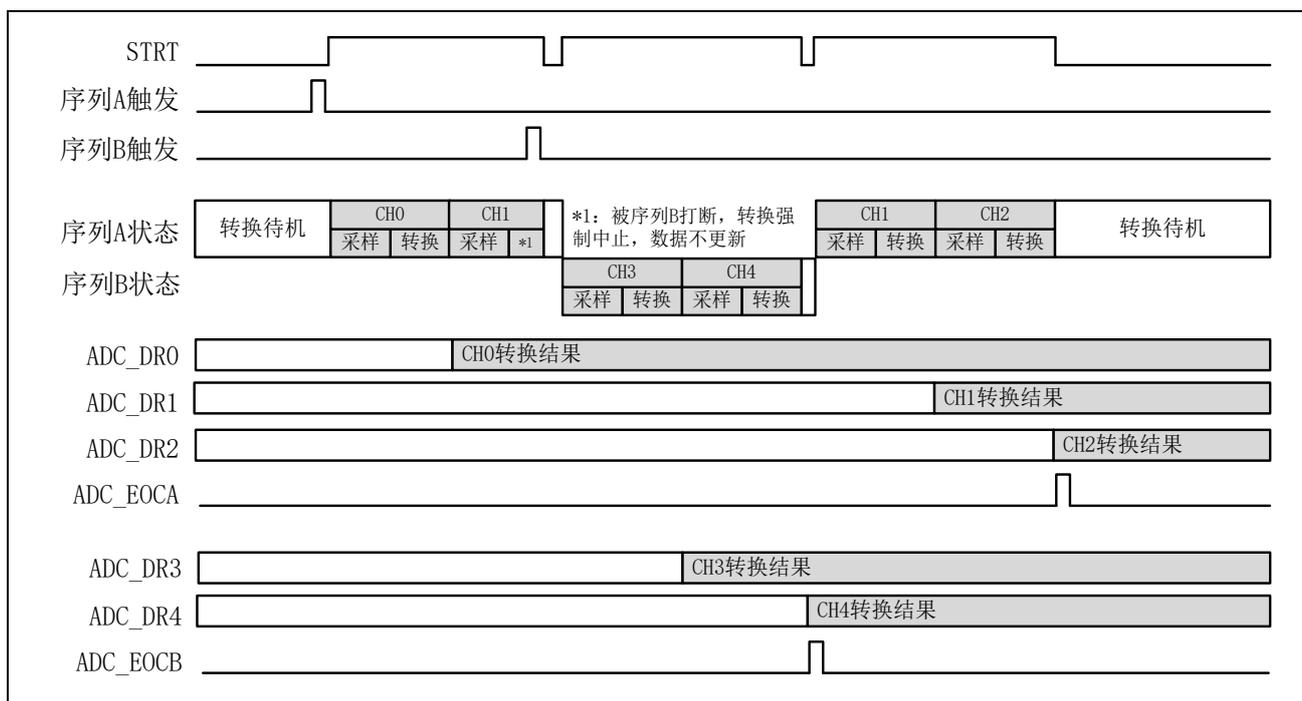


图 14-5 双序列扫描模式 (RSCHSEL=0 序列 A 从被中断通道重新启动)

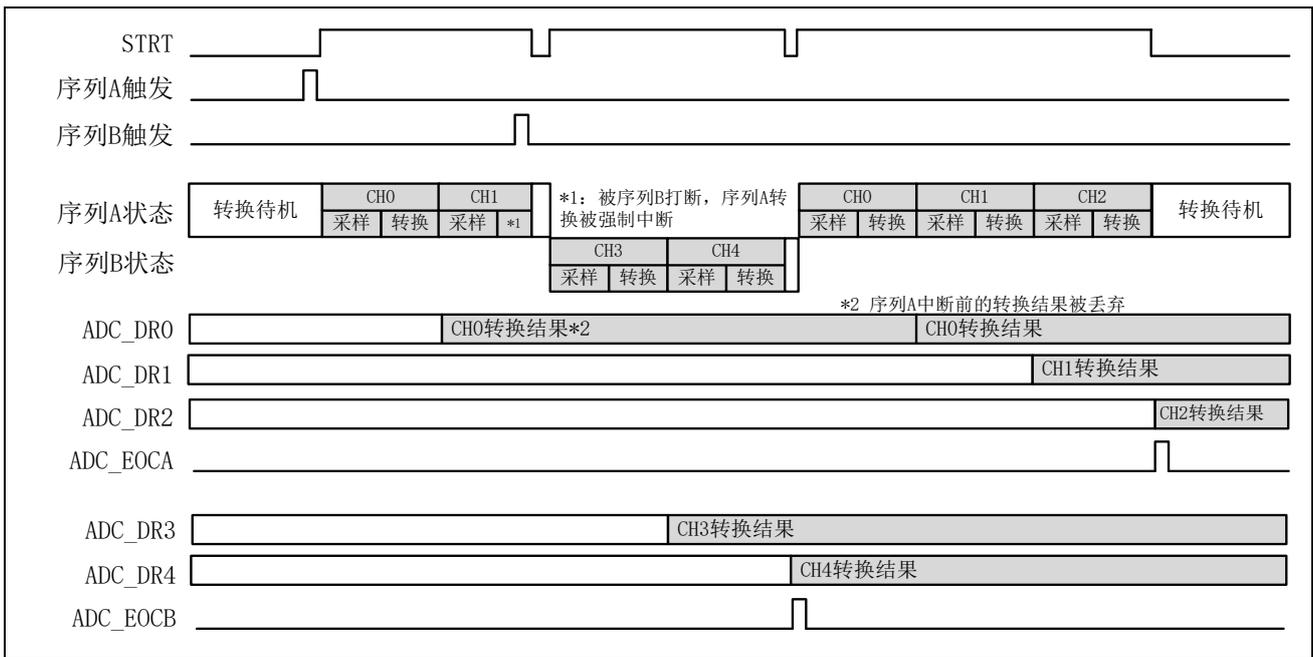


图 14-6 双序列扫描模式 (RSCHSEL=1 序列 A 从第一个通道重新启动)

双序列扫描模式的软件流程:

1. 确认 ADC_STR.STRT 为 0, ADC 处于转换待机状态。
2. A/D 控制寄存器 ADC_CR0.MS[1:0] 设为 10b 或 11b 选择双序列扫描模式。
3. 设置寄存器 ADC_CR1.RSCHSEL 选择序列 A 被打断后启动方式。
4. 设置序列 A 通道选择寄存器 ADC_CHSELRA0。
5. 设置序列 B 通道选择寄存器 ADC_CHSELRB0。
6. 设置采样时间寄存器 ADC_SSTR。
7. 设置寄存器 ADC_TRGSR 选择序列 A 和 B 触发条件。
8. 通过查询 EOCAF, EOCBF, 或者 ADC_EOCA, ADC_EOCB 中断, 或者启动 DMA 在序列 A 或 B 转换结束后处理转换数据。

注意:

- 不要在序列 A 和 B 中选择相同的通道。序列 A 和 B 不要选择相同的触发源。

14.3.7 模拟看门狗功能

模拟看门狗功能是指在通道的 A/D 转换结束时对转换结果进行比较, 本 ADC 支持 2 个比较窗口: 比较窗口 0、比较窗口 1。以比较窗口 0 为例, 如下图所示, 若转换结果在保护区域内, 则生成看门狗比较中断和事件 ADC_CMP0。

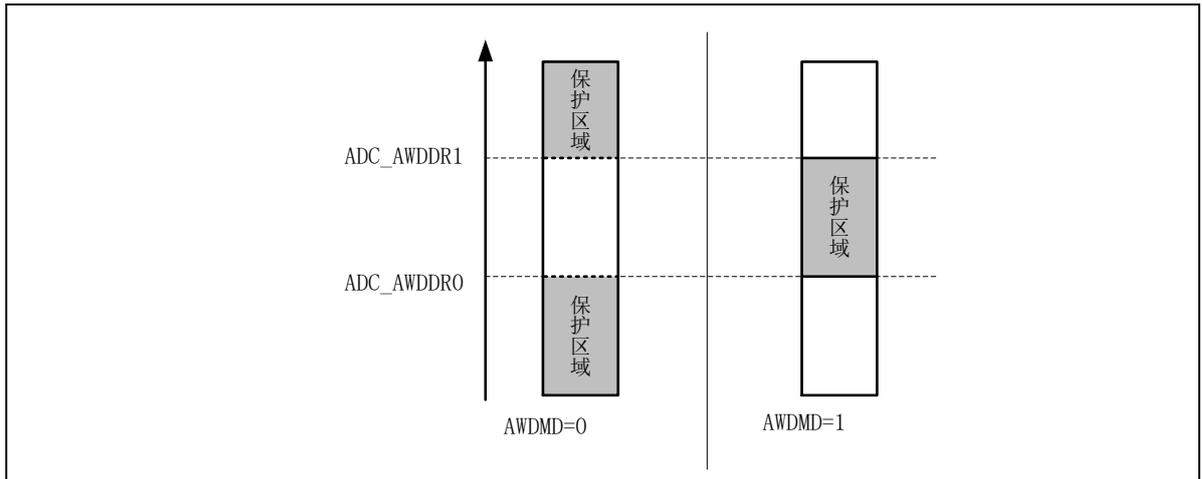


图 14-7 模拟看门狗保护区域（比较条件）

使用模拟看门狗功能的软件流程，以比较窗口 0 为例：

1. 设置阈值寄存器 AD_AWD0DR0, ADC_AWD0DR1
2. 设置比较通道寄存器 ADC_AWD0CHSR, 选择需要比较的通道
3. 设置 ADC_AWDCR.AWD0MD 选择保护区域
4. 设置 ADC_AWDCR.AWD0IEN 中断许可位。
5. 设置 ADC_AWDCR.AWD0EN 允许窗口 0 比较功能
6. 根据前文，设置扫描模式，启动 AD 进行转换。
7. 在 ADC_CMP0 中断中，或 A/D 转换结束后，查询比较状态寄存器 ADC_AWDSR.AWD0F，对比较结果进行做相应的处理。

比较窗口 1 的使用方法与比较窗口 0 相同。

2 个比较窗口可以组合使用。当窗口组合功能有效时，在窗口 1 选择的通道转换结束时，比较中断 ADC_CMP1 输出的不再是窗口 1 单独的比较结果，而是按照设置，对窗口 0 和窗口 1 的比较结果进行逻辑或，逻辑与，或者逻辑异或后产生的组合结果。

使用窗口组合比较功能的软件流程与窗口单独使用时相似，需要在设置好窗口 0 和窗口 1 之后，追加设置 ADC_AWDCR.AWDCM[1:0]寄存器选择组合方式。

14.3.8 模拟输入的采样时间和转换时间

在单次扫描模式中，A/D 转换可选择软件设置，内部触发 IN_TRG0,1 和外部引脚触发 ADTRG 启动方式。在扫描转换延迟时间 t_D 后，ADC 模块才开始对模拟通道进行采样和转换，全部转换结束后经过转换结束延迟时间 t_{ED} 后进入待机状态，一次扫描才最终

完成。连续扫描模式与单次扫描相似，只是在序列的第二次以及之后的启动时没有 t_D 时间。

单个通道的转换时间 $t_{CONV} = t_{SPL} + t_{CMP}$ 。其中 t_{SPL} 表示模拟输入的采样时间，可以根据输入阻抗设置寄存器 ADC_SSTR 调整采样周期数。 t_{CMP} 表示逐次比较时间，12 位精度 13 个 ADCLK，10 位精度 11 个 ADCLK，8 位精度 9 个 ADCLK。

一次扫描转换的时间 $t_{SCAN} = t_D + \sum t_{CONV} + t_{ED}$ 。其中 $\sum t_{CONV}$ 表示所有扫描通道的转换时间总和。

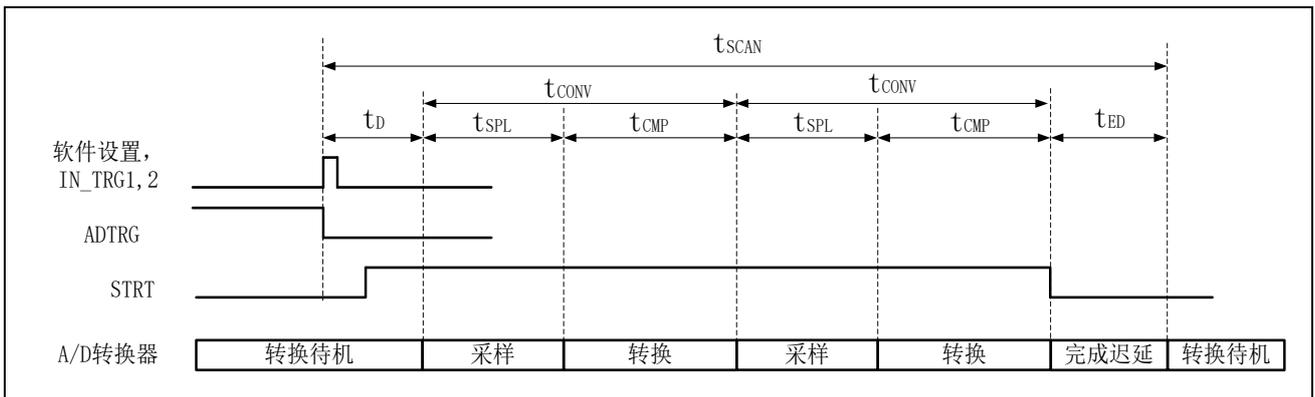


图 14-8 A/D 转换时间

标记	说明		条件			
			同步周边触发	外部引脚触发	软件触发	
t_D	扫描开始处理时间	ADC空闲中, 启动转换	4 ADCLK	2 HCLK+ 4 ADCLK	3 ADCLK	
		序列A转换中被打断, 启动序列B转换	5 ADCLK	2 HCLK + 5 ADCLK	-	
t_{CONV}	t_{SPL}	采样时间	ADC_SSTR.SST[7:0] x ADCLK			
		逐次转换时间	12位分辨率	13 ADCLK		
			10位分辨率	11 ADCLK		
	8位分辨率	9 ADCLK				
t_{ED}	扫描完成处理时间		3 ADCLK			
t_{TD}	最小连续触发时间间隔		$\sum t_{CONV} + 6 ADCLK$			

表 14-3 AD 转换时间

14.3.9 A/D 数据寄存器自动清除功能

当 ADC_CR0.CLREN 为“1”，A/D 转换数据寄存器 ADC_DR 被 CPU 或者 DMA 读取后将自动被清除为“0x0000”。

使用此功能能够检测到数据寄存器 ADC_DR 是否被更新。以下将举例说明。

- 当 ADC_CR0.CLREN 为“0”，自动清除功能禁止的情况下，A/D 转换结果(0x0222) 由于某种原因未被更新到数据寄存器 ADC_DR 中，ADC_DR 寄存器继续保持前次转换值 (0x0111)。A/D 转换完成中断处理中将读取未被更新的 (0x0111)。为检测 A/D 转换值是否被更新，需要额外将前次转换值存储到 RAM 中，通过对比转换结果来判断。
- 如果 ADC_CR0.CLREN 为“1”，自动清除功能许可的情况下，前次的转换结果 (0x0111) 被 CPU 或 DMA 读取后，ADC_DR 寄存器将自动被清除为“0x0000”，此后进行 A/D 转换后，如果转换结果未被正确传送到 ADC_DR 寄存器中，ADC_DR 寄存器将保持“0x0000”，这时，如果在中断处理中读出了“0x0000”，将很容易判断 A/D 转换数据是否正确被存储。

14.3.10 运算放大器 OPA

搭载运算放大器 OPA 时，可以设置寄存器 ADC_OPACR 使能 OPA。OPA 可以独立运行，如图 14-9 所示。

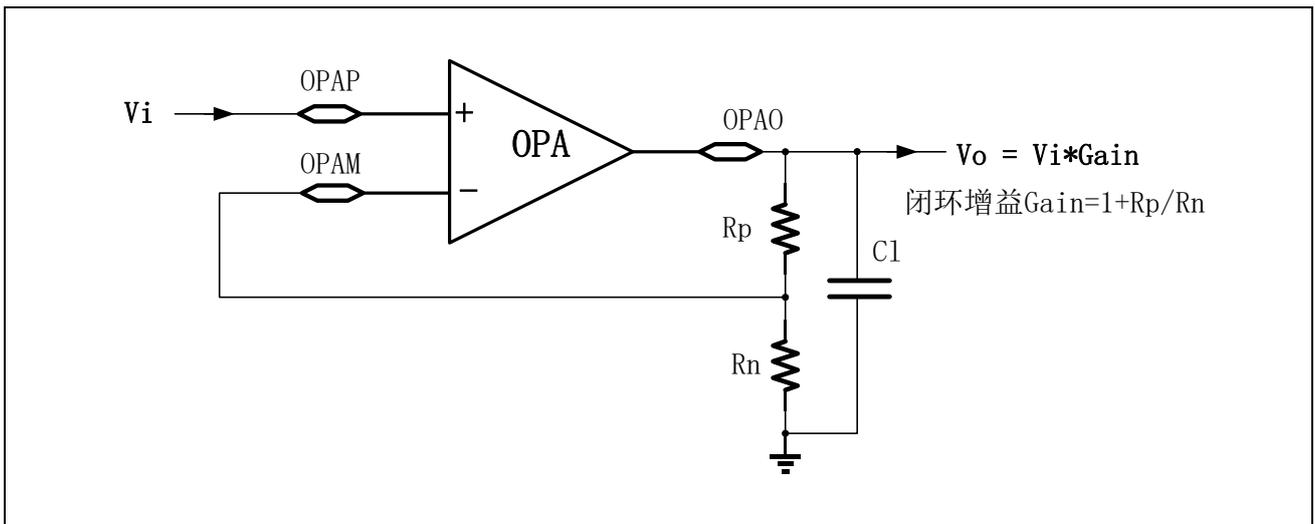


图 14-9 OPA 工作示意图

OPA 可以与 ADC 或者 CMP 组合使用。如图 14-10 所示，OPA 的输出引脚 OPAO1，OPA2 与模拟通道引脚复用的，因此可用通过这些模拟通道对 OPA 的输出进行 AD 转

换。同时，OPA 的输出与电压比较器的输入引脚复用，因此通过这些引脚使用 CMP 对 OPA 的输出进行电压比较。

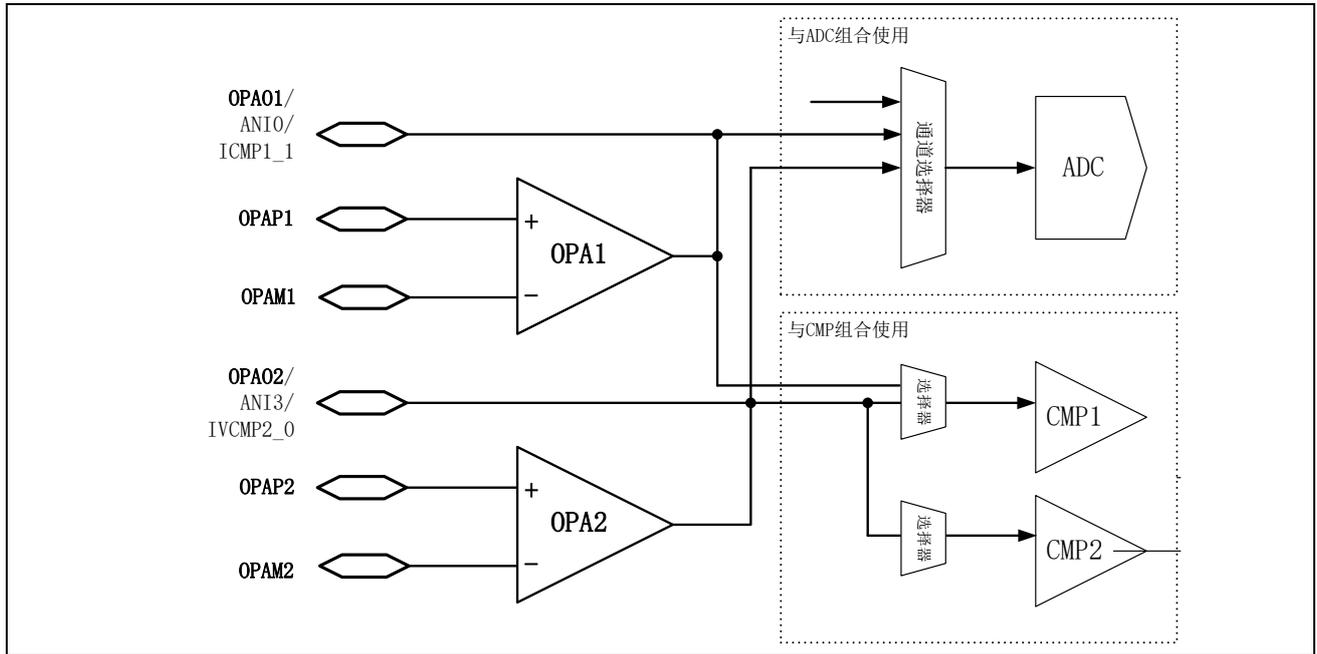


图 14-10 OPA 与 ADC/CMP 组合工作示意图

14.3.11 中断和事件信号输出

ADC 模块可以产生以下四种事件输出，每个事件发生时，若对应的中断许可寄存器设置为有效时，同时输出中断申请。

1. 序列 A 扫描结束 ADC_EOCA，对应中断许可寄存器 ADC_ICR.EOCAIEN
2. 序列 B 扫描结束 ADC_EOCB，对应中断许可寄存器 ADC_ICR.EOCBIEN
3. 模拟看门狗窗口 0 比较 ADC_CMP0，对应中断许可寄存器 ADC_AWDCR.AWD0IEN
4. 模拟看门狗窗口 1 比较 ADC_CMP1，对应中断许可寄存器 ADC_AWDCR.AWD1IEN

上述四种事件输出，可以启动其他片内周边模块，包括启动 DMA 传送。利用 DMA 传送可以连续读取 A/D 转换结果，不需要软件干预，完全由硬件实现，降低 CPU 的负荷。DMA 的设定请参考 DMA 说明章节。上述四个事件信号输出和中断使能位的控制无关，只要条件发生就会输出。

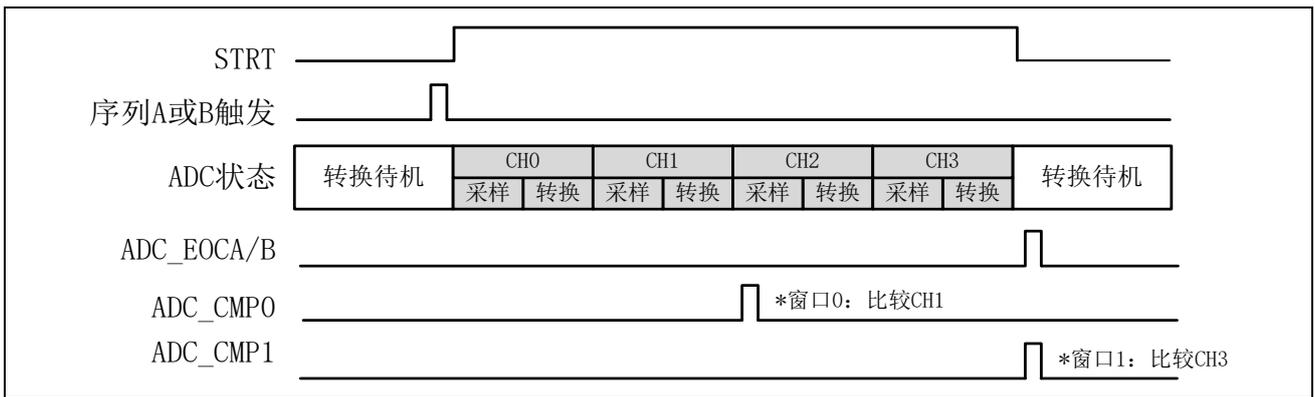


图 14-11 ADC 中断和事件输出时序

14.4 寄存器说明

寄存器一览

BASE_ADDR: 0x40000 b800

寄存器名	符号	偏移地址	位宽	复位值
A/D启动寄存器	ADC_STR	0x00	8	0x00
A/D控制寄存器0	ADC_CR0	0x02	16	0x0000
A/D控制寄存器1	ADC_CR1	0x04	16	0x0000
A/D转换开始触发寄存器	ADC_TRGSR	0x0a	16	0x0000
A/D通道选择寄存器A0	ADC_CHSELRA0	0x0c	16	0x0000
A/D通道选择寄存器B0	ADC_CHSELRB0	0x10	16	0x0000
A/D扩展通道选择寄存器	ADC_EXCHSELR	0x18	8	0x00
A/D采样周期寄存器	ADC_SSTR	0x20	8	0x0b
A/D中断状态寄存器	ADC_ISR	0x44	8	0x00
A/D中断许可寄存器	ADC_ICR	0x45	8	0x03
A/D中断状态复位寄存器	ADC_ISCLRR	0x46	8	0x00
A/D数据寄存器	ADC_DRx, x=0~11	0x50+2*x	16	0x0000
模拟看门狗控制寄存器	ADC_AWDCR	0xa0	16	0x0000
模拟看门狗状态寄存器	ADC_AWDSR	0xa2	8	0x00
模拟看门狗状态复位寄存器	ADC_AWDSCLRR	0xa3	8	0x00
模拟看门狗窗口0阈值寄存器	ADC_AWD0DR0	0xa4	16	0x0000
	ADC_AWD0DR1	0xa6	16	0xffff
模拟看门狗窗口0比较通道选择寄存器	ADC_AWD0CHSR	0xa8	8	0x00
模拟看门狗窗口1阈值寄存器	ADC_AWD1DR0	0xac	16	0x0000
	ADC_AWD1DR1	0xae	16	0xffff
模拟看门狗窗口1比较通道选择寄存器	ADC_AWD1CHSR	0xb0	8	0x00
运算放大器控制寄存器	ADC_OPACR	0xcc	16	0x0000

表 14-4 ADC 寄存器一览 1/2

BASE_ADDR: 0x4000 0c60

寄存器名	符号	偏移地址	位宽	复位值
A/D启动片内触发源0选择寄存器	ADC_ITRGSELR0	0x00	32	0x0000007f
A/D启动片内触发源1选择寄存器	ADC_ITRGSELR1	0x04	32	0x0000007f

表 14-5 ADC 寄存器一览 2/2

14.4.1 A/D 启动寄存器 ADC_STR

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	STRT

位	标记	位名	功能	R/W
b7-b1	—	—	读出时为0，写入时写0	R/W
b0	STRT	AD转换开始	<p>0：停止转换</p> <p>1：开始转换</p> <p>置“1”条件：</p> <p>（1）软件设置</p> <p>（2）选择的触发条件发生</p> <p>（3）A/D转换中</p> <p>清“0”条件：</p> <p>（1）软件清“0”</p> <p>（2）转换结束后自动清“0”</p> <p>注意：</p> <ul style="list-style-type: none"> – STRT为0（ADC空闲中）时写1产生软件触发，启动序列A。 – STRT为1（ADC动作中）时写1无效。 – STRT为1时写0表示强制停止AD转换。若ADC_TRGSR设置了0x0以外的值且又不希望ADC再启动，请先将ADC_TRGSR设置为0，再对STRT写0。 – STRT为0时写0无效。 	R/W

14.4.2 A/D 控制寄存器 0 ADC_CR0

复位值：0x0000

b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	—	—	—	—	—
b7	b6	b5	b4	b3	b2	b1	b0
DFMT	CLREN	ACCSEL[1:0]	—	—	—	MS[1:0]	—

位	标记	位名	功能	R/W
b15-b8	—	—	读出时为0，写入时写0	
b7	DFMT	数据格式	0：转换数据右对齐 1：转换数据左对齐	R/W
b6	CLREN	数据寄存器自动清除	0：自动清除禁止 1：自动清除许可 注意：CLREN位设定后，寄存器ADC_DRx将在CPU、DMA等读取后被自动清除。自动清除功能主要用于检测数据寄存器是否更新。	R/W
b5-b4	ACCSEL[1:0]	分辨率选择	00：12位分辨率 01：10位分辨率 10：8位分辨率 11：禁止设定	R/W
b3-b2	—	—	读出时为0，写入时写0	R/W
b1-b0	MS[1:0]	模式选择	00：序列A单次扫描模式，序列B无效 01：序列A连续扫描模式，序列B无效 10：序列A单次扫描模式，序列B单次扫描模式 11：序列A连续扫描模式，序列B单次扫描模式	R/W

注意：

- 请在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.3 A/D 控制寄存器 1 ADC_CR1

复位值：0x0000

b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	—	—	—	—	—
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	RSCHSEL	—	—

位	标记	位名	功能	R/W
b15-b13	—	—	读出时为0，写入时写0	R/W
b2	RSCHSEL	序列A重启通道选择	0：被序列B中断后，序列A重启时从被中断通道开始继续扫描 1：被序列B中断后，序列A重启时从被第一个通道开始重新扫描	R/W
b1-b0	—	—	读出时为0，写入时写0	R/W

注意：

- 请在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.4 A/D 转换开始触发寄存器 ADC_TRGSR

复位值：0x0000

b15	b14	b13	b12	b11	b10	b9	b8
TRGENB	—	—	—	—	—	TRGSELB[1]	TRGSELB[0]
b7	b6	b5	b4	b3	b2	b1	b0
TRGENA	—	—	—	—	—	TRGSELA[1]	TRGSELA[0]

位	标记	位名	功能	R/W
b15	TRGENB	序列B触发使能	0：序列B片内或外部引脚触发禁止 1：序列B片内或外部引脚触发许可 注意：选择外部引脚触发有效。如果ADTRGx由“High”变为“Low”，检测到下降沿，则扫描转换开始，请保持“Low”1.5*HCLK4周期以上。	R/W
b14-b10	—	—	读出时为0，写入时写0	R/W
b9-b8	TRGSELB[1:0]	序列B触发条件选择	在序列B有效模式下(ADC_CR0.MS[1]=1)，作为序列B的触发条件 00b: ADTRG 01b: IN_TRG0 10b: IN_TRG1 11b: IN_TRG0 + IN_TRG1 注意：只在序列B有效模式下有效。其他模式设定无效。 两次触发的间隔必须大于或等于扫描周期 t_{SCAN} ，若小于则触发无效。	R/W
b7	TRGENA	序列A触发使能	0：序列A片内或外部引脚触发禁止 1：序列A片内或外部引脚触发许可 注意：选择外部引脚触发有效。如果ADTRG由“High”变为“Low”，检测到下降沿，则扫描转换开始，请保持“Low”1.5*HCLK周期以上。	R/W
b6-b2	—	—	读出时为0，写入时写0	R/W
b1-b0	TRGSELA[1:0]	序列A触发条件选择	序列A的触发条件。 00b: ADTRG 01b: IN_TRG0 10b: IN_TRG1 11b: IN_TRG0 + IN_TRG1 注意：ADC_STR.STRT写1软件触发，无视TRGENA，或者TRGSELA[2:0]的设定，直接开始A/D转换。 两次触发的间隔必须大于或等于扫描周期 t_{SCAN} ，若小于则触发无效。	R/W

注意：

- 在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.5 A/D 转换开始片内触发源选择寄存器 ADC_ITRGSELR0, ADC_ITRGSELR1

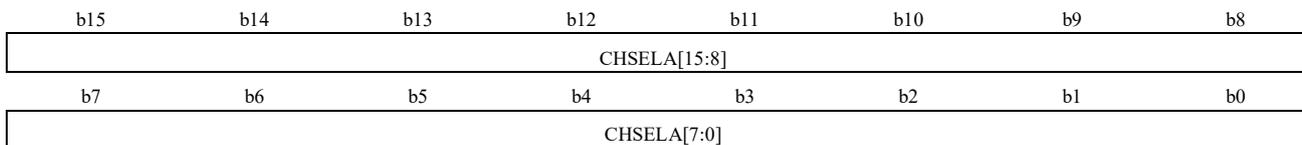
复位值：0x0000007f

b31	b30	b29	b28	b27	b26	b25	b24
—	—	—	—	—	—	—	—
b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—
b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	—	—	—	—	—
b7	b6	b5	b4	b3	b2	b1	b0
—	TRGSEL[6]	TRGSEL[5]	TRGSEL[4]	TRGSEL[3]	TRGSEL[2]	TRGSEL[1]	TRGSEL[0]

位	标记	位名	功能	R/W
b31-b7	—	—	读出时为0，写入时写0	R/W
b6-b0	TRGSEL[6:0]	片内触发源选择	参考中断控制器（INTC），写入选定的事件编号。 触发源 IN_TRG0由寄存器ADC_ITRGSEL0 设置 触发源 IN_TRG1由寄存器ADC_ITRGSEL1 设置	R/W

14.4.6 A/D 通道选择寄存器 A ADC_CHSELRA0

复位值：0x0000



位	标记	位名	功能	R/W																												
b15-b0	CHSELA[15:0]	转换通道选择	<p>序列A的通道选择，每一位代表一个通道，CHSELA[x]代表通道CHx，可选择任意组合。</p> <p>0：未选择对应通道 1：选择对应通道</p> <p>通道对应关系如下</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 5px 0;"> <thead> <tr> <th style="width: 30%;">位</th> <th>通道</th> </tr> </thead> <tbody> <tr><td>bit0</td><td>ANI0</td></tr> <tr><td>bit1</td><td>ANI1</td></tr> <tr><td>bit2</td><td>ANI2</td></tr> <tr><td>bit3</td><td>ANI3</td></tr> <tr><td>bit4</td><td>ANI4</td></tr> <tr><td>bit5</td><td>ANI5</td></tr> <tr><td>bit6</td><td>ANI6</td></tr> <tr><td>bit7</td><td>ANI7</td></tr> <tr><td>bit8</td><td>ANI8</td></tr> <tr><td>bit9</td><td>ANI9</td></tr> <tr><td>bit10</td><td>ANI10</td></tr> <tr><td>bit11</td><td>ANI11/内部模拟通道</td></tr> <tr><td>bit15-bit12</td><td><i>reserved</i></td></tr> </tbody> </table> <p>不存在通道的对应位为<i>reserved</i>位，读出时为0，写入时写0。</p> <p>注意：请不要再序列A和序列B中选择相同的通道。</p>	位	通道	bit0	ANI0	bit1	ANI1	bit2	ANI2	bit3	ANI3	bit4	ANI4	bit5	ANI5	bit6	ANI6	bit7	ANI7	bit8	ANI8	bit9	ANI9	bit10	ANI10	bit11	ANI11/内部模拟通道	bit15-bit12	<i>reserved</i>	R/W
位	通道																															
bit0	ANI0																															
bit1	ANI1																															
bit2	ANI2																															
bit3	ANI3																															
bit4	ANI4																															
bit5	ANI5																															
bit6	ANI6																															
bit7	ANI7																															
bit8	ANI8																															
bit9	ANI9																															
bit10	ANI10																															
bit11	ANI11/内部模拟通道																															
bit15-bit12	<i>reserved</i>																															

注意：

- 请在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.7 A/D 通道选择寄存器 B ADC_CHSELRB0

复位值：0x0000

b15	b14	b13	b12	b11	b10	b9	b8
CHSELB[15:8]							
b7	b6	b5	b4	b3	b2	b1	b0
CHSELB[7:0]							

位	标记	位名	功能	R/W
b15-b0	CHSELB[15:0]	转换通道选择	序列B的通道选择，每一位代表一个通道，CHSELB[x]代表通道CHx，可选择任意组合。只有在双序列扫描模式是才有效。 0：未选择对应通道 1：选择对应通道 通道对应关系参考ADC_CHSELRA0寄存器。 不存在通道的对应位为reserved位，读出时为0，写入时写0。 注意：请不要再序列A和序列B中选择相同的通道。	R/W

注意：

- 请在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.8 A/D 扩展通道选择寄存器 ADC_EXCHSELR

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EXCHSEL

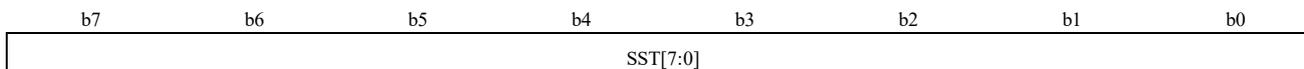
位	标记	位名	功能	R/W
b7-b1	—	—	读出时为0，写入时写0	R/W
b0	EXCHSEL	扩展通道选择	ANI11与内部模拟通道共同使用通道11，通过此寄存器进行选择。 0：选择ANI11 1：选择内部模拟通道，内部模拟源的设置请参考电源控制（PWC）说明	R/W

注意：

- 请在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.9 A/D 采样状态寄存器 ADC_SSTR

复位值：0x0b



位	标记	位名	功能	R/W
b7-b0	SST[7:0]	采样周期数	设定模拟通道输入的采样时间，可设为5到255个ADCLK周期。 注意：ADCLK频率为20MHz时，一个采样周期为50ns，初始的转换状态有11个采样周期。当外部输入阻抗 R_{AIN} 太大采样时间不足或者ADCLK频率低时可以设置寄存器进行调整采样时间。采样时间不要少于5周期。 $SST \cong (R_{AIN} + R_{ADC}) * C_{ADC} * \ln(2^{N+2}) * f_{ADC} + 1$ 其中： R_{AIN} 表示外部输入阻抗（ Ω ）， R_{ADC} 表示内部采样开关电阻（ Ω ）， C_{ADC} 表示内部采样和保持电容（F），N表示AD分辨率（12/10/8）， f_{ADC} 表示ADCLK频率（Hz）。具体参考电器特性相关说明。	R/W

注意：

- 请在 ADC_STR.STRT 为“0”时设置本寄存器。

14.4.10 A/D 中断状态寄存器 ADC_ISR

复位值：0x00



位	标记	位名	功能	R/W
b7-b2	—	—	读出时为0，写入时写0	R/W
b1	EOCBF	序列B转换完成标志	序列B所选通道全部扫描完成后置1 本寄存器位为只读位	R
b0	EOCAF	序列A转换完成标志	序列A所选通道全部扫描完成后置1 本寄存器位为只读位	R

14.4.11 A/D 中断许可寄存器 ADC_ICR

复位值：0x03

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	EOCBIEN	EOCAIEN

位	标记	位名	功能	R/W
b7-b2	—	—	读出时为0，写入时写0	R/W
b1	EOCBIEN	序列B转换完成 中断使能	0：序列B转换完成中断禁止 1：序列B转换完成中断许可	R/W
b0	EOCAIEN	序列A转换完 成中断使能	0：序列A转换完成中断禁止 1：序列A转换完成中断许可	R/W

14.4.12 A/D 中断状态复位寄存器 ADC_ISCLRR

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CLREOCBF	CLREOCAF

位	标记	位名	功能	R/W
b7-b2	—	—	读出时为0，写入时写0	R/W
b1	CLREOCBF	序列B转换完成 标志复位	写 0 无任何效果，写 1 复位 EOCBF 状态位， 读出永远为0	R/W
b0	CLREOCAF	序列A转换完 成标志复位	写 0 无任何效果，写 1 复位 EOCAF 状态位， 读出永远为0。	R/W

14.4.13 A/D 数据寄存器 ADC_DR

ADC_DR_x, x=0~11 通道 x 数据寄存器

ADC_DR 寄存器是用于存储各通道 A/D 转换数据的只读寄存器。复位值为 0x0000。
根据数据对齐方式和转换分辨率，转换结果数据存储方式有所不同。

数据右对齐-12 位分辨率

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	AD[11:0]											

数据右对齐-10 位分辨率

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	AD[9:0]									

数据右对齐-8 位分辨率

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0	AD[7:0]							

数据左对齐-12 位分辨率

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD[11:0]												0	0	0	0

数据左对齐-10 位分辨率

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD[9:0]										0	0	0	0	0	0

数据左对齐-8 位分辨率

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD[7:0]								0	0	0	0	0	0	0	0

14.4.14 模拟看门狗控制寄存器 ADC_AWDCR

复位值：0x0000

b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	—	—	—	AWDCM[1]	AWDCM[0]
b7	b6	b5	b4	b3	b2	b1	b0
—	AWD1MD	AWD1IEN	AWD1EN	—	AWD0MD	AWD0IEN	AWD0EN

位	标记	位名	功能	R/W
b15-b10	—	—	读出时为0，写入时写0	R/W
b9-b8	AWDCM[1:0]	看门狗窗口组合选择	00: 窗口组合无效，ADC_CMP1输出窗口1独立比较结果 01: 窗口组合有效，ADC_CMP1输出窗口0与窗口1比较结果的逻辑或 10: 窗口组合有效，ADC_CMP1输出窗口0与窗口1比较结果的逻辑与 11: 窗口组合有效，ADC_CMP1输出窗口0与窗口1比较结果的逻辑异或 注意：使用窗口组合功能时需要窗口0和窗口1都使能，即AWD0EN写1，AWD1EN写1。 若窗口0与窗口1选择的比较通道不相同，请保证扫描转换过程中，窗口1所选通道在窗口0所选通道之后转换。ADC_CMP1中断或事件在窗口1所选通道转换结束时输出。	R/W
b7	—	—	读出时为0，写入时写0	R/W
b6	AWD1MD	看门狗窗口1比较模式	窗口1保护区域选择 0: 转换结果<AWD1DR0，或转换结果>AWD1DR1 1: 转换结果 \geq AWD1DR0，且转换结果 \leq AWD1DR1。	R/W
b5	AWD1IEN	看门狗窗口1中断使能	0: 看门狗窗口1比较中断ADC_CMP1无效 1: 看门狗窗口1比较中断ADC_CMP1有效	R/W
b4	AWD1EN	看门狗窗口1比较功能使能	0: 看门狗窗口1比较功能无效 1: 看门狗窗口1比较功能有效	R/W
b3	—	—	读出时为0，写入时写0	R/W
b2	AWD0MD	看门狗窗口0比较模式	窗口0保护区域选择 0: 转换结果<AWD0DR0，或转换结果>AWD0DR1 1: 转换结果 \geq AWD0DR0，且转换结果 \leq AWD0DR1。	R/W
b1	AWD0IEN	看门狗窗口0中断使能	0: 看门狗窗口0比较中断ADC_CMP0无效 1: 看门狗窗口0比较中断ADC_CMP0有效	R/W
b0	AWD0EN	看门狗窗口0比较功能使能	0: 看门狗窗口0比较功能无效 1: 看门狗窗口0比较功能有效	R/W

14.4.15 模拟看门狗状态寄存器 ADC_AWDSR

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	AWDCMF	—	—	AWD1F	AWD0F

位	标记	位名	功能	R/W
b7-b5	—	—	读出时为0，写入时写0	R/W
b4	AWDCMF	看门狗窗口组合比较状态位	看门狗窗口组合比较功能有效（即AWDCM[1:0]=01b/10b/11b）时，窗口1所选通道转换结束时，窗口0与窗口1比较结果满足组合条件时置1。 对本寄存器位写无效。	R
b3-b2	—	—	读出时为0，写入时写0	R/W
b1	AWD1F	看门狗窗口1比较状态位	窗口1所选通道转换结束时，转换结果满足比较条件时置1。 对本寄存器位写无效。	R
b0	AWD0F	看门狗窗口0比较状态位	窗口0所选通道转换结束时，转换结果满足比较条件时置1。 对本寄存器位写无效。	R

14.4.16 模拟看门狗状态复位寄存器 ADC_AWDSCLR

复位值：0x00

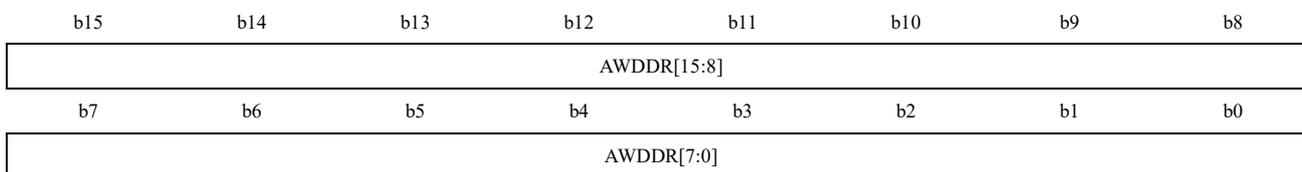
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRAWDCMF	—	—	CLRAWD1F	CLRAWD0F

位	标记	位名	功能	R/W
b7-b5	—	—	读出时为0，写入时写0	R/W
b4	CLRAWDCMF	看门狗窗口组合比较状态位复位	写0无任何效果，写1复位AWDCMF状态位， 读出永远为0	R/W
b3-b2	—	—	读出时为0，写入时写0	R/W
b1	CLRAWD1F	看门狗窗口1比较状态复位	写0无任何效果，写1复位AWD1F状态位， 读出永远为0	R/W
b0	CLRAWD0F	看门狗窗口0比较状态复位	写0无任何效果，写1复位AWD0F状态位， 读出永远为0	R/W

14.4.17 模拟看门狗阈值寄存器 ADC_AWD0DR0、ADC_AWD0DR1、ADC_AWD1DR0、ADC_AWD1DR1

复位值：ADC_AWD0DR0=0x0000, ADC_AWD0DR1=0xffff

ADC_AWD1DR0=0x0000, ADC_AWD1DR1=0xffff



位	标记	位名	功能	R/W
b15-b0	AWDDR[15:0]	比较数据	比较数据	R/W

AWD0DR0 设置窗口 0 低阈值，AWD0DR1 设置窗口 0 高阈值。

AWD1DR0 设置窗口 1 低阈值，AWD1DR1 设置窗口 1 高阈值。

AWD0DR0、AWD0DR1、AWD1DR0、AWD1DR1 根据对齐方式（数据右对齐或左对齐），分辨率（12 位、10 位或者 8 位）会有差异。

- 数据右对齐-12 位分辨率 低 12 位[11:0]可用
- 数据右对齐-10 位分辨率 低 10 位[9:0]可用
- 数据右对齐-8 位分辨率 低 8 位[7:0]可用
- 数据左对齐-12 位分辨率 高 12 位[15:4]可用
- 数据左对齐-10 位分辨率 高 10 位[15:6]可用
- 数据左对齐-8 位分辨率 高 8 位[15:8]可用

14.4.18 模拟看门狗比较通道选择寄存器 ADC_AWD0CHSR、 ADC_AWD1CHSR

复位值：0x00

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	AWDCH[4]	AWDCH[3]	AWDCH[2]	AWDCH[1]	AWDCH[0]

位	标记	位名	功能	R/W
b7-b5	—	—	读出时为0，写入时写0	R/W
b4-b0	AWDCH[4:0]	看门狗比较通道选择	ADC_AWD0CHSR选择窗口0的比较通道，ADC_AWD1CHSR选择窗口1的比较通道。 0x00: ANI0 0x01: ANI1 0x02: ANI2 0x03: ANI3 0x04: ANI4 0x05: ANI5 0x06: ANI6 0x07: ANI7 0x08: ANI8 0x09: ANI9 0x0a: ANI10 0x0b: ANI11/内部模拟通道 其它: 禁止设定	R/W

14.4.19 运算放大器控制寄存器 ADC_OPACR

复位值：0x0000

b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	—	—	—	—	—
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	OPA2EN	OPA1EN

位	标记	位名	功能	R/W
b15-b2	—	—	读出时为0，写入时写0	R/W
b1	OPA2EN	运算放大器2使能	0: OPA2无效 1: OPA2有效	
b0	OPA1EN	运算放大器1使能	0: OPA1无效 1: OPA1有效	R/W

14.5 使用注意事项

14.5.1 数据寄存器读取时注意事项

A/D 数据寄存器 ADC_DR 请以半字单位访问。请不要以字节单位访问数据寄存器。

14.5.2 扫描完成中断处理注意事项

当对同一通道进行连续两次扫描转换时，从第一次转换完成中断处理到第二次转完成中断处理期间，如果 CPU 没有及时将第一次的转换数据读取，那么第二次的转换数据会将第一次的转换数据覆盖。

14.5.3 模块停止功能设定

通过设定模块停止寄存器，可以设定 A/D 转换器为工作和停止状态。模块停止寄存器的初始值是设定为停止状态的，需要 A/D 模块工作时请先设定相应的模块停止寄存器位取消停止。具体请参考低功耗说明章节。

14.5.4 切换低功耗模式的注意事项

在设置模块停止状态或者待机状态时，请将 A/D 转换器停止。具体顺序为，ADCSTR.STRT 位写“0”，并读出确认已清 0。从模块停止寄存器解除或者退出关闭状态，到 A/D 转换开始需要等待至少 1us 的启动时间。

14.5.5 A/D 转换模拟通道输入的引脚设定

当芯片引脚设定为 A/D 模拟通道输入时，请将对应引脚的功能选择寄存器 PCRxy.FSEL 设置为 0x1，禁用该端口的数字功能。参考通用 IO（GPIO）章节。

14.5.6 噪声控制

为防止浪涌等异常电压破坏模拟输入引脚，推荐使用**数据手册中电气特性**章节所示保护电路。

15 通用控制定时器（Timer4）

15.1 简介

通用控制定时器 4（Timer4）是一个用于三相电机控制的定时器模块，提供各种不同应用的三相电机控制方案。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形；支持缓存功能；支持 EMB 控制。本系列产品中搭载 1 个单元的 Timer4。

15.2 基本框图

Timer4 基本的功能及特性如表 15-1 所示。

波形模式	锯齿波、三角波
基本功能	• 递加、递减计数方向
	• 缓存功能
	• 通用PWM输出
	• 专用事件输出启动ADC转换
中断类型	• EMB控制
	计数比较匹配中断
	计数周期匹配中断
	重载计数匹配中断

表 15-1 Timer4 的基本功能及特性

图 15-1 所示，描述了通用控制定时器 Timer4 的基本架构。框图中所示“<t>”表示单元编号，即“<t>”为 1，本章节后文提到“<t>”时均指单元编号，不再赘述。

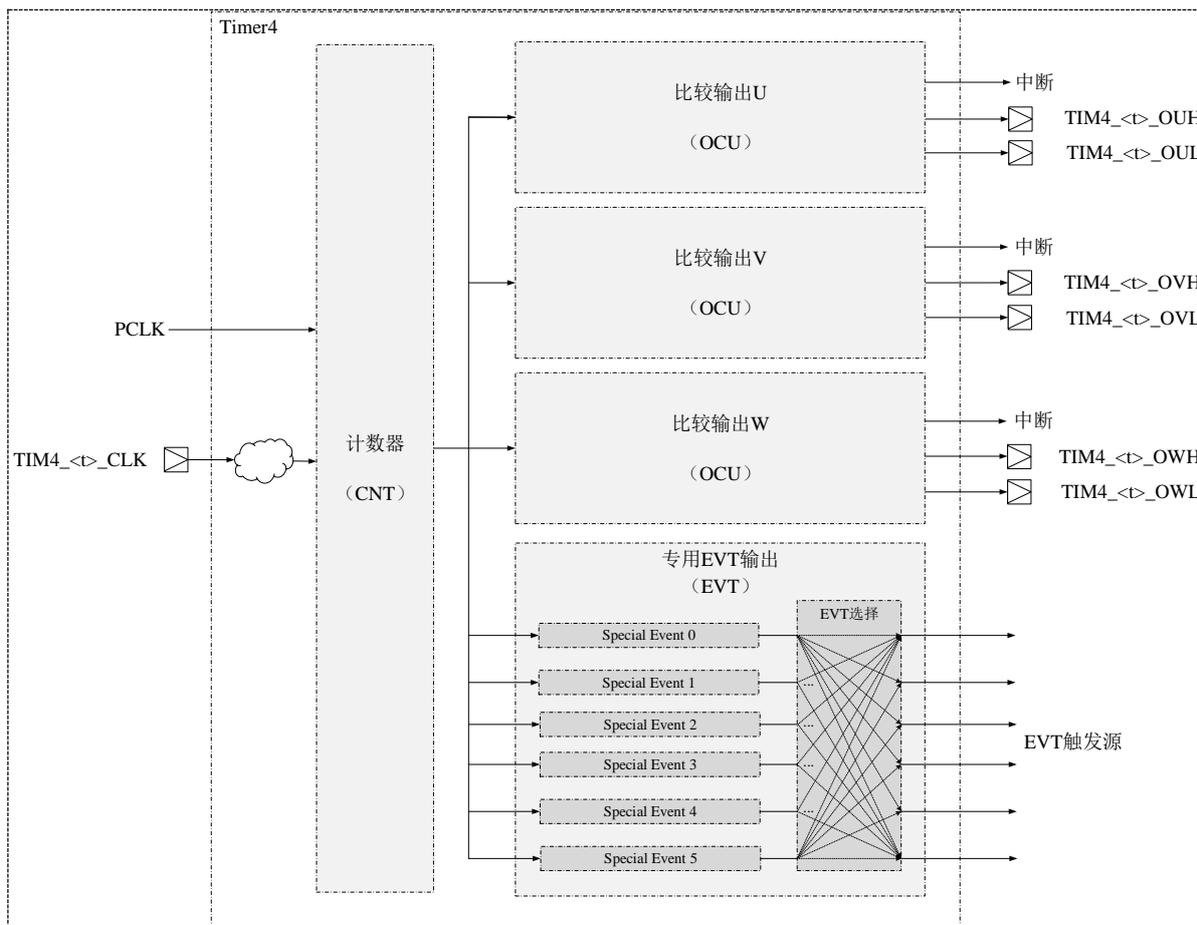


图 15-1 Timer4 基本框图

表 15-2 所示为 Timer4 的输入输出端口列表。

端口名	方向	功能
TIM4_<t><t>_CLK	in	计数时钟输入端口
TIM4_<t><t>_OUH	out	PWM输出端口
TIM4_<t><t>_OUL		
TIM4_<t><t>_OVH		
TIM4_<t><t>_OVL		
TIM4_<t><t>_OWH		
TIM4_<t><t>_OWL		

表 15-2 Timer4 端口列表

15.3 功能说明

15.3.1 波形模式

Timer4 有 2 种基本计数波形模式，锯齿波模式和三角波模式。根据 CCSR.MODE 的设置可分别实现两种波形模式。下图 15-2 和图 15-3 分别是锯齿波和三角波的波形图。

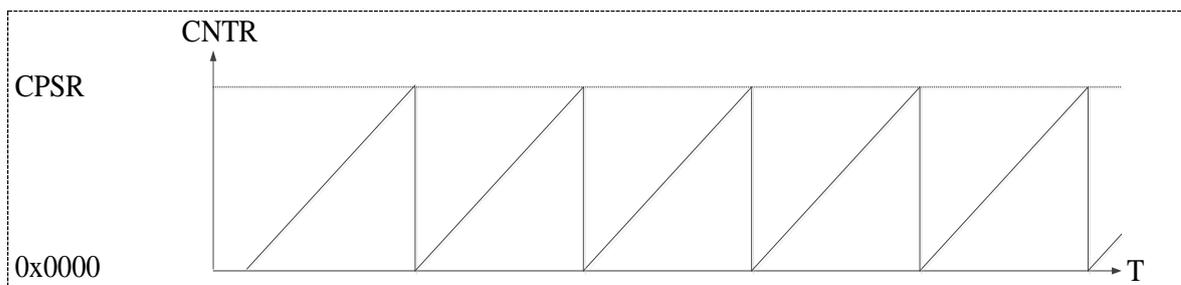


图 15-2 Timer4 锯齿波波形

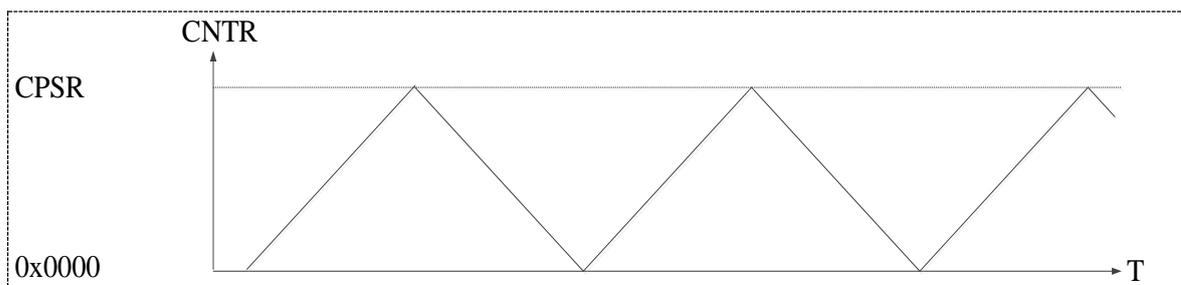


图 15-3 Timer4 三角波波形

15.3.2 计数动作

1) 锯齿波计数操作与控制流程如图 15-4 所示。

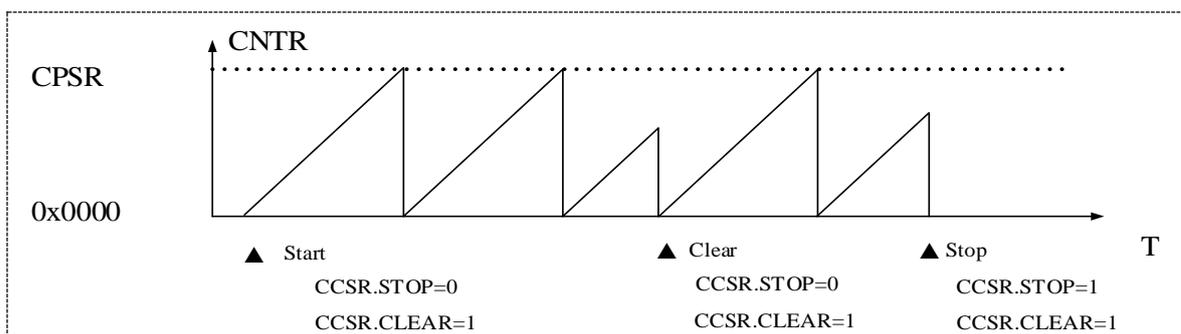


图 15-4 Timer4 锯齿波模式计数动作

- a) 设置模式 CCSR.MODE=0。
- b) 设置计数峰值 CPSR 寄存器。
- c) 写入 CCSR.STOP=0 和 CCSR.CLEAR=1，计数器计数值 (CNTR) 被初始化到 0x0000 并启动计数操作。计数器值从 0x0000 开始递增计数，当达到峰值

(CPSR)，计数值归 0x0000，依次重复此操作。

- d) 计数周期= (CPSR+1) × 计数时钟周期
- e) 计数过程中，写入 CCSR.STOP=0 和 CCSR.CLEAR=1 可以将计数值初始化到 0x0000 并继续进行计数操作。
- f) 计数过程中，写入 CCSR.STOP=1 和 CCSR.CLEAR=1 可以将计数值初始化到 0x0000 并停止计数操作。

2) 三角波计数操作与控制流程如图 15-5 所示。

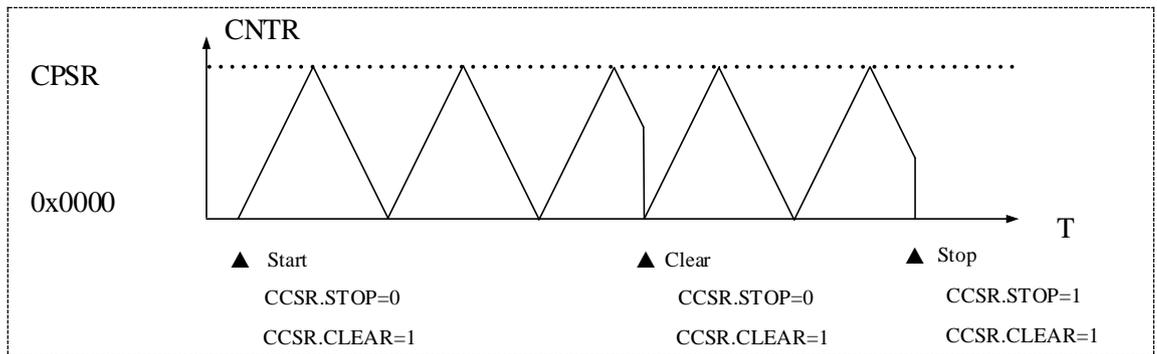


图 15-5 Timer4 三角波模式计数动作

- a) 设置模式 CCSR.MODE=1。
- b) 设置计数峰值 CPSR 寄存器。
- c) 写入 CCSR.STOP=0 和 CCSR.CLEAR=1，计数器计数值 (CNTR) 被初始化到 0x0000 并启动计数操作。计数器值从 0x0000 开始做递增计数计数，在到达计数峰值之前做递增计数；当达到峰值 (CPSR) 时，计数器开始做递减计数，直到计数值归 0x0000；之后重新进行递增计数操作，依次重复此操作。
- d) 计数周期= (CPSR) × 2 × 计数时钟周期
- e) 计数过程中，写入 CCSR.STOP=0 和 CCSR.CLEAR=1 可以将计数值初始化到 0x0000 并重新进行递增计数操作，之后重复上述操作。
- f) 计数过程中，写入 CCSR.STOP=1 和 CCSR.CLEAR=1 可以将计数值初始化到 0x0000 并停止计数操作。

15.3.3 比较输出

- 1) 下图 15-6 是锯齿波计数模式下的比较输出模块的波形输出示例。

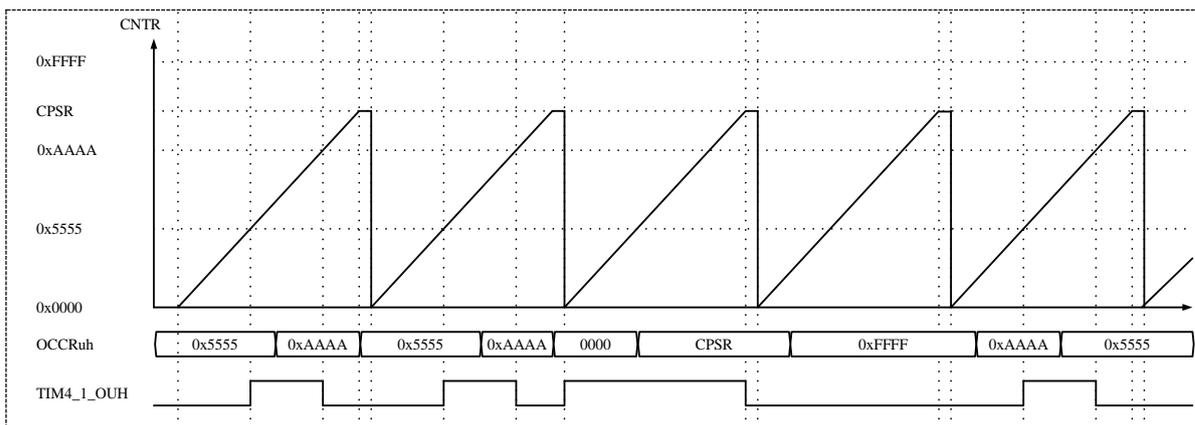


图 15-6 锯齿波模式波形输出例

2) 下图 15-7 是三角波计数模式下的比较输出模块的波形输出示例。

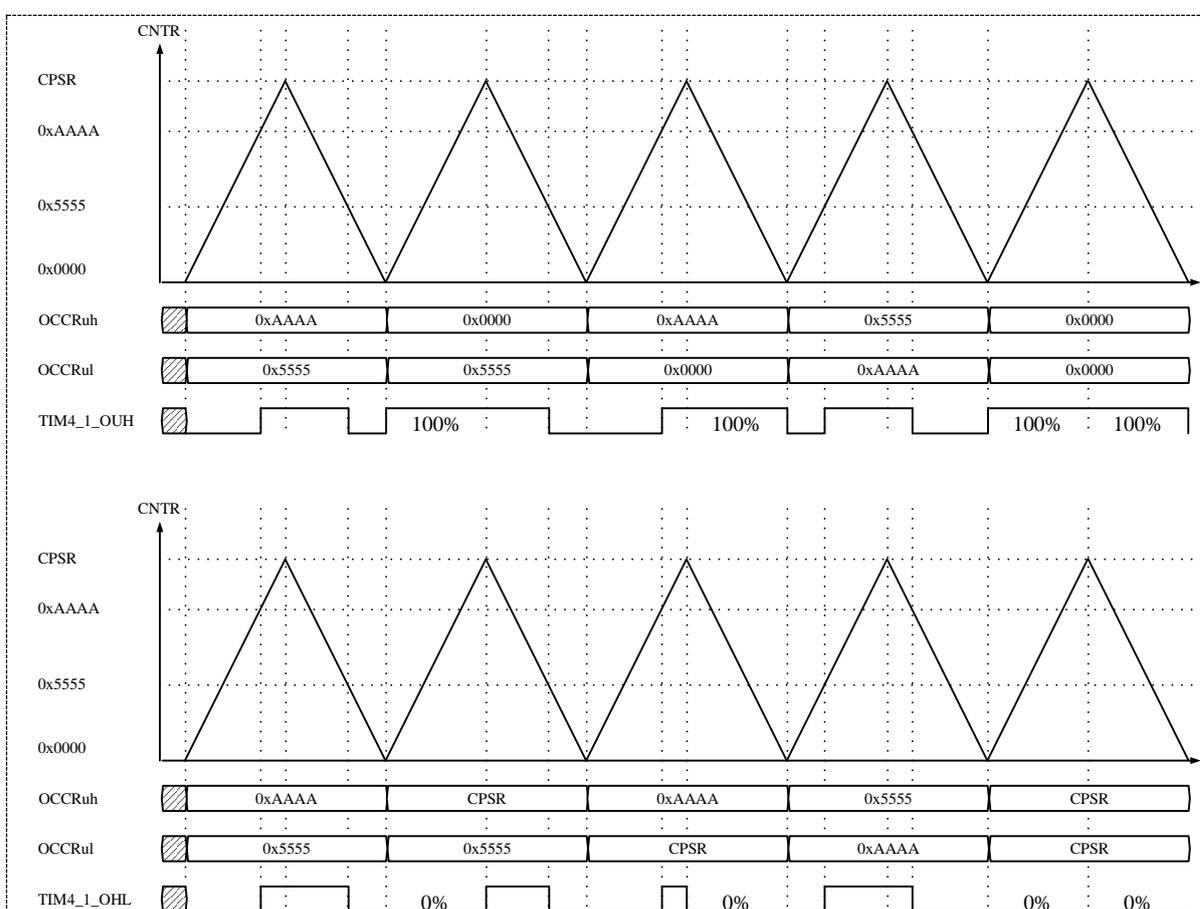


图 15-7 三角波模式波形输出例

15.3.4 缓存功能

Timer4 的周期基准寄存器 (CPSR)、通用比较基准寄存器 (OCCR)、通用模式控制寄存器 (OCMR)、专用比较基准寄存器 (SCCR) 和专用模式控制寄存器 (SCMR) 都具有缓存功能。

15.3.4.1 周期基准寄存器缓存功能

CPSR 具有缓存功能寄存器，写入的计数峰值数据先收纳到缓冲寄存器。在以下条件下，数据从缓冲器寄存器传输到 CPSR 寄存器中。

- a) 缓冲功能禁止时 (CCSR.BUFEN=0)，写入数据立即从缓冲寄存器传输到 CPSR 寄存器。
- b) 缓冲功能使能时 (CCSR.BUFEN=1)，在计数器停止时 (CCSR.STOP=1) 或者计数器的计数值为"0x0000"时，数据从缓冲寄存器传输到 CPSR 寄存器。

注意：

- 从 CPSR 读取数据时，读取的并非 CPSR 缓冲寄存器的值，而是 CPSR 寄存器的值。当缓冲功能使能时，在传输完成之前所读取的值不是最近写入的值，而是上一次写入的 CPSR 值。

图 15-8 所示，当锯齿波模式且禁止缓冲功能时修改计数峰值 CPSR 的操作。

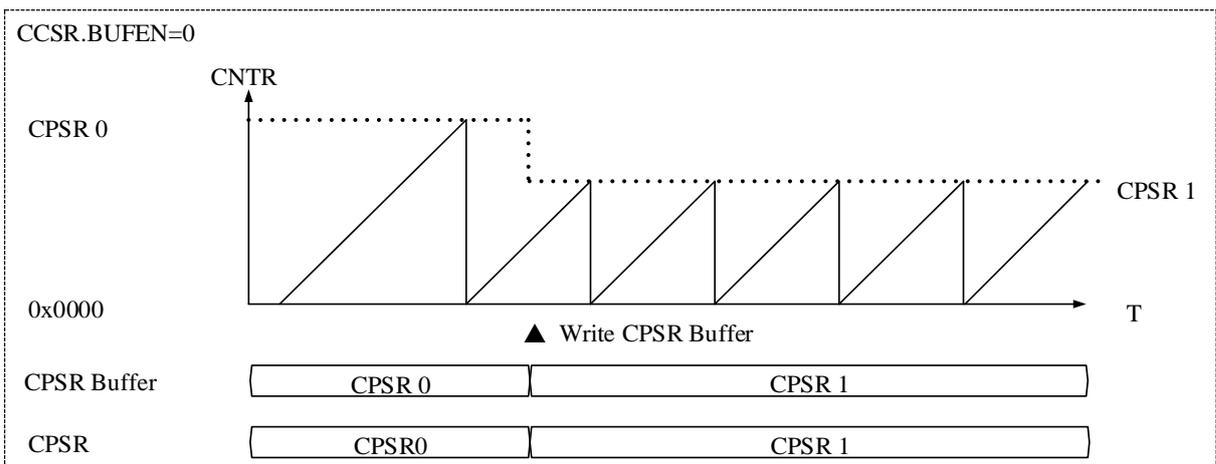


图 15-8 缓存无效时修改锯齿波计数周期

注意：

- 当禁止缓冲功能时，写入数据立即从缓冲寄存器传输到 CPSR 计数器，计数周期在写入操作完成后立即改变。在此情况下，如果写入的值小于计数器当前计数值，计数器将持续进行递增计数，直到到达"0xFFFF"，因此，需特别注意此种状况。

图 15-9 所示，当锯齿波模式且使能缓冲功能时修改计数峰值 CPSR 的操作。

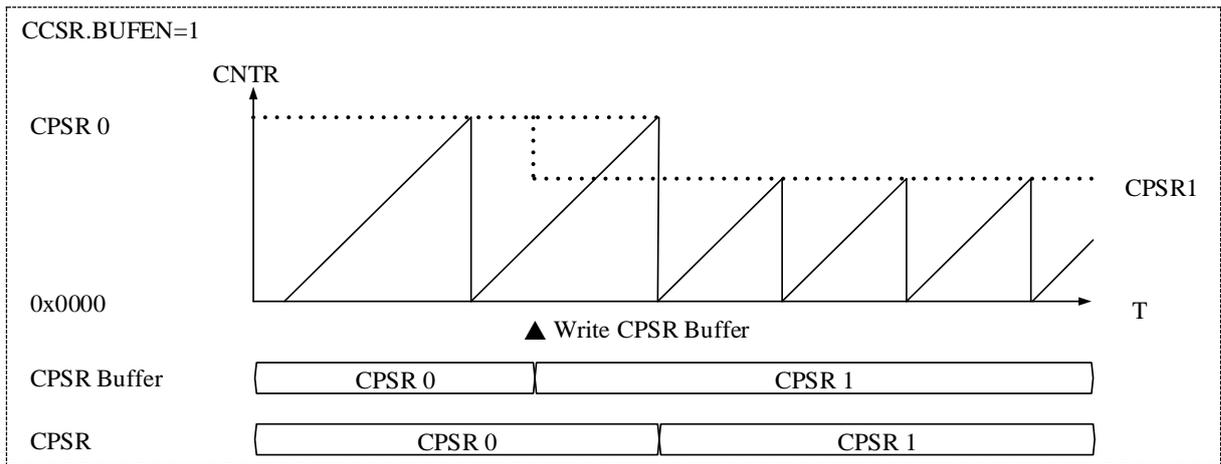


图 15-9 缓存使能时修改锯齿波计数周期

如图所示，当使能缓冲功能时，在计数器停止时或者计数器的计数值为"0x0000"时，写入的数据从缓冲寄存器传输到 CCSR 寄存器。

图 15-10 所示，当三角波模式且使能缓冲功能时修改计数峰值 CPSR 的操作。

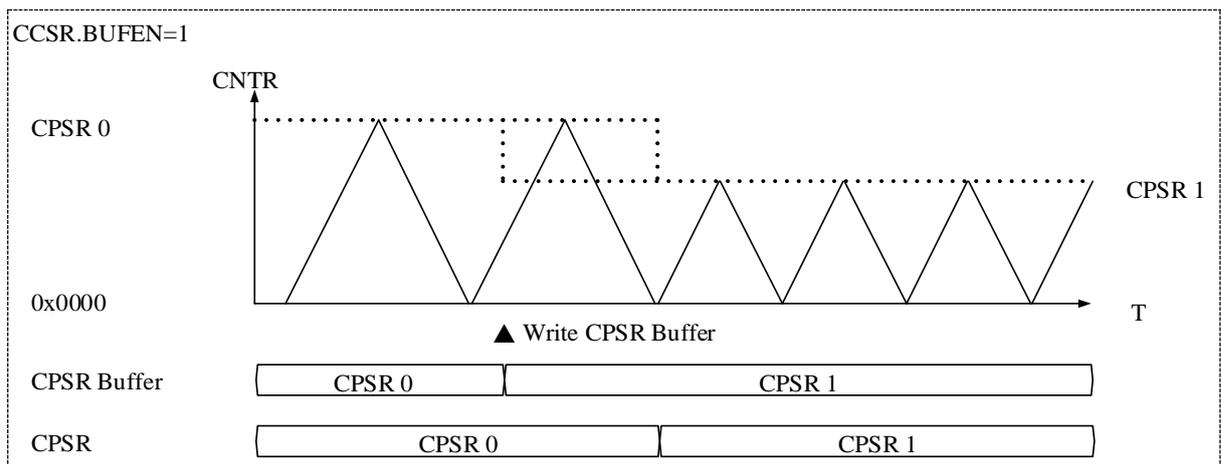


图 15-10 缓存使能时修改三角波计数周期

如图所示，三角波计数模式下，当使能缓冲功能时，在计数器停止时或者计数器的下一次计数值为"0x0000"时，写入的数据从缓冲寄存器传输到 CCSR 寄存器。计数器周期的改变在写入操作完成后的下一个计数器周期开始。

15.3.4.2 通用比较寄存器缓存功能

通用比较基准值寄存器（OCCR）和通用模式控制寄存器（OCMR）均有缓冲寄存器功能，当使能缓冲功能时，在指定的传输时刻传输加载到 OCCR 和 OCMR 寄存器。OCCR 缓冲功能可以用于计数过程中同步改变比较值，OCMR 缓冲功能可以用于计数过程中计数上溢点（锯齿波）、计数谷点或峰点（三角波）同步改变内部 PWM 输出。

- a) 当输出比较与计数器周期间隔响应功能的链接传输禁止时，缓冲值在设定的计数状态时加载到寄存器。此时加载情况与计数器周期间隔计数器无关。

图 15-11 所示，是通用输出比较 OCCR 缓冲功能使能，计数器零值时加载（OCER.CxBUFEN=01），计数器周期间隔响应链接禁止（OCER.LMCx=0）时的波形（x=L 或 H）。

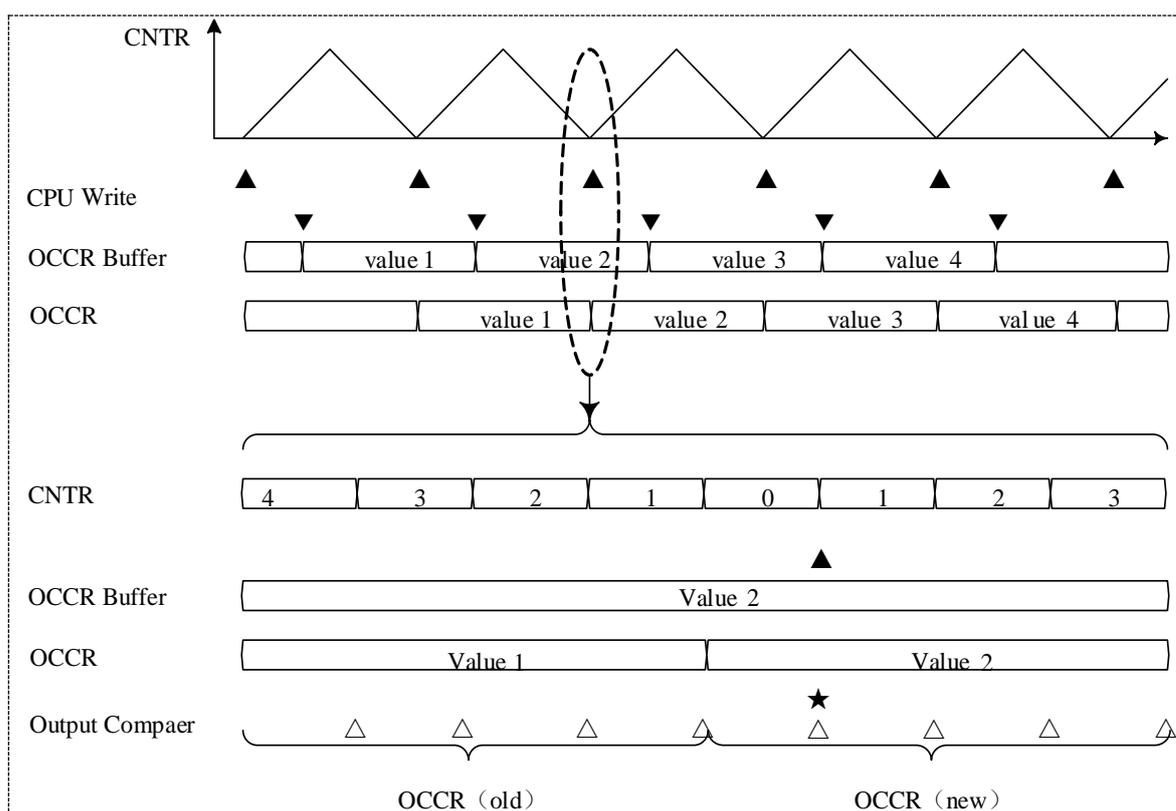


图 15-11 OCCR 缓冲数据传输（周期间隔响应链接禁止时）

图中的上半部分是全局示意图，下半部分是传输操作时放大图。

计数器为三角波计数模式，下溢中断在标志▲（计数谷点）时刻产生。在▼时刻，CPU 改写 OCCR 寄存器，写入的数据存储在 OCCR 缓冲寄存器中。之后当计数器计数值为 0x0000 时，进行数据加载操作，数据从缓冲寄存器到 OCCR 寄存器，同时产生中断标志 IRQZF。

在△时刻，输出比较根据设定的 OCCR 寄存器值与计数值匹配事件，执行改变 PWM 输出和置位 OCSR.OCFx 位（x=L 或 H）。在时刻★（计数值=0x0000）之后，端口输出根据新的 OCCR 数据执行操作。在时刻★之前根据原 OCCR 数据执行操作。

图中示意了 OCCR 缓冲寄存器在计数谷点的传输操作，OCMR 的缓冲寄存器的缓存传送操作与之类似；同理，在计数峰点的传输操作也类似。新的数据在传输时刻之后即

刻生效（新写入数据将控制 PWM 输出和中断标志置位）。

- b) 当计数器周期间隔响应链接使能时，缓冲值在设定的计数状态且周期间隔计数器计数值为 0 时执行缓冲寄存器传输操作。

图 15-12 所示，是通用输出比较 OCCR 缓冲功能使能、计数器零值时加载（OCER.CxBUFEN=01），计数器周期间隔响应链接使能（OCER.LMCx=1）时的波形（x=L 或 H）。

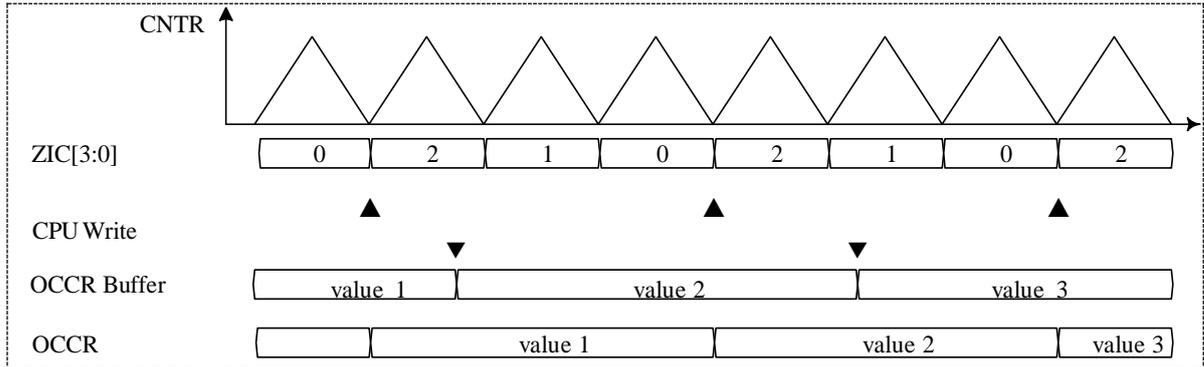


图 15-12 OCCR 缓冲数据传输（周期间隔响应链接使能）

计数器为三角波计数模式，周期间隔计数器（CVPR.ZIC）从 2 到 0 做递减计数，下溢中断在标志▲（计数谷点）时刻产生。在▼时刻，CPU 改写 OCCR 寄存器，写入的数据存储在 OCCR 缓冲寄存器中。之后当计数器计数值为 0x0000 且周期间隔计数器（CVPR.ZIC）为 0 时，进行数据加载操作，数据从缓冲寄存器到 OCCR 寄存器，同时产生中断标志 IRQZF。

图中示意了 OCCR 缓冲寄存器在计数谷点的传输操作，OCMR 的缓冲寄存器的缓存传送操作与之类似；同理，在计数峰点的传输操作也类似。新的数据在传输时刻之后即刻生效（新写入数据将控制 PWM 输出和中断标志置位）。

使用通道链接操作模式时，同时使能 OCCRuh 和 OCCRul 缓冲功能可以产生各种不同的 PWM 输出波形。图 15-13 示例了在输出比较寄存器 OCCRuh 和 OCCRul 保持不变的情况下，改变 OCMR 寄存器值来产生不同的输出波形 TIM4_<t>_OUL 方式的情形。

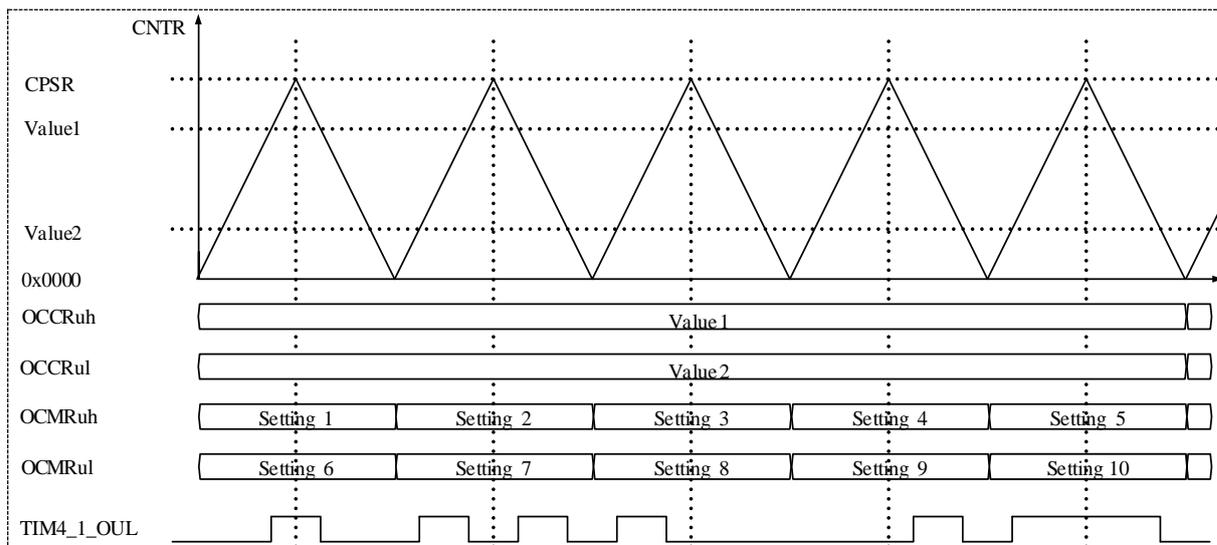


图 15-13 输出比较缓冲数据传输 (OCMR 缓冲使能)

15.3.4.3 专用比较寄存器缓存功能

专用比较基准寄存器 (SCCR) 和在专用模式控制寄存器 (SCMR) 都带有缓冲寄存器。当使能缓冲功能时, CPU 写入 SCCR 和 SCMR 缓冲寄存器的值在设定的计数器状态下加载到 SCCR 和 SCMR 寄存器。

- a) 当禁止计数器周期间隔响应链接传输时, 缓冲传输操作仅与计数器状态有关, 不受计数器周期间隔计数器影响。

图 15-14 所示, 是使能寄存器缓冲功能, 禁止计数器周期间隔响应链接传输 (SCSR.LMC=0), 计数器零值 (SCSR.BUFEN=01) 时传送到 SCCR 和 SCMR 寄存器。

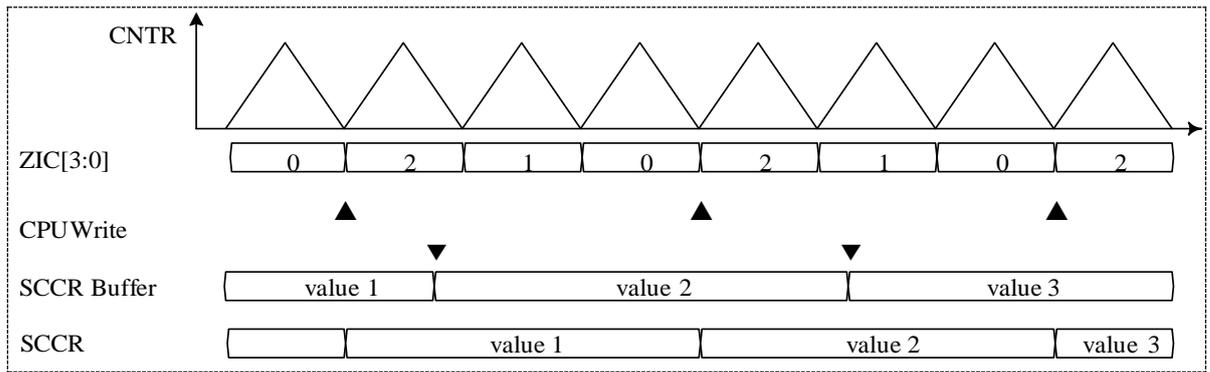


图 15-15 SCCR 缓冲传输操作（周期间隔响应链接传输使能时）

计数器为三角波计数模式，周期间隔计数器（CVPR.ZIC）从 2 到 0 做递减计数，下溢中断在标志▲（计数谷点）时刻产生。在▼时刻，CPU 改写 SCCR 寄存器，写入的数据存储在 SCCR 缓冲寄存器中。之后当计数器计数值为 0x0000 且周期间隔计数器（CVPR.ZIC）为 0 时，进行数据加载操作，数据从缓冲寄存器到 SCCR 寄存器，同时产生中断标志 IRQZF。

15.3.5 通用 PWM 输出

15.3.5.1 独立 PWM 输出

在直通模式(POCR.PWMMD=00)下,分别设定 OCCRxh、OCCRx1 的基准值和 OCMRxh、OCMRx1 的端口输出状态 (x=u、v、w)，可实现不同的 PWM 输出。此时，每个端口的 PWM 输出都独立控制。图 15-16 和图 15-17 分别是单元 1 的锯齿波和三角波下的独立 PWM 输出例。

注意：

- 直通模式是指通用比较基准寄存器（OCCRxh、OCCRx1）的值发生比较匹配所产生的内部输出信号（in_opxh、in_opxl）直接输出至对应的端口（TIM4_<t>_OXH、TIM4_<t>_OXL）上（X=U、V、W，x=u、v、w）。

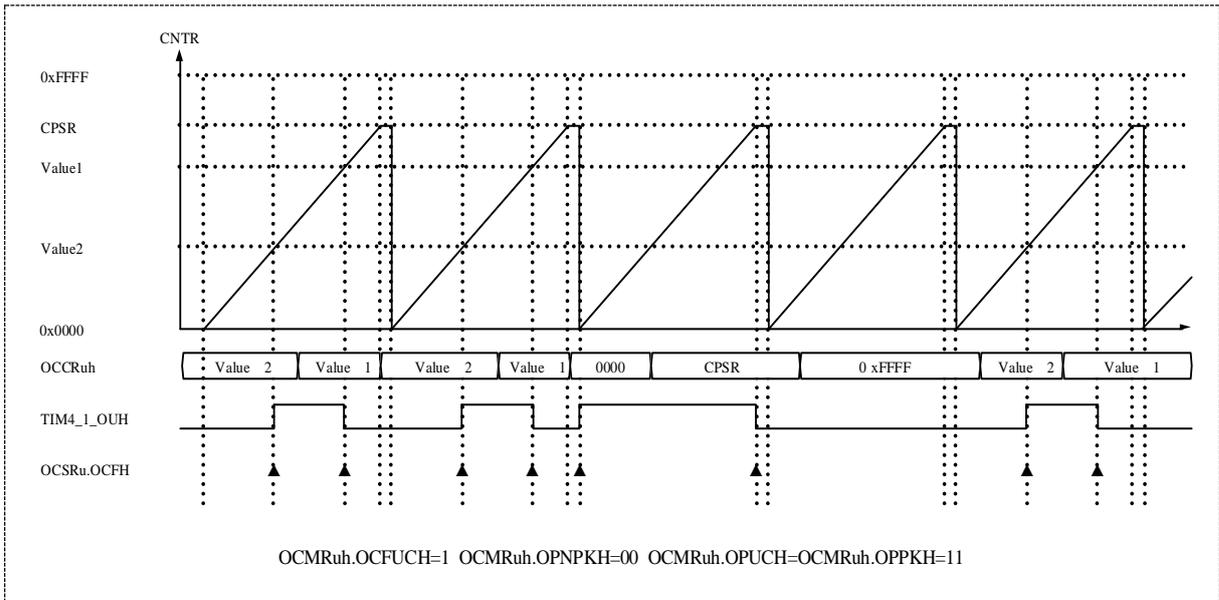


图 15-16 锯齿波独立 PWM 输出例

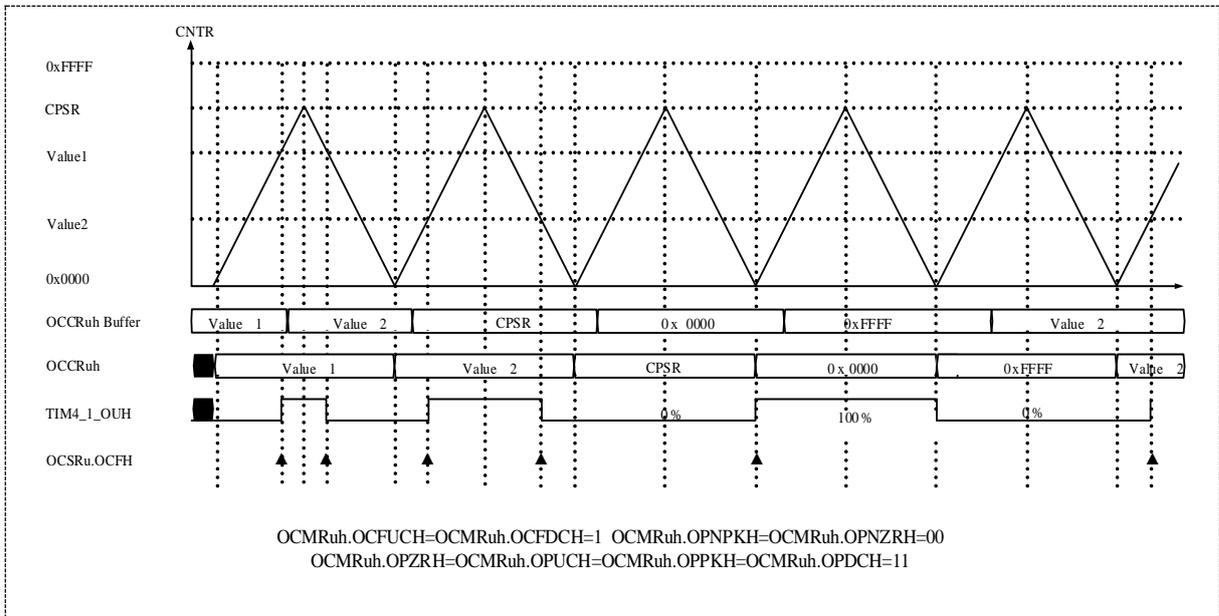


图 15-17 三角波独立 PWM 输出例

15.3.5.2 扩展 PWM 输出

在直通模式(POCR.PWMMD=00)下, TIM4_<t>_OXL 的端口输出状态也可由 OCMRx1 寄存器中的扩展位 (bit32~16) 决定, 该扩展位的设定与 OCCRxh 基准值相关, 从而在 TIM4_<t>_OXL 端口上实现扩展 PWM 输出 (X=U、V、W, x=u、v、w)。图 15-18 所示是该方式下 TIM4_<t>_OUH 和 TIM4_<t>_OUL 端口的 PWM 输出。

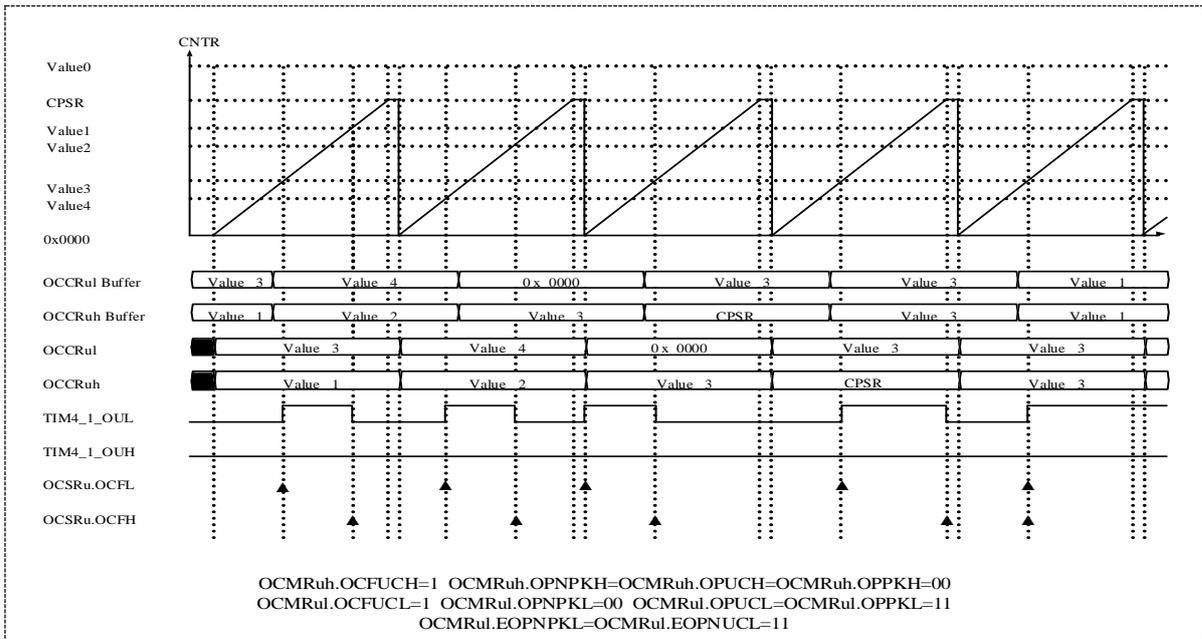


图 15-18 三角波扩展 PWM 输出

注意：

- 独立 PWM 输出方式下，TIM4_<t>_OXL 的端口状态由 OCMRx1 寄存器的 bit15~bit4 位决定，仅与 OCCRx1 基准值有关（X=U、V、W，x=u、v、w）。

15.3.5.3 互补 PWM 输出

软件设定实现互补 PWM 输出

在直通模式（POCR.PWMMD=00）下，直接设定 OCCRxh 和 OCCRx1（x=u、v、w）基准值实现一对互补 PWM 波形输出至端口，3 组端口同样方式设定即可实现 3 相互补 PWM 输出。如图 15-19 所示。

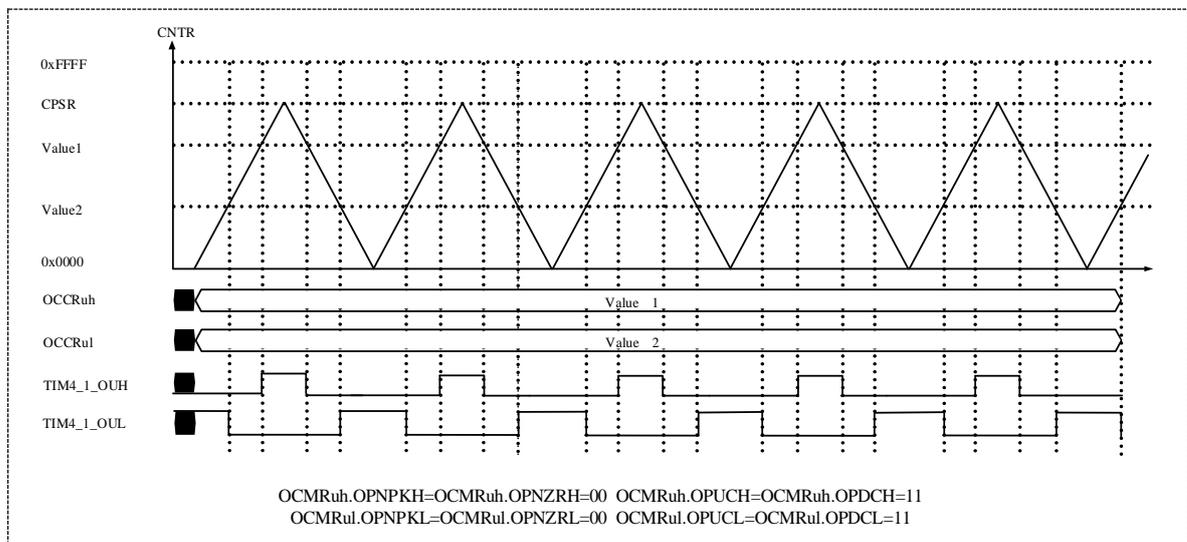


图 15-19 软件实现互补 PWM 输出

硬件设定实现互补 PWM 输出

在死区定时器模式 (POCR.PWMMD=01) 下, 通用比较基准寄存器 (OCCR_{x1}) 的值发生比较匹配产生的内部输出信号 (in_opx1) 和 PWM 死区控制寄存器 (PDAR/PDBR) 的设定值通过时序偏移, 以硬件方式实现互补 PWM 输出。

在该模式下, TIM4_<t>_OXH 端口输出的极性与 in_opx1 相同, TIM4_<t>_OXL 端口输出的极性与 in_opx1 相反 (X=U、V、W, x=u、v、w)。

图 15-20 是死区定时器模式下的互补 PWM 输入例。

如果检测到 in_opx1 上升沿, TIM4_<t>_OXL 输出变为低电平, 死区计数器加载 PDBR_x 寄存器的设定值并启动递减计数, 当计数值变为 0x0000 时, 计数器停止并使 TIM4_<t>_OXH 输出高电平; 如果检测到 in_opx1 下降沿, TIM4_<t>_OXH 输出变为低电平, 死区计数器加载 PDAR_x 寄存器的设定值并启动递减计数, 当计数值变为 0x0000 时, 计数器停止并使 TIM4_<t>_OXL 输出高电平 (X=U、V、W, x=u、v、w)。

通过设置 PWM 死区控制寄存器 PDAR 和 PDBR, 输出上升和下降变化的死区时间可以相应设定。

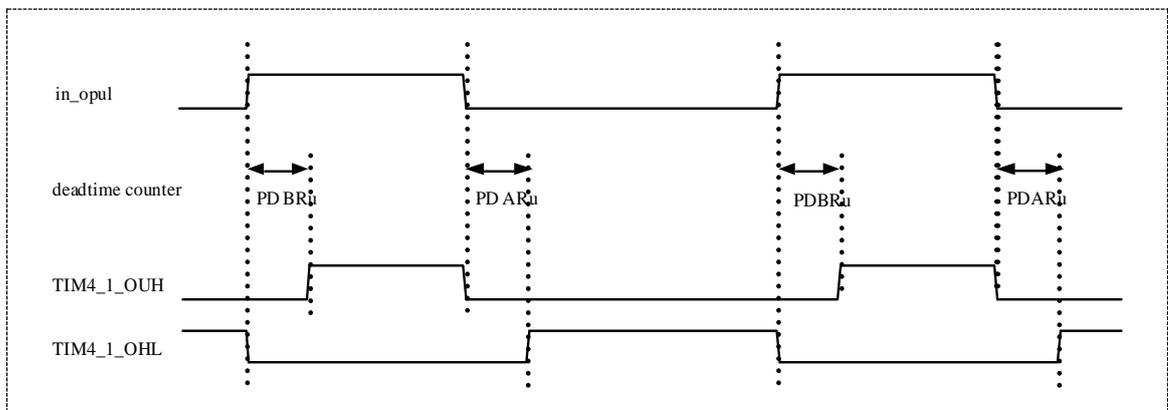


图 15-20 死区定时器模式下的互补 PWM 输出

in_opx1 的高电平脉冲宽度小于 PDBR 设定的死区时间时, 仅 TIM4_<t>_OXL 输出变为低电平。TIM4_<t>_OXL 输出电平变为高的条件是当 in_opx1 下降沿之后经过 PDAR 寄存器设定的死区时间之后。在此情况下, TIM4_<t>_OXH 输出将持续保持为低电平。

in_opx1 的低电平脉冲宽度小于 PDAR 设定的死区时间时, 仅 TIM4_<t>_OXH 输出变为低电平。TIM4_<t>_OXH 输出电平变为高的条件是当 in_opx1 上升沿之后经过 PDBR 寄存器设定的死区时间之后。在此情况下, TIM4_<t>_OXL 输出将持续保持为低电平 (X=U、V、W, x=u、v、w)。如下图 15-21 所示。

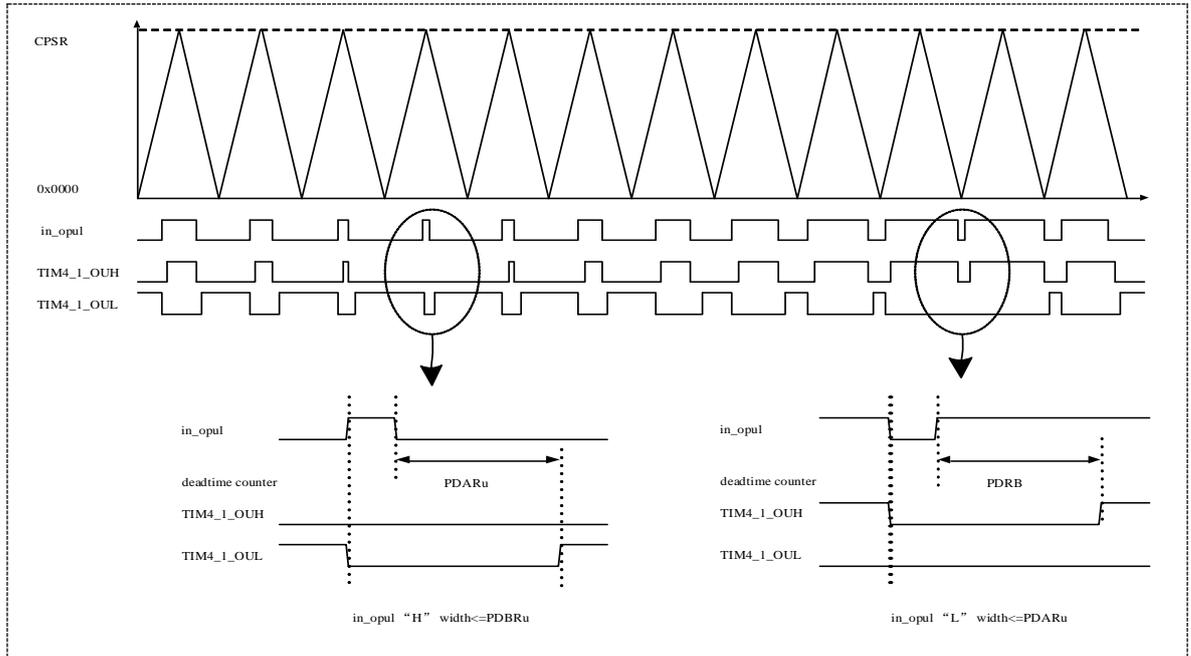


图 15-21 脉宽异常时的死区定时器模式下的波形输出

在上述硬件实现死区输出方式的基础上，还可以对内部的比较匹配信号（in_opxl）进行脉冲宽度的监测，从而实现对 in_opxl 信号的滤波控制。这种 in_opxl 带脉宽滤波的死区输出实现方式叫死区计数器滤波模式（POCR.PWMMD=10）（x=u、v、w）。

在死区计数器滤波模式下，滤波宽度由 PWM 滤波控制寄存器（PFSRn）的设定值决定。当 in_opxl 的脉冲宽度大于寄存器 PFSRn 设定的时间时，滤波计数器将 in_opxl 信号推迟 PFSR 设定的时间后输出，再经过死区定时器模式所描述的方式产生互补 PWM 输出（x=u、v、w）。

如果检测到信号 in_opxl 上升沿，滤波计数器加载 PFSR 寄存器值并启动计量 in_opxl 的高电平宽度，当 in_opxl 的高电平脉冲宽度大于寄存器 PFSR 设定的时间时，经过 PFSR 所设定时间之后，TIM4_<t>_OXL 输出变为低电平，死区计数器加载 PDBR 寄存器的设定值并启动递减计数，当计数值变为 0x0000 时，计数器停止并使 TIM4_<t>_OXH 输出高电平；如果检测到信号 in_opxl 下降沿，滤波计数器加载 PFSR 寄存器值并启动计量 in_opxl 的低电平宽度，当 in_opxl 的低电平脉冲宽度大于寄存器 PFSR 设定的时间时，经过 PFSR 所设定时间之后，TIM4_<t>_OXH 输出变为低电平，死区计数器加载 PDAR 寄存器的设定值并启动递减计数，当计数值变为 0x0000 时，计数器停止并使 TIM4_<t>_OXL 输出高电平。当 in_opxl 的电平脉冲宽度小于寄存器 PFSR 设定的时间时，输出 TIM4_<t>_OXH 和 TIM4_<t>_OXL 将保持不变（X=U、V、

W, x=u、v、w)。

图 15-22 所示，是死区计数器滤波模式下的互补 PWM 输出例。

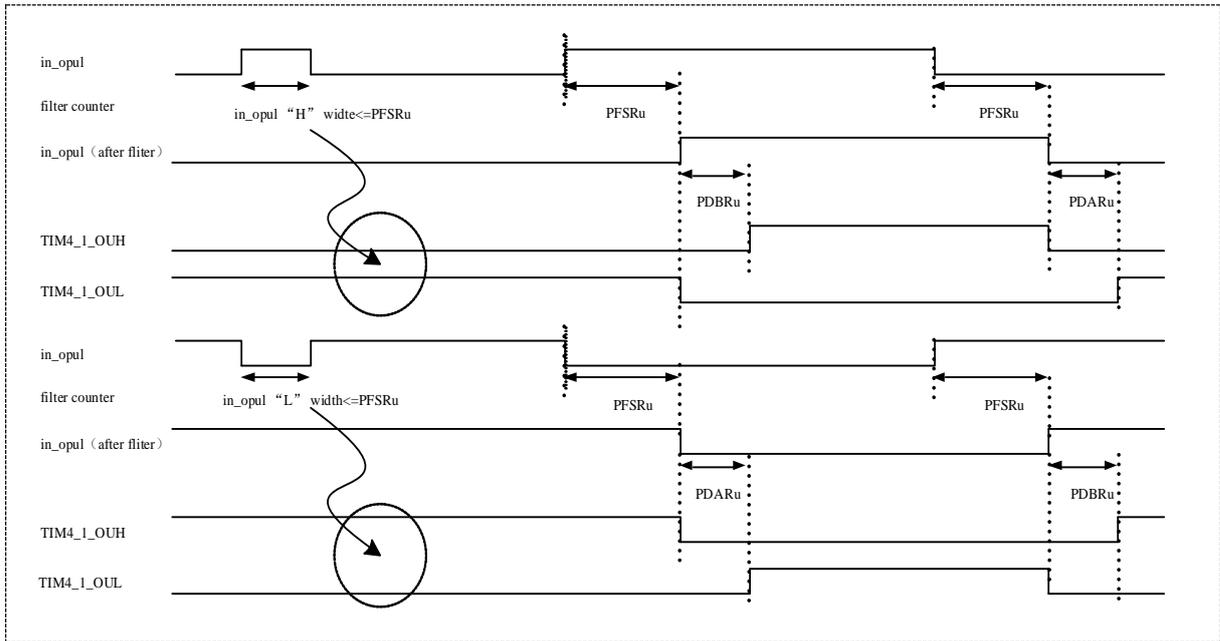


图 15-22 死区定时器滤波模式下的互补 PWM 输出

15.3.6 周期间隔响应

下溢中断屏蔽计数器用于降低（掩盖）下溢标志位（CCSR.IRQZF）的被置位次数。下溢中断屏蔽计数器（CVPR.ZIC[3:0]）作为递减计数器操作，在开始时载入 CVPR.ZIM[3:0]所设定的值，当 CVPR.ZIC[3:0]=“0”时，下溢标志位(CCSR.IRQZF)被置位为“1”。

上溢中断屏蔽计数器用于降低（掩盖）上溢标志位（CCSR.IRQPF）的被置位次数。上溢中断屏蔽计数器（CVPR.PIC[3:0]）作为递减计数器操作，在开始时载入 CVPR.PIM[3:0]所设定的值，当 CVPR.PIC[3:0]=“0”时，上溢标志位(CCSR.IRQPF)被置位为“1”。

如下图 15-23 所示，是周期间隔响应时的 IRQZF、IRQPF 的置位时序图。

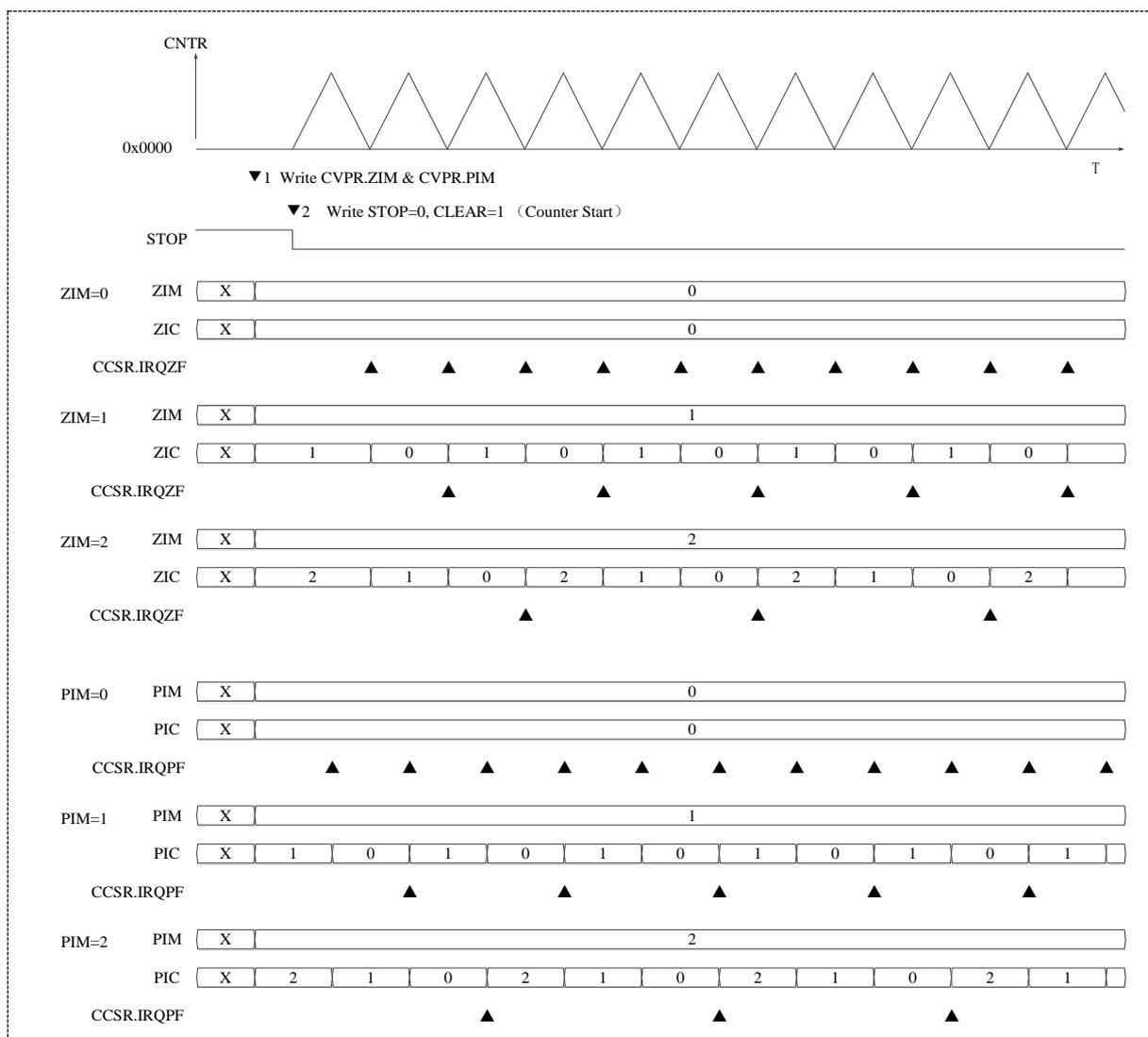


图 15-23 周期间隔响应时序图

▼1 计数器停止时，写入 CVPR.ZIM 和 CVPR.PIM 初始化值，初始值立即反映在内部计数器 (CVPR.ZIC、CVPR.PIC)。

▼2 初始化并启动计数器(STOP=0 且 CLEAR=1)，计数器在总线复位或者从软件初始化 CLEAR=1 后从零开始进行递增计数，此刻 CCSR.IRQZF 标志不会立即置位，之后每当中断屏蔽计数器的计数值为 0x0000 且计数器的计数值为 0x0000 和 CPSR 时，标志▲为 CCSR.IRQZF 或 CCSR.IRQPF 置位的时刻。

注意：

- 在计数器运行中，写入 CVPR.ZIM 和 CVPR.PIM，该设置值不会立即反应到中断屏蔽计数器 (CVPR.ZIC 和 CVPR.PIC)中。如果写入软复位(CLEAR=1)，写入的 CVPR.ZIM 和 CVPR.PIM 值将立即加载为中断屏蔽计数器的初值。

专用比较基准寄存器 (SCCRm) 的比较匹配事件 (专用事件输出) 也具有周期间隔响应功能。如下图 15-24 所示, 是专用事件输出信号的周期间隔响应输出图。

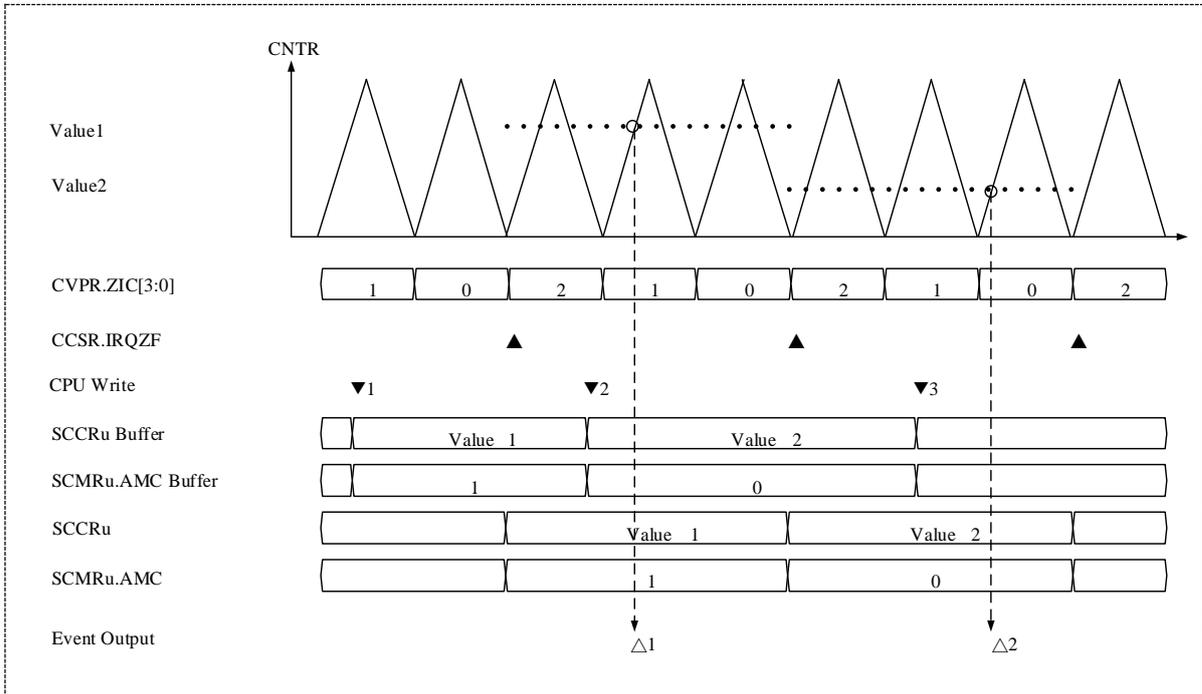


图 15-24 专用事件输出信号周期间隔响应输出

计数器是三角波计数模式, 下溢中断屏蔽计数器(CVPR.ZIC)从 2-0 做递减计数。下溢中断在时刻▲产生。

在时刻▼1, 向 SCCRu 缓冲寄存器写入 value 1。同时, MZCE=1、MPCE=0、AMC=0001 写入 SCMRu 缓冲寄存器。之后, 缓冲寄存器 SCCRu 和 SCMRu 传送操作在▲时刻执行。因为 MZCE=1 且 AMC=1 且计数值=SCCRu=Value 1, 在时刻 Δ_1 , 专用事件输出信号置位。

在时刻▼2, 向 SCCRu 缓冲寄存器写入 value 2。同时, MZCE=1、MPCE=0、AMC=0000 写入 SCMRu 缓冲寄存器。之后, 缓冲寄存器 SCCRu 和 SCMRu 传送操作在▲时刻执行。因为 MZCE=1 且 AMC=0 且计数值=SCCRu=Value 2, 在时刻 Δ_2 , 专用事件输出信号置位。

15.3.7 EMB 控制

每个 Timer4 单元都有一个输出无效事件接口, 连接 EMB 模块输出的 EMB 事件。该接口上选通的异常状况事件可从 EMB 侧设定 (参见 EMB 章节)。

各单元内 3 组 PWM 端口在正常输出期间, 若监测到从 EMB 过来的 EMB 异常事件, 则端口的输出状态可变为预先设定好的状态。该预设端口状态可以为输出高阻态、输出低电平或输出高电平 (由 ECSR.EMBVAL 设定)。

例如，若 ECSR.EMBVAL=01 设定时，在 Timer4 的 PWM 端口正常输出期间产生 EMB 事件，则 PWM 端口上输出变为高阻态。

15.4 中断及事件说明

15.4.1 计数比较匹配中断

通用比较基准值寄存器 (OCCR_m) 共计 6 个, 可分别与计数值比较产生比较匹配有效信号。计数比较匹配时, 通用控制状态寄存器 (OCSR_n) 中的 OCSR_n.OCFH、OCSR_n.OCFL 位分别会被置为 1。此时若设定 OCSR_n.OCIEH、OCSR_n.OCIEL 使能中断, 则对应的中断请求 (TMR4_U<t>_GCMmn, m=U、V、W; n=H、L) 也会被触发。

15.4.2 计数周期匹配中断

锯齿波递加计数至上溢点、锯齿波递减计数至下溢点、三角波计数至谷点或三角波计数至峰点时, 控制状态寄存器 (CCSR) 的 CCSR.IRQPF 或 CCSR.IRQZF 位会被置为 1。此时若设置 CCSR.IRQPEN 或 CCSR.IRQZEN 位使能中断, 则在对应的时间点可触发计数周期匹配中断 (TMR4_U<t>_GOVF 和 TMR4_U<t>_GUDF)。

15.4.3 重载计数匹配中断

在重载功能有效时, PWM 滤波控制寄存器 (PFSR_n) 与计数值比较产生比较匹配信号。计数比较匹配时, 重载控制状态寄存器 (RCSR) 中的 RCSR.RTIFU、RCSR.RTIFV、RCSR.RTIFW 位分别会被置为 1。此时若设定 RCSR.RTIDU、RCSR.RTIDV、RCSR.RTIDW 中断屏蔽无效, 则对应的重载计数匹配中断请求 (TMR4_U<t>_RLOm, m=U、V、W) 也会被触发。

15.4.4 专用比较匹配事件

Timer4 的 6 个专用比较基准寄存器 (SCCR_m) 对应产生 6 个专用事件输出信号可以用于选择触发别的模块, 如启动 ADC 等。

时钟计数过程中, 若专用比较基准值 (SCCR_m) 发生计数比较匹配事件 (TMR4_U<t>_SCMmn, m=U、V、W; n=H、L), 会产生相应的有效请求信号, 该请求信号可以被配置到任意的事件 EVT 输出信号上 (由 SCSR.EVTOS 位设定) 用于触发其它模块。

该事件请求信号的输出可以选择比较启动模式或延时启动模式。在比较启动模式时

(SCSR.EVTMS=0)，产生 SCCR 的计数比较匹配事件后，专用事件输出信号直接输出；在延时启动模式时 (SCSR.EVTMS=1)，产生 OCCRxh 或 OCCRxl (由 SCSR.EVTDS 位选择；x=u、v、w) 的计数比较匹配事件后，经过 SCCR 设定的基准周期时间后，专用事件输出信号输出。下图 15-25 所示，是延时启动模式下的专用事件输出信号的请求输出例。

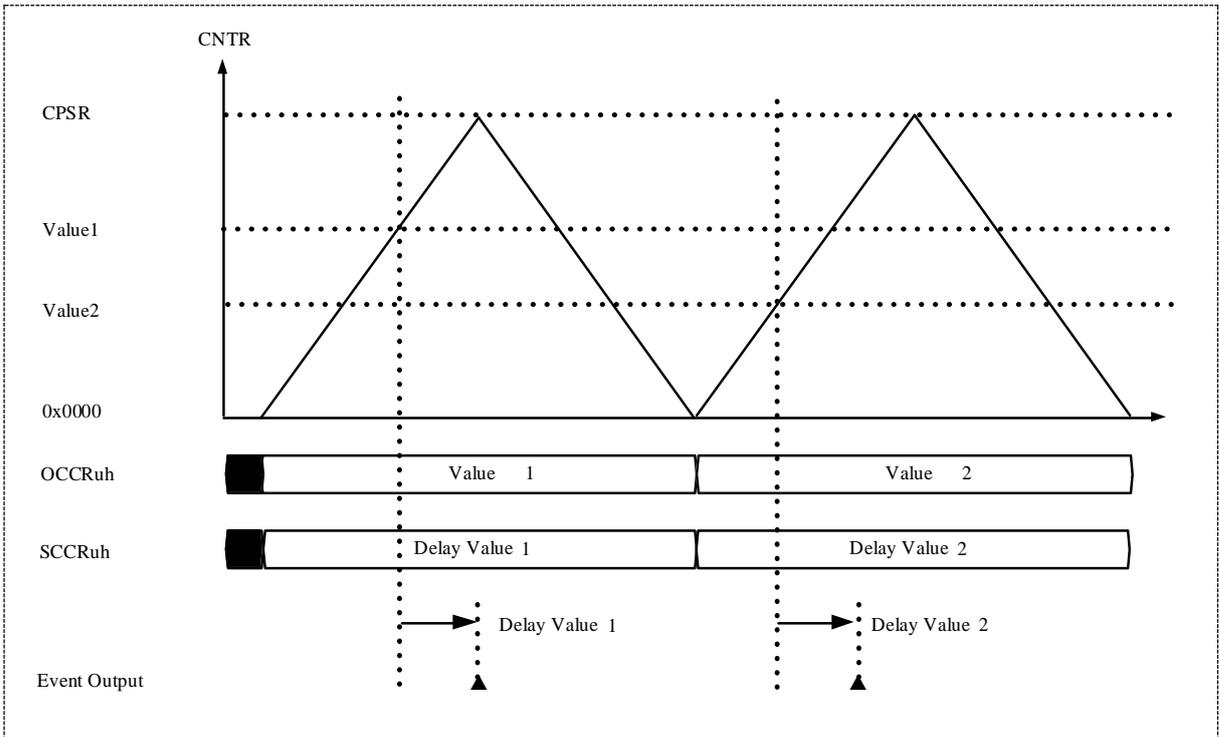


图 15-25 延时启动模式下专用事件输出信号的输出时序

注意：

- 在延迟计数运行中，如果再次发生 OCCR 与计数器匹配事件，延迟计数器重新加载计数值并重新进行递减计数。因此，如果 OCCR 匹配事件时间间隔小于设定的延迟时间 SCCR 时，专用事件输出的请求信号可能一直不会产生。

15.5 寄存器说明

表 15-3 所示，为 Timer4 模块的寄存器列表。

BASE ADDR: 0x40006800H

寄存器名	符号	偏移量	位宽	复位值
计数值寄存器	TMR4_CNTR	0x0046h	16	0x0000h
周期基准寄存器	TMR4_CPSR	0x0042h	16	0xFFFFh
控制状态寄存器	TMR4_CCSR	0x0048h	16	0x0040h
有效周期寄存器	TMR4_CVPR	0x004Ah	16	0x0000h
通用比较基准寄存器UH	TMR4_OCCRuh	0x0002h	16	0x0000h
通用比较基准寄存器UL	TMR4_OCCRul	0x0006h	16	0x0000h
通用比较基准寄存器VH	TMR4_OCCRvh	0x000Ah	16	0x0000h
通用比较基准寄存器VL	TMR4_OCCRvl	0x000Eh	16	0x0000h
通用比较基准寄存器WH	TMR4_OCCRwh	0x0012h	16	0x0000h
通用比较基准寄存器WL	TMR4_OCCRwl	0x0016h	16	0x0000h
通用控制状态寄存器U	TMR4_OCSRu	0x0018h	16	0xFF00h
通用控制状态寄存器V	TMR4_OCSRv	0x001Ch	16	0xFF00h
通用控制状态寄存器W	TMR4_OCSRw	0x0020h	16	0xFF00h
通用扩展控制寄存器U	TMR4_OCERu	0x001Ah	16	0x0000h
通用扩展控制寄存器V	TMR4_OCERv	0x001Eh	16	0x0000h
通用扩展控制寄存器W	TMR4_OCERw	0x0022h	16	0x0000h
通用模式控制寄存器UH	TMR4_OCMRuh	0x0024h	16	0x0000h
通用模式控制寄存器UL	TMR4_OCMRul	0x0028h	32	0x00000000h
通用模式控制寄存器VH	TMR4_OCMRvh	0x002Ch	16	0x0000h
通用模式控制寄存器VL	TMR4_OCMRvl	0x0030h	32	0x00000000h
通用模式控制寄存器WH	TMR4_OCMRwh	0x0034h	16	0x0000h
通用模式控制寄存器WL	TMR4_OCMRwl	0x0038h	32	0x00000000h
专用比较基准寄存器UH	TMR4_SCCRuh	0x00B0h	16	0x0000h

专用比较基准寄存器UL	TMR4_SCCRul	0x00B4h	16	0x0000h
专用比较基准寄存器VH	TMR4_SCCRvh	0x00B8h	16	0x0000h
专用比较基准寄存器VL	TMR4_SCCRvl	0x00BCh	16	0x0000h
专用比较基准寄存器WH	TMR4_SCCRwh	0x00C0h	16	0x0000h
专用比较基准寄存器WL	TMR4_SCCRwl	0x00C4h	16	0x0000h
专用控制状态寄存器UH	TMR4_SCSRuh	0x00C8h	16	0x0000h
专用控制状态寄存器UL	TMR4_SCSRul	0x00CCh	16	0x0000h
专用控制状态寄存器VH	TMR4_SCSRvh	0x00D0h	16	0x0000h
专用控制状态寄存器VL	TMR4_SCSRvl	0x00D4h	16	0x0000h
专用控制状态寄存器WH	TMR4_SCSRwh	0x00D8h	16	0x0000h
专用控制状态寄存器WL	TMR4_SCSRwl	0x00DCh	16	0x0000h
专用模式控制寄存器UH	TMR4_SCMRuh	0x00CAh	16	0xFF00h
专用模式控制寄存器UL	TMR4_SCMRul	0x00CEh	16	0xFF00h
专用模式控制寄存器VH	TMR4_SCMRvh	0x00D2h	16	0xFF00h
专用模式控制寄存器VL	TMR4_SCMRvl	0x00D6h	16	0xFF00h
专用模式控制寄存器WH	TMR4_SCMRwh	0x00DAh	16	0xFF00h
专用模式控制寄存器WL	TMR4_SCMRwl	0x00DEh	16	0xFF00h
PWM基本控制寄存器U	TMR4_POCRu	0x0098h	16	0xFF00h
PWM基本控制寄存器V	TMR4_POCRv	0x009Ch	16	0xFF00h
PWM基本控制寄存器W	TMR4_POCRw	0x00A0h	16	0xFF00h
PWM滤波控制寄存器U	TMR4_PFSRu	0x0082h	16	0x0000h
PWM滤波控制寄存器V	TMR4_PFSRv	0x008Ah	16	0x0000h
PWM滤波控制寄存器W	TMR4_PFSRw	0x0092h	16	0x0000h
PWM死区控制寄存器AU	TMR4_PDARu	0x0084h	16	0x0000h
PWM死区控制寄存器BU	TMR4_PDBRu	0x0086h	16	0x0000h
PWM死区控制寄存器AV	TMR4_PDARv	0x008Ch	16	0x0000h
PWM死区控制寄存器BV	TMR4_PDBRv	0x008Eh	16	0x0000h
PWM死区控制寄存器AW	TMR4_PDARw	0x0094h	16	0x0000h

PWM死区控制寄存器BW	TMR4_PDBRw	0x0096h	16	0x0000h
重载控制状态寄存器	TMR4_RCSR	0x00A4h	16	0x0000h
EMB控制状态寄存器	TMR4_ECSR	(0x40006C18h)	32	0x00000000h

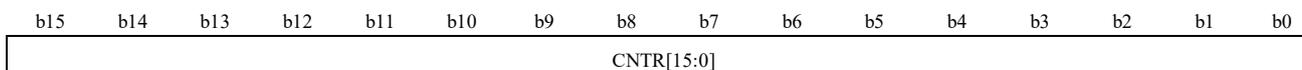
表 15-3 寄存器列表

注意：

- 下述寄存器详细描述中，m=uh、ul、vh、vl、wh、wl，n=u、v、w。m所指寄存器分别在功能实现时对应端口 TIM4_<t>_OUH、TIM4_<t>_OUL、TIM4_<t>_OVH、TIM4_<t>_OVL、TIM4_<t>_OWH、TIM4_<t>_OWL 的输出控制等；n所指寄存器分别在功能实现时对应端口 TIM4_<t>_OUx、TIM4_<t>_OVx、TIM4_<t>_OWx 的输出控制等，其中 x=H 或 L，且 H 或 L 的具体控制在这些寄存器中有相对应的对称位。

15.5.1 计数值寄存器 (TMR4_CNTR)

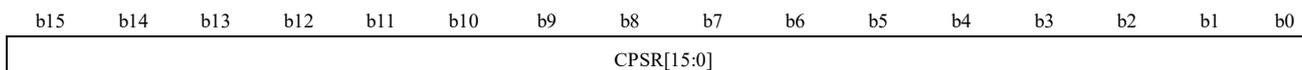
复位值: 0x0000h



位	标记	位名	功能	读写
b15~b0	CNTR[15:0]	计数器当前值	在计数停止时，通过向该寄存器写入值，可初始化计数器计数值 在计数中时，该位指示当前计数器计数值 注：在计数中时，不能向该寄存器写入值	R/W

15.5.2 周期基准寄存器 (TMR4_CPSR)

复位值: 0xFFFFh



位	标记	位名	功能	读写
b15~b0	CPSR[15:0]	通用周期基准值	计数器的计数周期值 注：从本地址区域读取数据时，读取的并非缓冲器寄存器的值，而是CPSR寄存器的值	R/W

15.5.3 控制状态寄存器 (TMR4_CCSR)

复位值: 0x0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ECK EN	IRQ ZF	IRQ ZEN	-	-	-	IRQ PF	IRQ PEN	BUF EN	STOP	MODE	CLEAR	DCLK[3:0]			

位	标记	位名	功能	读写
b15	EXKEN	时钟源选择	0: 内部HCLK时钟 1: 外部TIM4_<t>_CLK端口输入时钟 注1: 该位在计数器停止时设定 注2: 使用外部输入时钟进行操作的场合, 计数器操作开始后, 最初的外部输入时钟的边沿, 无论是上升沿还是下降沿都被忽略, 计数操作从之后的边沿开始	R/W
b14	IRQZF	下溢状态	0: 未发生计数下溢 1: 发生计数下溢 注1: 当使用周期间隔响应功能时, 该位的置位条件由CVPR所设定的周期间隔计数器设定 注2: 当计数器被总线复位或者写入CLEAR="1", IRQZF位将不会被置位	R/W
b13	IRQZEN	下溢中断使能	0: 禁止IRQZF产生中断到CPU 1: 允许IRQZF产生中断到CPU	R/W
b12~b10	Reserved	-	读出时为“0”, 写入时写“0”	R/W
b9	IRQPF	上溢状态	0: 未发生计数上溢 1: 发生计数上溢 注1: 当使用周期间隔响应功能时, 该位的置位条件由CVPR所设定的周期间隔计数器设定。 注2: 当计数器被总线复位或者写入CLEAR="1", IRQZF位将不会被置位	R/W
b8	IRQPEN	上溢中断使能	0: 禁止IRQPF产生中断到CPU 1: 允许IRQPF产生中断到CPU	R/W
b7	BUFEN	缓存使能	0: 禁止CPSR缓存功能 1: 使能CPSR缓存功能	R/W
b6	STOP	计数器使能	0: 计数器启动 1: 计数器停止	R/W
b5	MODE	波形模式	0: 锯齿波模式 (仅支持向上计数) 1: 三角波模式	R/W
b4	CLEAR	计数器清零	0: 无操作 1: 计数器清零 注: 该位读出时始终为0	R/W
b3~b0	CKDIV	计数时钟分频	该位指示基本计数器的计数时钟分频	R/W

0000: 计数时钟为HCLK
0001: 计数时钟为HCLK/2
0010: 计数时钟为HCLK/4
0011: 计数时钟为HCLK/8
0100: 计数时钟为HCLK/16
0101: 计数时钟为HCLK/32
0110: 计数时钟为HCLK/64
0111: 计数时钟为HCLK/128
1000: 计数时钟为HCLK/256
1001: 计数时钟为HCLK/512
1010: 计数时钟为HCLK/1024
请不要设定其它值

15.5.4 有效周期寄存器 (TMR4_CVPR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PIC[3:0]				ZIC[3:0]				PIM[3:0]				ZIM[3:0]			

位	标记	位名	功能	读写
b15~b12	PIC[3:0]	上溢中断屏蔽状态	当前被屏蔽的上溢中断个数	R
b11~b8	ZIC[3:0]	下溢中断屏蔽状态	当前被屏蔽的下溢中断个数	R
b7~b4	PIM[3:0]	上溢中断屏蔽设定	设置屏蔽的上溢中断个数	R/W
b3~b0	ZIM[3:0]	上溢中断屏蔽设定	设置屏蔽的下溢中断个数	R/W

15.5.5 通用比较基准寄存器 (TMR4_OCCRM)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCCR[15:0]															

位	标记	位名	功能	读写
b15~b0	OCCR[15:0]	通用比较基准值	通用比较基准值	R/W

注: 从本地址区域读取数据时, 读取的并非缓冲器寄存器的值, 而是OCCR寄存器的值

15.5.6 通用控制状态寄存器 (TMR4_OCSRn)

复位值: 0xFF00h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								OCFL	OCFH	OCIEL	OCIEH	OCPL	OCPL	OCEL	OCEH
								L	H	L	H	L	H	L	H

位	标记	位名	功能	读写
b15~b8	Reserved	-	读出时为“1”,写入时写“1”	R/W
b7	OCFL	计数匹配L	0: 计数器计数值与OCCRxL设定值不相等 1: 计数器计数值与OCCRxL设定值相等 (x=u、v、w) 注: 该位必须在OCEL=1时有效	R/W
b6	OCFH	计数匹配H	0: 计数器计数值与OCCRxH设定值不相等 1: 计数器计数值与OCCRxH设定值相等 (x=u、v、w) 注: 该位必须在OCEH=1时有效	R/W
b5	OCIEL	计数匹配L中断使能	0: OCFL置位时, 不发生中断 1: OCFL置位时, 发生中断	R/W
b4	OCIEH	计数匹配H中断使能	0: OCFH置位时, 不发生中断 1: OCFH置位时, 发生中断	R/W
b3	OCPL	比较输出无效时端口状态L	0: OCEL=0时, TIM4_<t>_OxL上输出低电平 1: OCEL=0时, TIM4_<t>_OxL上输出高电平 (m=U、V、W)	R/W
b2	OCPL	比较输出无效时端口状态H	0: OCEH=0时, TIM4_<t>_OxH上输出低电平 1: OCEH=0时, TIM4_<t>_OxH上输出高电平 (m=U、V、W)	R/W
b1	OCEL	端口输出选择L	0: 比较输出无效, TIM4_<t>_OxL端口状态由OCPL决定 1: 比较输出有效, TIM4_<t>_OxL端口状态由OCMRyL的设定和OCFL状态决定 (x=U、V、W, y=u、v、w)	R/W
b0	OCEH	端口输出选择H	0: 比较输出无效, TIM4_<t>_OxH端口状态由OCPL决定 1: 比较输出有效, TIM4_<t>_OxH端口状态由OCMRyh的设定和OCFH状态决定 (x=U、V、W, y=u、v、w)	R/W

15.5.7 通用扩展控制寄存器 (TMR4_OCERn)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	MCEC L	MCEC H	LMM L	LMM H	LMC L	LMC H	MLBUF EN[1:0]	MHBUF EN[1:0]	CLBUF EN[1:0]	CHBUF EN[1:0]				

位	标记	位名	功能	读写
b15~b14	Reserved	-	读出时为“0”,写入时写“0”	R/W
b13	MCECL	扩展控制使能L	0: 禁止计数值与OCCRx1匹配条件的扩展控制功能 1: 使能计数值与OCCRx1匹配条件的扩展控制功能 (x=u、v、w) 注: 只能在输出比较功能无效 (OCSR.OCEL=0) 时修改该位	R/W
b12	MCECH	扩展控制使能H	0: 禁止计数值与OCCRxh匹配条件的扩展控制功能 1: 使能计数值与OCCRxh匹配条件的扩展控制功能 (x=u、v、w) 注: 只能在输出比较功能无效 (OCSR.OCEH=0) 时修改该位	R/W
b11	LMML	周期间隔响应功能链接L	0: 周期间隔响应功能链接无效, OCMRx1的缓存传送由MLBUFEN设定决定 1: 周期间隔响应功能链接有效, OCMRx1的缓存传送在MLBUFEN设定的基础上, 还必须满足CVPR.PIC[3:0]=0000 (计数上溢时) 或CVPR.ZIC[3:0]=0000 (计数下溢时) (x=u、v、w)	R/W
b10	LMMH	周期间隔响应功能链接H	0: 周期间隔响应功能链接无效, OCMRxh的缓存传送由MLBUFEN设定决定 1: 周期间隔响应功能链接有效, OCMRxh的缓存传送在MLBUFEN设定的基础上, 还必须满足CVPR.PIC[3:0]=0000 (计数上溢时) 或CVPR.ZIC[3:0]=0000 (计数下溢时) (x=u、v、w)	R/W
b9	LMCL	周期间隔响应功能链接L	0: 周期间隔响应功能链接无效, OCCRx1的缓存传送由MLBUFEN设定决定 1: 周期间隔响应功能链接有效, OCCRx1的缓存传送在MLBUFEN设定的基础上, 还必须满足CVPR.PIC[3:0]=0000 (计数上溢时) 或CVPR.ZIC[3:0]=0000 (计数下溢时) (x=u、v、w)	R/W
b8	LMCH	周期间隔响应功能链接H	0: 周期间隔响应功能链接无效, OCCRxh的缓存传送由MLBUFEN设定决定 1: 周期间隔响应功能链接有效, OCCRxh的缓存传送在MLBUFEN设定的基础上, 还必须满足CVPR.PIC[3:0]=0000 (计数上溢时) 或CVPR.ZIC[3:0]=0000 (计数下溢时) (x=u、v、w)	R/W

b7~b6	MLBUFEN[1:0]	OCMRxl缓存传送	00: OCMRxI缓存寄存器的值直接写入OCMRxl 01: OCMRxI缓存寄存器的值在计数下溢时写入OCMRxl 10: OCMRxI缓存寄存器的值在计数上溢时写入OCMRxl 11: OCMRxI缓存寄存器的值在计数下溢或上溢时写入OCMRxl (x=u、v、w)	R/W
b5~b4	MHBUFEN[1:0]	OCMRxh缓存转送	00: OCMRxh缓存寄存器的值直接写入OCMRxh 01: OCMRxh缓存寄存器的值在计数下溢时写入OCMRxh 10: OCMRxh缓存寄存器的值在计数上溢时写入OCMRxh 11: OCMRxh缓存寄存器的值在计数下溢或上溢时写入OCMRxh (x=u、v、w)	R/W
b3~b2	CLBUFEN[1:0]	OCCRxI缓存传送	00: OCCRxI缓存寄存器的值直接写入OCCRxI 01: OCCRxI缓存寄存器的值在计数下溢时写入OCCRxI 10: OCCRxI缓存寄存器的值在计数上溢时写入OCCRxI 11: OCCRxI缓存寄存器的值在计数下溢或上溢时写入OCCRxI (x=u、v、w)	R/W
b1~b0	CHBUFEN[1:0]	OCCRxh缓存传送	00: OCCRxh缓存寄存器的值直接写入OCCRxh 01: OCCRxh缓存寄存器的值在计数下溢时写入OCCRxh 10: OCCRxh缓存寄存器的值在计数上溢时写入OCCRxh 11: OCCRxh缓存寄存器的值在计数下溢或上溢时写入OCCRxh (x=u、v、w)	R/W

15.5.8 通用模式控制寄存器 (TMR4_OCMRm)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OPN ZRH[1:0]		OPN PKH[1:0]		OP ZRH[1:0]		OP UCH[1:0]		OP PKH[1:0]		OP DCH[1:0]		OCF ZRH	OCF UCH	OCF PKH	OCF DCH

注：该寄存器位描述用于 OCMRuh、OCMRvh、OCMRwh 时

位	标记	位名	功能	读写
b15~b14	OPNZRH[1:0]	下溢点端口状态H	条件：计数下溢 & OCCRxh计数不匹配 (x=u、v、w) 00：满足条件时，TIM4_<t>_OyH端口位保持不变 01：满足条件时，TIM4_<t>_OyH端口位输出高电平 10：满足条件时，TIM4_<t>_OyH端口位输出低电平 11：满足条件时，TIM4_<t>_OyH端口位输出反转 (y=U、V、W)	R/W
b13~b12	OPNPKH[1:0]	上溢点端口状态H	条件：计数上溢 & OCCRxh计数不匹配 (x=u、v、w) 00：满足条件时，TIM4_<t>_OyH端口位保持不变 01：满足条件时，TIM4_<t>_OyH端口位输出高电平 10：满足条件时，TIM4_<t>_OyH端口位输出低电平 11：满足条件时，TIM4_<t>_OyH端口位输出反转 (y=U、V、W)	R/W
b11~b10	OPZRH[1:0]	下溢点端口状态H	条件：计数下溢 & OCCRxh计数匹配 (x=u、v、w) 00：满足条件时，TIM4_<t>_OyH端口位保持不变 01：满足条件时，TIM4_<t>_OyH端口位输出高电平 10：满足条件时，TIM4_<t>_OyH端口位输出低电平 11：满足条件时，TIM4_<t>_OyH端口位输出反转 (y=U、V、W)	R/W
b9~b8	OPUCH[1:0]	向上计数端口状态H	条件：计数器向上计数 & OCCRxh计数匹配 (x=u、v、w) 00：满足条件时，TIM4_<t>_OyH端口位保持不变 01：满足条件时，TIM4_<t>_OyH端口位输出高电平 10：满足条件时，TIM4_<t>_OyH端口位输出低电平 11：满足条件时，TIM4_<t>_OyH端口位输出反转 (y=U、V、W)	R/W
b7~b6	OPPKH[1:0]	上溢点端口状态H	条件：计数上溢 & OCCRxh计数匹配 (x=u、v、w) 00：满足条件时，TIM4_<t>_OyH端口位保持不变 01：满足条件时，TIM4_<t>_OyH端口位输出高电平 10：满足条件时，TIM4_<t>_OyH端口位输出低电平 11：满足条件时，TIM4_<t>_OyH端口位输出反转 (y=U、V、W)	R/W
b5~b4	OPDCH[1:0]	向下计数端口状态H	条件：计数器向下计数 & OCCRxh计数匹配 (x=u、v、w) 00：满足条件时，TIM4_<t>_OyH端口位保持不变	R/W

b27~b26	EOPZRL[1:0]	扩张下溢点端口 状态L	条件: 计数下溢 & OCCRxI计数匹配 & OCCRxH计数匹配 (x=u、 v、w) 00: 满足条件时, TIM4_<D>_OyL端口位保持不变 01: 满足条件时, TIM4_<D>_OyL端口位输出高电平 10: 满足条件时, TIM4_<D>_OyL端口位输出低电平 11: 满足条件时, TIM4_<D>_OyL端口位输出反转 (y=U、V、W)	R/W
b25~b24	EOPUCL[1:0]	扩张向上计数端 口状态L	条件: 计数器向上计数 & OCCRxI计数匹配 & OCCRxH计数匹配 (x=u、v、w) 00: 满足条件时, TIM4_<D>_OyL端口位保持不变 01: 满足条件时, TIM4_<D>_OyL端口位输出高电平 10: 满足条件时, TIM4_<D>_OyL端口位输出低电平 11: 满足条件时, TIM4_<D>_OyL端口位输出反转 (y=U、V、W)	R/W
b23~b22	EOPPKL[1:0]	扩张上溢点端口 状态L	条件: 计数上溢 & OCCRxI计数匹配 & OCCRxH计数匹配 (x=u、 v、w) 00: 满足条件时, TIM4_<D>_OyL端口位保持不变 01: 满足条件时, TIM4_<D>_OyL端口位输出高电平 10: 满足条件时, TIM4_<D>_OyL端口位输出低电平 11: 满足条件时, TIM4_<D>_OyL端口位输出反转 (y=U、V、W)	R/W
b21~b20	EOPDCL[1:0]	扩张向下计数端 口状态L	条件: 计数器向下计数 & OCCRxI计数匹配 & OCCRxH计数匹配 (x=u、v、w) 00: 满足条件时, TIM4_<D>_OyL端口位保持不变 01: 满足条件时, TIM4_<D>_OyL端口位输出高电平 10: 满足条件时, TIM4_<D>_OyL端口位输出低电平 11: 满足条件时, TIM4_<D>_OyL端口位输出反转 (y=U、V、W)	R/W
b19~b18	EOPNUCL[1:0]	扩张向上计数端 口状态L	条件: 计数器向上计数 & OCCRxI计数不匹配 & OCCRxH计数匹配 (x=u、v、w) 00: 满足条件时, TIM4_<D>_OyL端口位保持不变 01: 满足条件时, TIM4_<D>_OyL端口位输出高电平 10: 满足条件时, TIM4_<D>_OyL端口位输出低电平 11: 满足条件时, TIM4_<D>_OyL端口位输出反转 (y=U、V、W)	R/W
b17~b16	EOPNDCL[1:0]	扩张向下计数端 口状态L	条件: 计数器向下计数 & OCCRxI计数不匹配 & OCCRxH计数匹配 (x=u、v、w) 00: 满足条件时, TIM4_<D>_OyL端口位保持不变 01: 满足条件时, TIM4_<D>_OyL端口位输出高电平 10: 满足条件时, TIM4_<D>_OyL端口位输出低电平 11: 满足条件时, TIM4_<D>_OyL端口位输出反转 (y=U、V、W)	R/W

b15~b14	OPNZRL[1:0]	下溢点端口状态 L	条件: 计数下溢 & OCCRx1计数不匹配 & OCCRxh计数不匹配 (x=u、v、w) 00: 满足条件时, TIM4_<td>_OyL端口位保持不变 01: 满足条件时, TIM4_<td>_OyL端口位输出高电平 10: 满足条件时, TIM4_<td>_OyL端口位输出低电平 11: 满足条件时, TIM4_<td>_OyL端口位输出反转 (y=U、V、W)	R/W
b13~b12	OPNPKL[1:0]	上溢点端口状态 L	条件: 计数上溢 & OCCRx1计数不匹配 & OCCRxh计数不匹配 (x=u、v、w) 00: 满足条件时, TIM4_<td>_OyL端口位保持不变 01: 满足条件时, TIM4_<td>_OyL端口位输出高电平 10: 满足条件时, TIM4_<td>_OyL端口位输出低电平 11: 满足条件时, TIM4_<td>_OyL端口位输出反转 (y=U、V、W)	R/W
b11~b10	OPZRL[1:0]	下溢点端口状态 L	条件: 计数下溢 & OCCRx1计数匹配 & OCCRxh计数不匹配 (x=u、v、w) 00: 满足条件时, TIM4_<td>_OyL端口位保持不变 01: 满足条件时, TIM4_<td>_OyL端口位输出高电平 10: 满足条件时, TIM4_<td>_OyL端口位输出低电平 11: 满足条件时, TIM4_<td>_OyL端口位输出反转 (y=U、V、W)	R/W
b9~b8	OPUCL[1:0]	向上计数端口状态 L	条件: 计数器向上计数 & OCCRx1计数匹配 & OCCRxh计数不匹配 (x=u、v、w) 00: 满足条件时, TIM4_<td>_OyL端口位保持不变 01: 满足条件时, TIM4_<td>_OyL端口位输出高电平 10: 满足条件时, TIM4_<td>_OyL端口位输出低电平 11: 满足条件时, TIM4_<td>_OyL端口位输出反转 (y=U、V、W)	R/W
b7~b6	OPPKL[1:0]	上溢点端口状态 L	条件: 计数上溢 & OCCRx1计数匹配 & OCCRxh计数不匹配 (x=u、v、w) 00: 满足条件时, TIM4_<td>_OyL端口位保持不变 01: 满足条件时, TIM4_<td>_OyL端口位输出高电平 10: 满足条件时, TIM4_<td>_OyL端口位输出低电平 11: 满足条件时, TIM4_<td>_OyL端口位输出反转 (y=U、V、W)	R/W
b5~b4	OPDCL[1:0]	向下计数端口状态 L	条件: 计数器向下计数 & OCCRx1计数匹配 & OCCRxh计数不匹配 (x=u、v、w) 00: 满足条件时, TIM4_<td>_OyL端口位保持不变 01: 满足条件时, TIM4_<td>_OyL端口位输出高电平 10: 满足条件时, TIM4_<td>_OyL端口位输出低电平 11: 满足条件时, TIM4_<td>_OyL端口位输出反转 (y=U、V、W)	R/W

b3	OCFZRL	下溢点OCFL状态L	条件: 计数下溢 & OCCRx1计数匹配 (x=u、v、w) 0: 满足条件时, OCSR.OCFL位保持不变 1: 满足条件时, OCSR.OCFL位置位	R/W
b2	OCFUCL	向上计数OCFL状态L	条件: 计数器向上计数 & OCCRx1计数匹配 (x=u、v、w) 0: 满足条件时, OCSR.OCFL位保持不变 1: 满足条件时, OCSR.OCFL位置位	R/W
b1	OCFPKL	上溢点OCFL状态L	条件: 计数上溢 & OCCRx1计数匹配 (x=u、v、w) 0: 满足条件时, OCSR.OCFL位保持不变 1: 满足条件时, OCSR.OCFL位置位	R/W
b0	OCFDCL	向下计数OCFL状态L	条件: 计数器向下计数 & OCCRx1计数匹配 (x=u、v、w) 0: 满足条件时, OCSR.OCFL位保持不变 1: 满足条件时, OCSR.OCFL位置位	R/W

注意:

- 从本地地址区域读取数据时, 读取的并非缓冲器寄存器的值, 而是 OCMR 寄存器的值。
- TIM4_<t>_OyL 可以由 OCCRx1 与计数器的计数值(独立操作模式), 或者 OCCRxh 与计数器的计数值且 OCCRx1 与计数器的计数值(链接操作模式)来决定。向寄存器 OCMRx1 的 bit[31:20] 和 bit[15:4]写入相同的 12 位值, 同时将 OCMRx1[19:16]写入“0000”, 此时, TIM4_<t>_OyL 输出将不受 OCCRxh 的影响, 而仅由 OCCRx1 决定。此模式叫做独立操作模式----通道 yH 由 OCCRxh 决定, 通道 yL 由 OCCRx1 决定配置。如果不满足上述条件的独立操作模式, 就是链接操作模式---通道 yL 输出同时受 OCCRxh 和 OCCRx1 影响。

(x=u、v、w, y=U、V、W)

15.5.9 专用比较基准寄存器 (TMR4_SCCRm)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SCCR[15:0]															

位	标记	位名	功能	读写
b15~b0	SCCR[15:0]	专用比较基准值	专用比较基准值 (比较启动模式) 或延迟基准值 (延迟启动模式)	R/W

注: 从本地地址区域读取数据时, 读取的并非缓冲器寄存器的值, 而是SCCR寄存器的值

15.5.10 专用控制状态寄存器 (TMR4_SCSRm)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ZEN	UEN	PEN	DEN	-	-	EVT DS	EVT MS	-	-	LMC	EVTOS[2:0]		BUFEN[1:0]		

位	标记	位名	功能	读写
b15	ZEN	下溢点EVT使能	0: 计数下溢时, EVT无操作 1: 计数下溢时: EVTMS=0&SCCR比较匹配&SCMR设定匹配时, EVT启动输出 EVTMS=1&OCCR比较匹配&SCMR设定匹配时, EVT延时模式启动	R/W
b14	UEN	向上计数EVT使能	0: 向上计数时, EVT无操作 1: 向上计数时: EVTMS=0&SCCR比较匹配&SCMR设定匹配时, EVT启动输出 EVTMS=1&OCCR比较匹配&SCMR设定匹配时, EVT延时模式启动	R/W
b13	PEN	上溢点EVT使能	0: 计数上溢时, EVT无操作 1: 计数上溢时: EVTMS=0&SCCR比较匹配&SCMR设定匹配时, EVT启动输出 EVTMS=1&OCCR比较匹配&SCMR设定匹配时, EVT延时模式启动	R/W
b12	DEN	向下计数EVT使能	0: 向下计数时, EVT无操作 1: 向下计数时: EVTMS=0&SCCR比较匹配&SCMR设定匹配时, EVT启动输出 EVTMS=1&OCCR比较匹配&SCMR设定匹配时, EVT延时模式启动	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9	EVTDS	EVT延时对象选择	0: 在延时启动模式时, OCCR _{xh} 作为延时比较匹配对象 1: 在延时启动模式时, OCCR _{xl} 作为延时比较匹配对象 (x=u、v、w) 注: 该位在EVTMS=0时无效	R/W
b8	EVTMS	EVT模式选择	0: 比较启动模式 (CNTR和SCCR的比较结果触发) 1: 延时启动模式 (比较匹配事件经SCCR延迟后触发)	R/W
b7~b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5	LMC	周期间隔响应功能链接	0: 周期间隔响应功能链接无效, SCCR的缓存传送由BUFEN设定决定 1: 周期间隔响应功能链接有效, SCCR的缓存传送在BUFEN设定的基础上, 还必须满足CVPR.PIC[3:0]=0000 (计数上溢时) 或 CVPR.ZIC[3:0]=0000 (计数下溢时)	R/W

b4~b2	EVTOS[2:0]	EVT输出选择	<p>000: Special Event 0的EVT输出有效</p> <p>001: Special Evnet 1的EVT输出有效</p> <p>010: Special Evnet 2的EVT输出有效</p> <p>011: Special Evnet 3的EVT输出有效</p> <p>100: Special Evnet 4的EVT输出有效</p> <p>101: Special Evnet 5的EVT输出有效</p> <p>请不要设定其他值</p>	R/W
b1~b0	BUFEN[1:0]	SCCR&SCMR缓存传 送	<p>00: SCCR、SCMR缓存寄存器的值直接写入SCCR、SCMR</p> <p>01: SCCR、SCMR缓存寄存器的值在计数下溢时写入SCCR、SCMR</p> <p>10: SCCR、SCMR缓存寄存器的值在计数上溢时写入SCCR、SCMR</p> <p>11: SCCR、SCMR缓存寄存器的值在计数下溢或上溢时写入SCCR、SCMR</p>	R/W

15.5.11 专用模式控制寄存器 (TMR4_SCMRm)

复位值: 0xFF00h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								MPCE	MZCE	-	-	AMC[3:0]			

位	标记	位名	功能	读写
b15~b8	Reserved	-	读出时为“1”,写入时写“1”	R/W
b7	MPCE	周期间隔响应使能	0: 禁止AMC与CVPR.PIC比较 1: 使能AMC与CVPR.PIC比较	R/W
b6	MZCE	周期间隔响应使能	0: 禁止AMC与CVPR.ZIC比较 1: 使能AMC与CVPR.ZIC比较	R/W
b5~b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3~b0	AMC[3:0]	专用事件输出周期间隔值	该位设定专用事件输出功能时的周期间隔值,在AMC和CVPR.PIC或CVPR.ZIC相等时,专用事件输出功能有效	R/W

注意:

- 从本地地址区域读取数据时,读取的并非缓冲器寄存器的值,而是 SCMR 寄存器的值。

15.5.12 PWM 基本控制寄存器 (TMR4_POCRn)

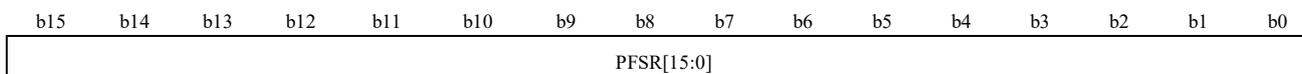
复位值: 0xFF00h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								LVLS[1:0]	PWMMD[1:0]	-	DIVCK[2:0]				

位	标记	位名	功能	读写
b15~b8	Reserved	-	读出时为“1”,写入时写“1”	R/W
b7~b6	LVLS[1:0]	PWM输出极性控制	00: TIM4_<>_OxH和TIM4_<>_OxL的输出都不反转 01: TIM4_<>_OxH和TIM4_<>_OxL的输出都反转 10: TIM4_<>_OxH的输出反转, TIM4_<>_OxL的输出不反转 11: TIM4_<>_OxH的输出不反转, TIM4_<>_OxL的输出反转	R/W
b5~b4	PWMMD[1:0]	PWM输出模式	00: 直通模式 01: 死区定时器模式 10: 死区定时器滤波模式 11: 设定禁止	R/W
b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2~b0	DIVCK[2:0]	计数时钟分频	该位指示滤波计数器和死区计数器的计数时钟分频 000: 计数时钟为HCLK 001: 计数时钟为HCLK/2 010: 计数时钟为HCLK/4 011: 计数时钟为HCLK/8 100: 计数时钟为HCLK/16 101: 计数时钟为HCLK/32 110: 计数时钟为HCLK/64 111: 计数时钟为HCLK/128	R/W

15.5.13 PWM 滤波控制寄存器 (TMR4_PFSRn)

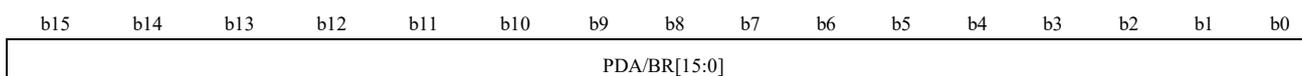
复位值: 0x0000h



位	标记	位名	功能	读写
b15~b0	PFSR[15:0]	滤波初始值	滤波计数初始值	R/W
<p>注：当PWM波形输出模式不选死区定时器滤波模式时，16位滤波计数器用作的16位重载计数器，此时16位滤波计数器可以周期性产生中断输出，此功能与PWM波形生成器功能无关。</p>				

15.5.14 PWM 死区控制寄存器 (TMR4_PDARn)

复位值: 0x0000h



位	标记	位名	功能	读写
b15~b0	PDA/BR[15:0]	死区初始值	死区计数初始值	R/W

15.5.15 重载控制状态寄存器 (TMR4_RCSR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RTS W	RTE W	RTIC W	RTIF W	RTS V	RTE V	RTIC V	RTIF V	RTS U	RTE U	RTIC U	RTIF U	-	RTID W	RTID V	RTID U

位	标记	位名	功能	读写
b15	RTSW	重载计数器停止W	0: 无操作 1: 停止重载计数器W并清除RTIFW 注: 该位在读出时始终为0	R/W
b14	RTEW	重载计数器启动W	0: 重载计数器W停止 1: 重载计数器W启动	R/W
b13	RTICW	清零计数匹配状态W	0: 无操作 1: 清零RTIFW标志位 注: 该位在读出时始终为0	R/W
b12	RTIFW	计数匹配状态W	0: 重载计数器计数值与PFSR _w 发生未比较匹配 1: 重载计数器计数值与PFSR _w 发生比较匹配	R
b11	RTSV	重载计数器停止V	0: 无操作 1: 停止重载计数器V并清除RTIFV 注: 该位在读出时始终为0	R/W
b10	RTEV	重载计数器启动V	0: 重载计数器V停止 1: 重载计数器V启动	R/W
b9	RTICV	清零计数匹配状态V	0: 无操作 1: 清零RTIFV标志位 注: 该位在读出时始终为0	R/W
b8	RTIFV	计数匹配状态V	0: 重载计数器计数值与PFSR _v 发生未比较匹配 1: 重载计数器计数值与PFSR _v 发生比较匹配	R
b7	RTSU	重载计数器停止U	0: 无操作 1: 停止重载计数器U并清除RTIFU 注: 该位在读出时始终为0	R/W
b6	RTEU	重载计数器启动U	0: 重载计数器U停止 1: 重载计数器U启动	R/W
b5	RTICU	清零计数匹配状态U	0: 无操作 1: 清零RTIFU标志位 注: 该位在读出时始终为0	R/W
b4	RTIFU	计数匹配状态U	0: 重载计数器计数值与PFSR _u 发生未比较匹配 1: 重载计数器计数值与PFSR _u 发生比较匹配	R
b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2	RTIDW	重载中断屏蔽W	0: 重载功能有效时,重载中断W输出有效 1: 重载功能有效时,重载中断W输出无效	R/W

b1	RTIDV	重载中断屏蔽V	0: 重载功能有效时, 重载中断V输出有效 1: 重载功能有效时, 重载中断V输出无效	R/W
b0	RTIDU	重载中断屏蔽U	0: 重载功能有效时, 重载中断U输出有效 1: 重载功能有效时, 重载中断U输出无效	R/W

15.5.16 EMB 控制状态寄存器 (TMR4_ECSR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved													EMBVAL[2:0]		

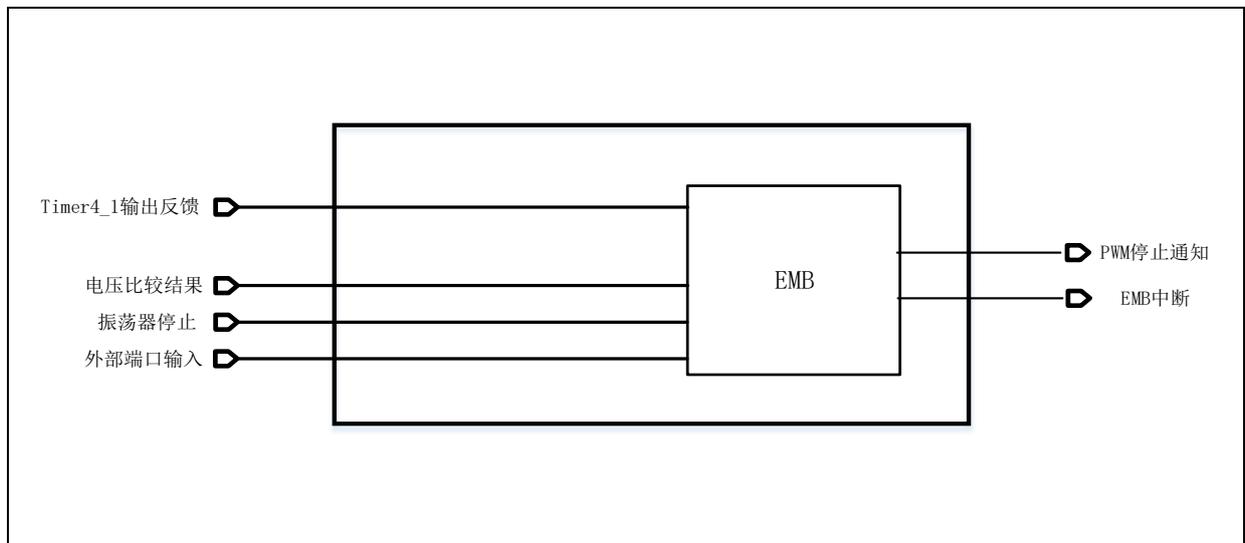
位	标记	位名	功能	读写
b15~b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2~b0	EMBVAL[2:0]	EMB状态控制	000: 发生EMB事件时, PWM端口正常输出 100: 发生EMB事件时, 保持PWM输出, 不再变化 X01: 发生EMB事件时, PWM端口输出变为Hiz X10: 发生EMB事件时, PWM端口输出固定为低电平 X11: 发生EMB事件时, PWM端口输出固定为高电平	R/W

16 紧急刹车模块（EMB）

16.1 简介

紧急刹车模块是在满足一定条件时通知定时器，以使定时器停止向外部电机输出 PWM 信号的功能模块，下列事件用于产生通知：

- 外部端口输入电平变化
- PWM 输出端口电平发生同相（同高或同低）
- 电压比较器比较结果
- 外部振荡器停止振荡
- 写寄存器软件控制



16.2 功能描述

16.2.1 概述

EMB 用于向具有 PWM 功能的定时器模块(Timer4)在满足一定条件时输出一个通知信号，通知定时器模块关闭当前 PWM 输出。

16.2.2 外部端口输入电平变化时停止 PWM 信号输出

EMB 具有一个端口(EMB_IN)用于实现当外部端口输入电平变化时停止 PWM 信号输出。

EMB 根据控制寄存器 EMB_CTL 的设定，可在端口电平为高(INVSEL=0)时或端口电平为低(INVSEL=1)时发送通知信号。同时，端口设有数字滤波功能，可根据需要设置滤波强度。当端口上发生符合条件的电平变化时，EMB 将产生通知信号通知 Timer4，Timer4 在接到通知后可根据寄存器设定将输出端口置为高电平，低电平或高阻态。同时 EMB 还能够产生中断请求。当端口电平转为无效后，用户可通过写 EMB 状态复位寄存器(EMB_STATCLR)来清除通知信号，从而使 Timer4 恢复输出 PWM 波。

16.2.3 PWM 输出端口电平发生同相（同高或同低）时停止 PWM 信号输出

EMB 能够监控 Timer4 的互补 PWM 输出信号，当输出信号出现同高或同低情况时，EMB 将产生通知信号给 Timer4。Timer4 在接到通知后可根据寄存器设定将输出端口置为高电平，低电平或高阻态。同时 EMB 还能够产生中断请求。当端口的同高或同低情况解除，即 EMB 状态寄存器(EMB_STAT)的 PWMSF 位复位后，用户可通过写 EMB 状态复位寄存器(EMB_STATCLR)来清除通知信号，从而使 Timer4 恢复输出 PWM 波。

端口名	功能	EMB_CTL控制位	EMB_PWMLV控制位
TIM4OUH	Timer4的互补 PWM输出信号	PWMSEN[2]	PWMLV[2]
TIM4OUL			
TIM4OVH		PWMSEN[1]	PWMLV[1]
TIM4OVL			

TIM4OWH		PWMSEN[0]	PWMLV[0]
TIM4OWL			

16.2.4 根据电压比较器比较结果停止 PWM 信号输出

EMB 的每个组群能够根据电压比较器的比较结果向 Timer4 发送通知信号，电压比较器输出结果的设定请参考电压比较器章节。当电压比较器比较结果标志位置起时，EMB 将产生通知信号给 Timer4。Timer4 在接到通知后可根据寄存器设定将输出端口置为高电平，低电平或高阻态。同时 EMB 还能够产生中断请求。当电压比较器标志位复位后，用户可通过写 EMB 状态复位寄存器(EMB_STATCLR)来清除通知信号，从而使 Timer4 恢复输出 PWM 波。

16.2.5 外部振荡器停止振荡时停止 PWM 信号输出

EMB 的每个组群能够在外部振荡器停止震荡时向 Timer4 发送通知信号，外部振荡器停止震荡的设定请参考时钟章节。当外部振荡器停止震荡标志位置起时，EMB 将产生通知信号给 Timer4。Timer4 在接到通知后可根据寄存器设定将输出端口置为高电平，低电平或高阻态。同时 EMB 还能够产生中断请求。当外部振荡器停止震荡标志位复位后，用户可通过写 EMB 状态复位寄存器(EMB_STATCLR)来清除通知信号，从而使 Timer4 恢复输出 PWM 波。

16.2.6 写寄存器软件控制 PWM 信号输出

EMB 的软件输出使能控制寄存器(EMB_SOE)能够允许用户通过软件直接置位和复位的方式向 Timer4 发送通知信号，软件控制 PWM 输出时不会产生中断请求。

16.3 寄存器说明

寄存器一览

名称	英文缩写	说明	偏移地址
EMB输出控制寄存器	EMB_CTL	控制各个输出使能的条件	0x0
EMB反馈电平选择寄存器	EMB_PWMLV	选择PWM反馈信号的有效电平	0x4
EMB软件输出使能控制寄存器	EMB_SOE	软件产生输出禁止事件	0x8
EMB状态寄存器	EMB_STAT	表示输出使能的状态	0xc
EMB状态复位寄存器	EMB_STATCLR	清除输出使能状态	0x10
EMB中断许可寄存器	EMB_INTEN	控制中断使能	0x14

16.3.1 EMB 控制寄存器(EMB_CTL)

该寄存器为单次写入寄存器，即复位之后仅能够写入一次。

地址：0x40006C00

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
INVSEL	NFEN	NFSEL[1:0]		Reserved											
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved								PWM SEN2	PWM SEN1	PWM SEN0	OSCST PEN	Reserved	CMPEN[1:0]	PORTIN EN	

位	标记	位名	功能	读写
b31	INVSEL	端口输入有效电平选择	0: 高电平有效 1: 低电平有效	R/W
b30	NFEN	端口输入数字滤波器使能	0: 滤波器无效 1: 滤波器有效	R/W
b29~b28	NFSEL[1:0]	数字滤波器滤波时钟选择	00: 使用总线时钟滤波 01: 使用总线时钟的8分频滤波 10: 使用总线时钟的32分频滤波 11: 使用总线时钟的128分频滤波	R/W
b27~b9	Reserved		读时读出0，写时请写0	R
b8	PWMSEN2	Timer4的U相位短路输出控制使能	0: 短路时输出控制无效 1: 短路时输出控制有效	R/W
b7	PWMSEN1	Timer4的V相位短路输出控制使能	0: 短路时输出控制无效 1: 短路时输出控制有效	R/W
b6	PWMSEN0	Timer4的W相位短路输出控制使能	0: 短路时输出控制无效 1: 短路时输出控制有效	R/W
b5	OSCSTPEN	振荡器停止输出控制使能	0: 振荡器停止振荡时输出控制无效 1: 振荡器停止振荡时输出控制有效	R/W
b4~b3	Reserved		读时读出0，写时请写0	R
b2~b1	CMPEN[1:0]	电压比较器比较结果控制使能	0: 电压比较器比较结果输出控制无效 1: 电压比较器比较结果输出控制有效	R/W
b0	PORTINEN	端口输入控制使能	0: 端口输入控制无效 1: 端口输入控制有效	R/W

16.3.2 EMB 反馈电平选择寄存器(EMB_PWMLV)

该寄存器为单次写入寄存器，即复位之后仅能够写入一次

地址：0x40006C04

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved													PWM LV2	PWM LV1	PWM LV0

位	标记	位名	功能	读写
b31~3	Reserved		读时读出0，写时请写0	R
b2	PWMLV2	Timer4的U相位输出有效电平选择	0: 低电平为有效电平 1: 高电平为有效电平	R/W
b1	PWMLV1	Timer4的V相位输出有效电平选择	0: 低电平为有效电平 1: 高电平为有效电平	R/W
b0	PWMLV0	Timer4的W相位输出有效电平选择	0: 低电平为有效电平 1: 高电平为有效电平	R/W

16.3.3 EMB 软件输出使能控制寄存器(EMB_SOE)

地址：0x40006C08

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved															SOE

位	标记	位名	功能	读写
b31~1	Reserved		读时读出0，写时请写0	R
b0	SOE	软件控制输出	0: PWM正常输出 1: PWM停止输出	R/W

16.3.4 EMB 状态寄存器(EMB_STAT)

地址：0x40006C0C

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved										PWM ST	PORT INST	OSF	CMP F	PWM SF	POR TINF

位	标记	位名	功能	读写
b31~6	Reserved		读时读出0，写时请写0	R
b5	PWMST	PWM输出状态	0: 没有发生PWM输出同相 1: 发生PWM输出同相	R
b4	PORTINST	端口输入控制状态	0: 端口输入控制处于无效状态 1: 端口输入控制处于有效状态	R
b3	OSF	振荡器停止震荡停止 PWM输出的状态	0: 当前没有因振荡器停止震荡而停止PWM输出 1: 当前因振荡器停止震荡而停止PWM输出	R
b2	CMPF	电压比较器停止PWM 输出的状态	0: 当前没有因电压比较器比较结果而停止PWM输出 1: 当前因电压比较器比较结果而停止PWM输出	R
b1	PWMSF	PWM输出同相位停止 PWM输出的状态	0: 当前没有因PWM输出反馈同相位而停止PWM输出 1: 当前因PWM输出反馈同相位而停止PWM输出	R
b0	PORTINF	端口输入控制停止 PWM输出的状态	0: 当前没有因端口输入控制而停止PWM输出 1: 当前因端口输入控制而停止PWM输出	R

16.3.5 EMB 状态复位寄存器(EMB_STATCLR)

地址：0x40006C10

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved												OSF CLR	CMP FCLR	PWM SFCL R	PORTI NFCLR

位	标记	位名	功能	读写
b31~4	Reserved		读时读出0，写时请写0	R
		复位	0：无任何效果	W
b3	OSFCLR	EMB_STAT.OSF	1：清除EMB_STAT.OSF位并恢复因振荡器停止震荡而停止的PWM输出	
		复位	0：无任何效果	W
b2	CMPFCLR	EMB_STAT.CMPF	1：清除EMB_STAT.CMPF位并恢复因电压比较器比较结果而停止的PWM输出	
		复位	0：无任何效果	W
b1	PWMSCLR	EMB_STAT.PWMSF	1：当EMB_STAT.PWMST=0时，清除EMB_STAT.PWMSF位并恢复因PWM输出反馈同相位而停止的PWM输出	
		复位	0：无任何效果	W
b0	PORTINFCLR	EMB_STAT.PORTINF	1：当EMB_STAT.PORTINST=0时，清除EMB_STAT.PORTINF位并恢复因端口输入控制而停止的PWM输出	

16.3.6 EMB 中断许可寄存器(EMB_INTEN)

地址：0x40006C14

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved												OSIN TEN	CMPF EN	PWM SFEN	PORTI NFEN

位	标记	位名	功能	读写
b31~4	Reserved		读时读出0，写时请写0	R
b3	OSINTEN	振荡器停止震荡停止 PWM的中断使能	0: 振荡器停止震荡停止PWM时不产生中断 1: 振荡器停止震荡停止PWM时产生中断	R/W
b2	CMPINTEN	电压比较器停止PWM 的中断使能	0: 电压比较器比较结果停止PWM时不产生中断 1: 电压比较器比较结果停止PWM时产生中断	R/W
b1	PWMINTEN	PWM输出同相位停止 PWM的中断使能	0: PWM输出同相位停止PWM时不产生中断 1: PWM输出同相位停止PWM时产生中断	R/W
b0	PORTINTEN	端口输入控制停止 PWM的中断使能	0: 端口输入控制停止PWM时不产生中断 1: 端口输入控制停止PWM时产生中断	R/W

17 通用定时器（TimerB）

17.1 简介

通用定时器 B（TimerB）是一个具有 16 位计数宽度、1 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；支持计数器同步启动；支持单元间级联实现 32 位计数；支持脉宽测量和周期测量。本系列产品搭载 4 个单元 TimerB。

17.2 基本框图

TimerB 基本的功能及特性如表 17-1 所示。

波形模式	锯齿波、三角波
基本功能	• 递加、递减计数方向
	• 同步启动计数器
	• 32位级联计数
	• 脉宽测量
	• 周期测量
	• 1路PWM输出
中断类型	• 比较匹配事件输出
	• 比较匹配中断
	• 周期匹配中断

表 17-1 TimerB 的基本功能及特性

TimerB 的基本框图如图 17-1 所示。图中“<t>”为单元编号，即“<t>”为 1~4，本章节后文提到“<t>”时均指单元编号，不再赘述。

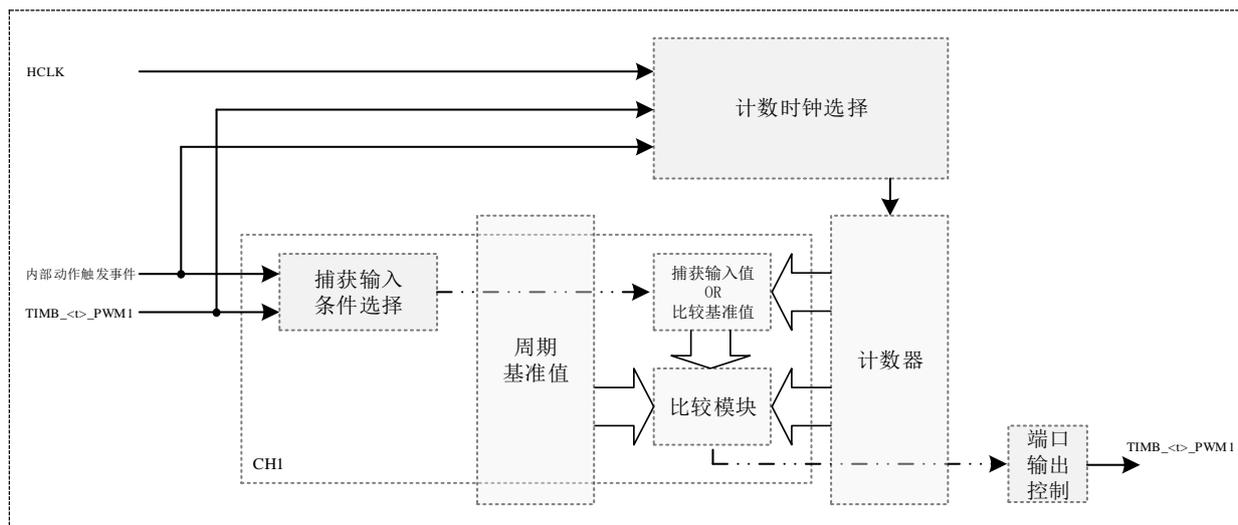


图 17-1 TimerB 基本框图

表 17-2 所示为 TimerB 的输入输出端口列表。

端口名	方向	功能
TIMB_<t>_PWM1	in or out	1) 捕获输入事件端口或PWM输出端口 2) 硬件触发启动、停止、清零、计数事件输入端口 3) 单元4在与USART连动实现LIN功能时，端口输入的相关功能（启动、停止、清零、计数、捕获输入）无效，具体参考USART章节

表 17-2 TimerB 端口列表

17.3 功能说明

17.3.1 波形模式

TimerB 有 2 种基本计数波形模式，锯齿波模式和三角波模式。两种波形模式的基本波形如图 17-2、图 17-3 所示。

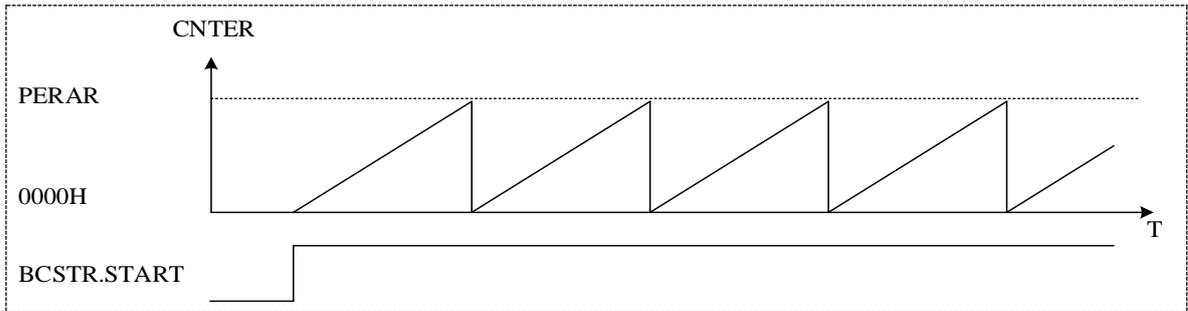


图 17-2 锯齿波波形（递加计数）

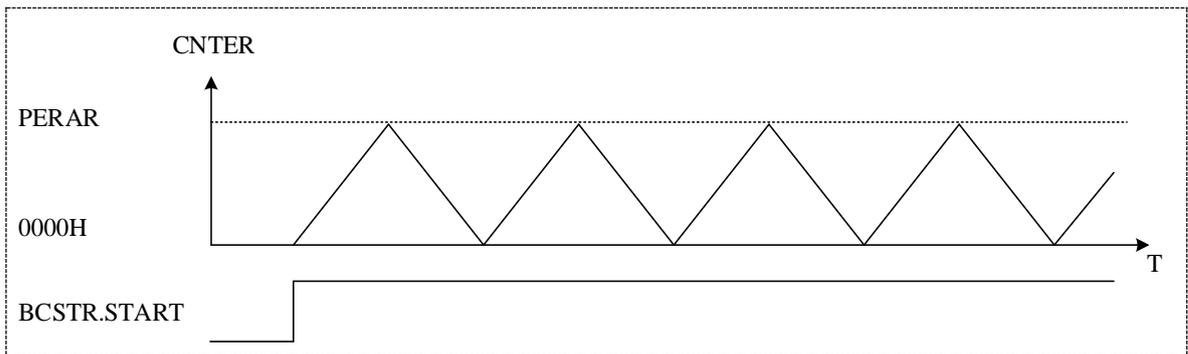


图 17-3 三角波波形

17.3.2 时钟源选择

TimerB 的计数时钟可以有以下几种选择：

- a) HCLK 的 1、2、4、8、16、32、64、128、256、512、1024 分频（BCSTR.CKDIV[3:0] 设定）
- b) TIMB_<t>_PWM1 端口事件输入（HCUPR[9:8]或 HCDOR[9:8]设定）
- c) 内部计数器触发事件输入（HCUPR[10]或 HCDOR[10]设定）
- d) 对称单元的计数上溢或计数下溢事件输入（HCUPR[12:11]或 HCDOR[12:11]设定）

计数时钟源选择 a 时为软件计数模式，计数时钟源选择 b、c、d 时为硬件计数模式。

计数时钟选择 d 时可用于级联计数。上述描述可以看到，b、c、d 时钟互相独立，可分别设定有效或无效，并且当选择 b、c、d 时钟时，a 时钟自动无效。

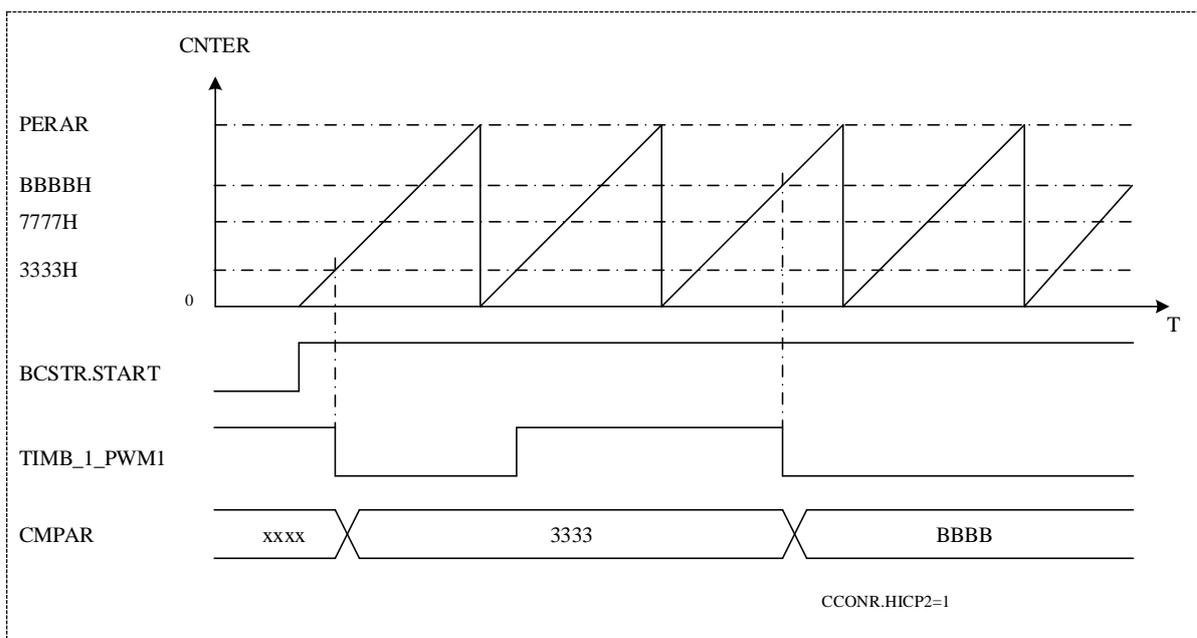


图 17-5 捕获输入动作

17.3.5 同步启动

本产品所搭载 4 个单元的 TimerB，可以实现软件同步启动或硬件同步启动。当本单元为单元 m 时，单元 m 可以选择与单元 n 同步启动（当 m=2、4 时，n=1、3）。

当单元 m 中的 BCSTR.SYNST 位设定为 1 时，单元 m 与单元 n 的同步启动功能有效。此时，若软件设定单元 n 的 BCSTR.START 位为 1，被同步单元（单元 m）的计数器开始软件同步计数；若硬件设定单元 n 的 HCONR.HSTA1~0 中任意位为 1，且单元 n 的对应硬件事件发生时，被同步单元（单元 m）的计数器开始硬件同步计数。在选择硬件同步计数启动功能时，被同步单元（单元 m）的 HCONR.HSTA1~0 的对应位也必须设定为有效（当 m=2、4 时，n=1、3）。

图 17-6 为设定单元 4 的 BCSTR.SYNST=1 时的软件同步启动例。

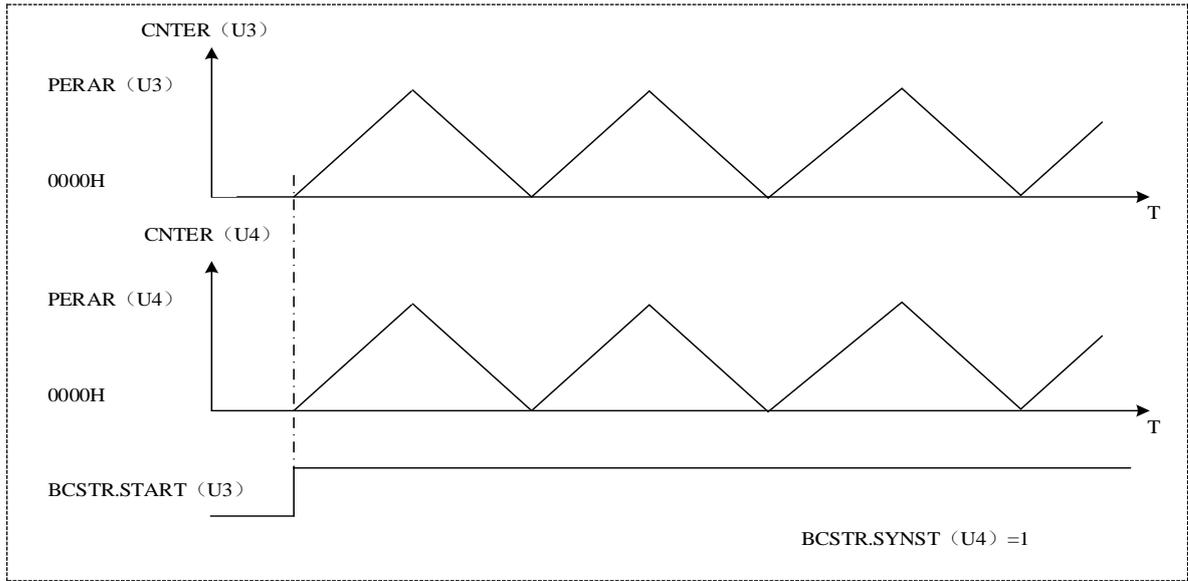


图 17-6 软件同步动作

17.3.6 数字滤波

各个单元的 TIMB_<t>_PWM1 端口输入具有数字滤波功能。该滤波功能的使能和滤波时钟的选择可通过设定捕获控制寄存器 (CCONR) 的对应位来实现。

在滤波采样基准时钟采样到端口上 3 次一致的电平时, 该电平被当作有效电平传送到模块内部; 小于 3 次一致的电平会被当作外部干扰滤掉, 不传送到模块内部。图 17-7 所示为 TIMB_1_PWM1 端口滤波动作例。

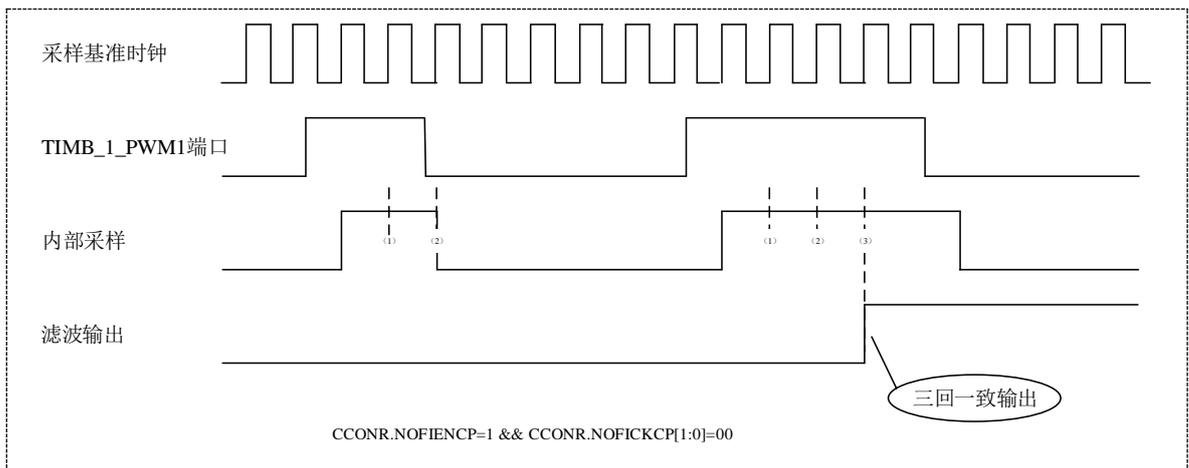


图 17-7 PWM 输入端口的滤波功能

17.3.7 级联计数

在计数时钟源选择章节中, 当时钟源选择 d) 时, 本单元的计数时钟就选择为对称单元的计数溢出(计数上溢或计数下溢)事件, 此时两个单元级联合并可实现 32 位计数器。

在级联计数中，对称单元的 CNTER 为低 16 位计数器，本单元的 CNTER 为高 16 位计数器。

例如，在三角波向上计数模式 (BCSTR.MODE=0、BCSTR.DIR=1) 时，设定单元 1 的计数时钟为 HCLK，设定单元 2 的计数时钟源为单元 1 的计数上溢事件 (单元 2 的 TMRB_HCUPR.HCUP11=1)，启动单元 1、2 计数 (先启动单元 2，再启动单元 1) 就实现级联计数。单元 1 的 CNTER 为低 16 位计数器，单元 2 的 CNTER 为高 16 位计数器。如图 17-8 所示是单元 1、2 级联计数的示意图。

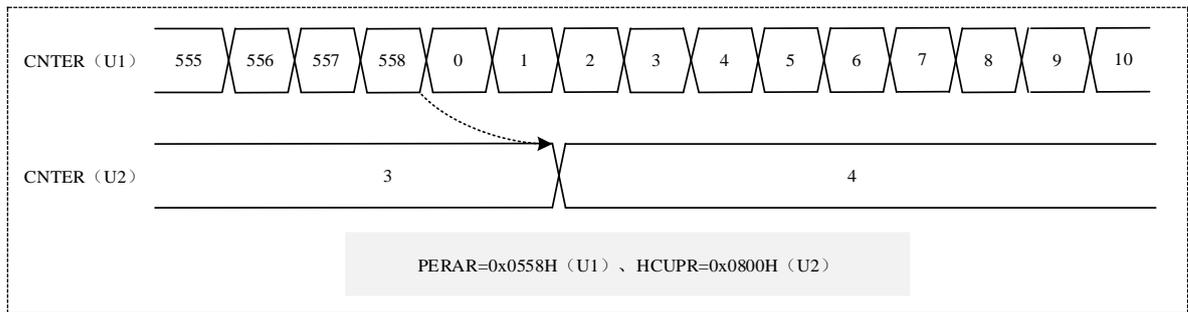


图 17-8 32 位级联计数动作

17.3.8 脉宽测量

将 TimerB 的硬件启动条件设为 TIMB_<t>_PWM1 的上升沿，硬件清零条件、停止条件和捕获输入条件均设为 TIMB_<t>_PWM1 的下降沿，就可以实现连续的脉冲宽度测量。对应动作如图 17-9 所示。

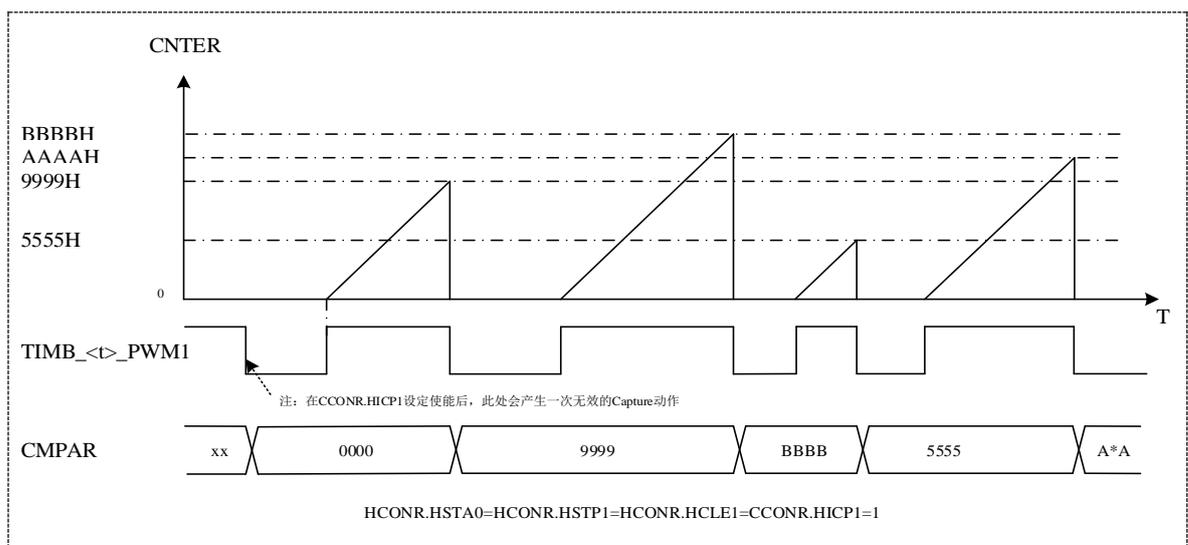


图 17-9 脉宽测量

17.3.9 周期测量

将 TimerB 的硬件启动条件、硬件清零条件和捕获输入条件设为 TIMB_<t>_PWM1 的相同沿（上升沿或下降沿），就可以实现连续的周期宽度测量。对应动作如图 17-10 所示。

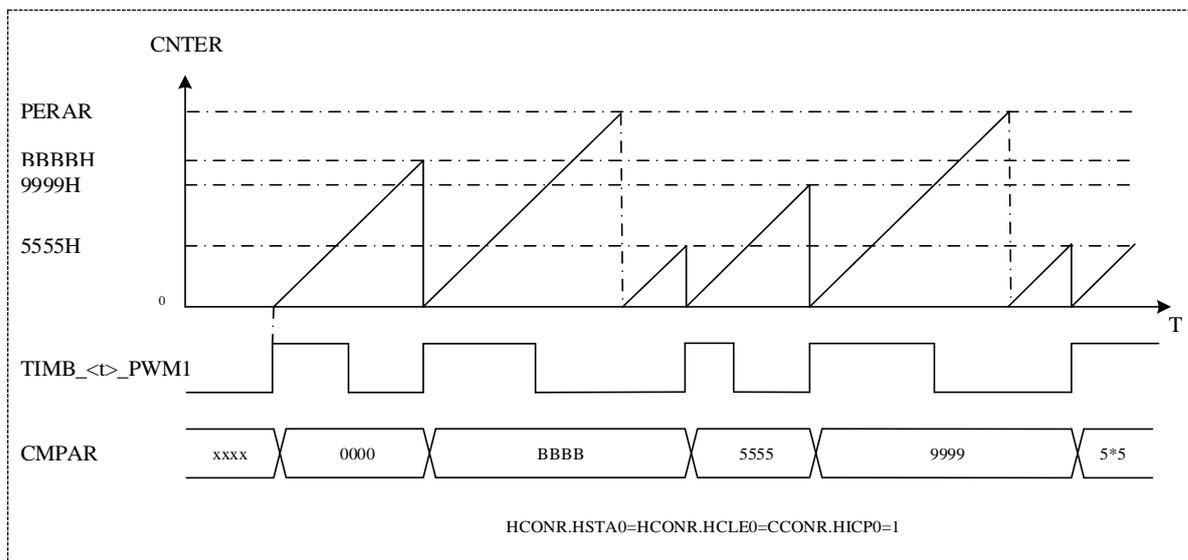


图 17-10 周期测量

17.3.10 PWM 输出

17.3.10.1 单边对齐 PWM 输出

锯齿波计数模式时，输出通道通过各种端口控制设定，可以实现单边对齐 PWM 输出（在计数周期点对齐）。例如，设定在比较基准值比较匹配时翻转（PCONR.CMPC=11）、在周期基准值比较匹配时翻转（PCONR.PERC=11），就可实现在一个周期内产生单边对齐的 PWM 输出。

图 17-11 所示，是单元 1 锯齿波模式下，单边对齐 PWM 输出波形例。

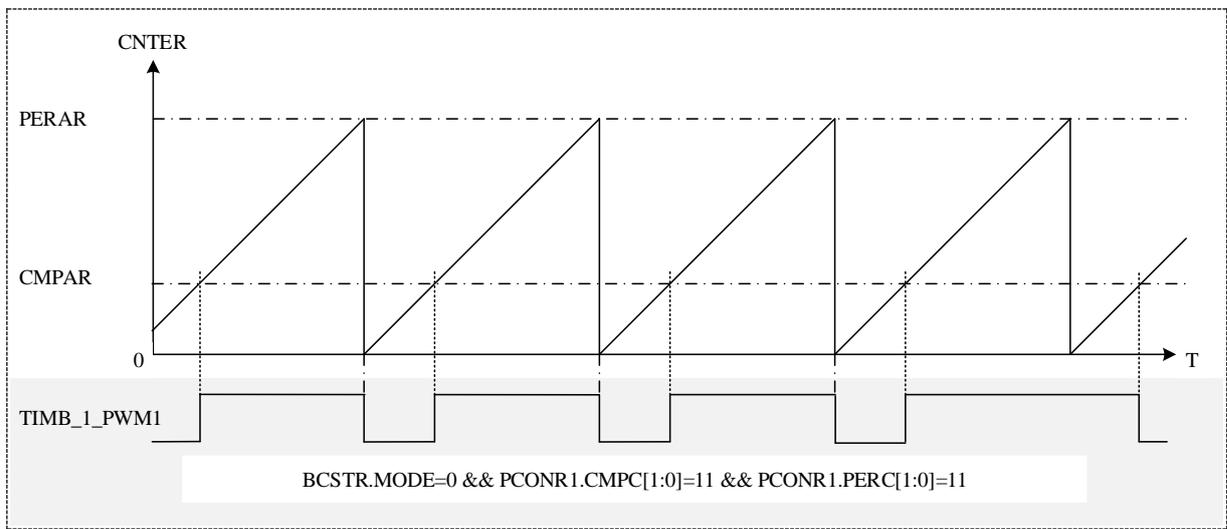


图 17-11 单边对齐 PWM 输出例

17.3.10.2 双边对称 PWM 输出

三角波计数模式时，输出通道通过各种端口控制设定，可以实现双边对称 PWM 输出（以计数峰点对称）。例如，设定在比较基准值比较匹配时翻转（PCONR.CMPC=11）、在周期基准值比较匹配时保持（PCONR.PERC=10），就可实现在一个周期内产生双边对称的 PWM 输出。

图 17-12 所示，是三角波模式下的双边对称 PWM 输出波形例。

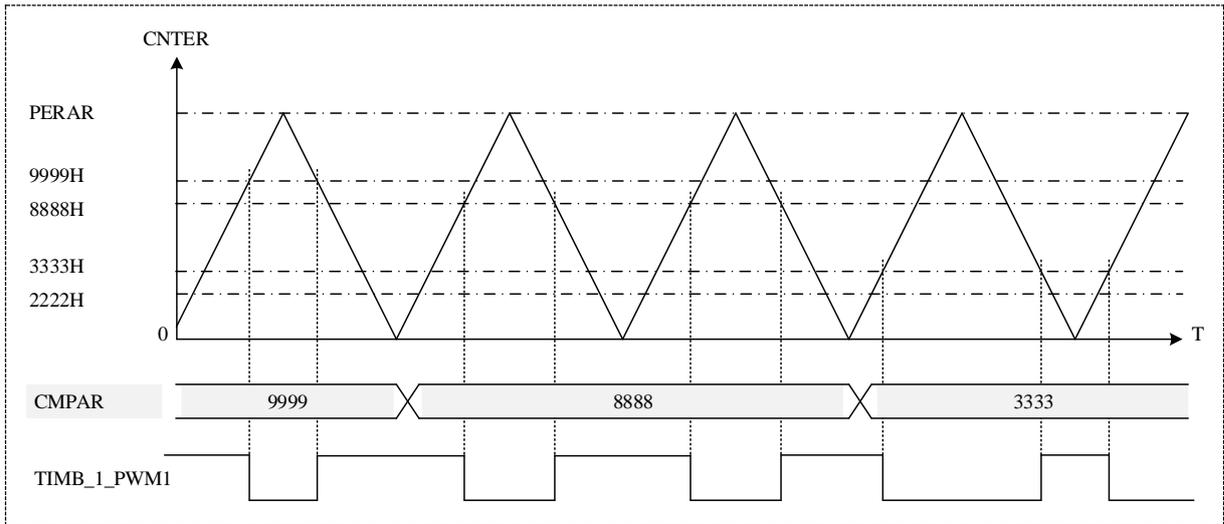


图 17-12 双边对称 PWM 输出例

17.4 中断及事件说明

TimerB 含有 3 个中断输出和 3 个事件输出，分别是 1 个比较匹配中断和事件、2 个周期匹配中断和事件。

17.4.1 比较匹配中断及事件

比较基准值寄存器(CMPAR)与计数值比较发生比较匹配时,状态标志寄存器(STFLR)中的对应位(STFLR.CMPF)会被置为 1。此时,若中断控制寄存器(ICONR)的对应位(ICONR.ITEN)设定为 1,则对应的中断请求(TMRB_<t>_CMP)会被触发;若事件控制寄存器(ECONR)的对应位(ECONR.ETEN)设定为 1,则对应的事件请求(TMRB_<t>_CMP)会被触发。

捕获控制寄存器(CCONR)选择的捕获输入有效条件产生时,捕获输入动作发生。此时,若中断控制寄存器(ICONR)的对应位(ICONR.ITEN)设定为 1,则对应的中断请求(TMRB_<t>_CMP)被触发;若事件控制寄存器(ECONR)的对应位(ECONR.ETEN)设定为 1,则对应的事件请求(TMRB_<t>_CMP)会被触发。

17.4.2 周期匹配中断及事件

锯齿波模式递增计数至上溢点、锯齿波模式递减计数至下溢点、三角波模式计数至谷点或峰点,控制状态寄存器(BCSTR)的 OVFF 或 UDF 位会被置为 1。此时,若 BCSTR.ITENOVF 或 BCSTR.ITENUDF 位设定为 1 使能中断,则在对应的周期点可触发周期匹配中断(TMRB_<t>_OVF 和 TMRB_<t>_UDF)输出至中断模块(INTC);周期匹配事件则无对应的使能位控制,在对应的计数周期点就触发周期匹配事件(TMRB_<t>_OVF 和 TMRB_<t>_UDF)输出用于选择触发别的模块。

17.5 寄存器说明

表 17-3 所示，为 TimerB 模块的寄存器列表。

BASE ADDR:

0x40007800 (U1)、0x40007C00 (U2)、0x40008000 (U3)、0x40008400 (U4)

寄存器名	符号	偏移量	位宽	复位值
通用计数值寄存器	TMRB_CNTER	0x0000h	16	0x0000h
周期基准值寄存器	TMRB_PERAR	0x0004h	16	0xFFFFh
比较基准值寄存器	TMRB_CMPAR	0x0040h	16	0xFFFFh
控制状态寄存器	TMRB_BCSTR	0x0080h	16	0x0002h
中断控制寄存器	TMRB_ICONR	0x0090h	16	0x0000h
事件控制寄存器	TMRB_ECONR	0x0094h	16	0x0000h
状态标志寄存器	TMRB_STFLR	0x009Ch	16	0x0000h
捕获控制寄存器	TMRB_CCONR	0x0100h	16	0x0000h
端口控制寄存器	TMRB_PCONR	0x0140h	16	0x0000h
硬件触发事件选择寄存器	TMRB_HCONR	0x0084h	16	0x0000h
硬件递加事件选择寄存器	TMRB_HCUPR	0x0088h	16	0x0000h
硬件递减事件选择寄存器	TMRB_HCDOR	0x008Ch	16	0x0000h
内部触发事件选择寄存器	TMRB_HTSSR	(0x40000C50h)	32	0x0000007Fh

表 17-3 寄存器列表

注意：

- 内部触发事件选择寄存器 (TMRB_HTSSR) 是一个独立的寄存器，为 4 个单元的 TimerB 所共有。

17.5.1 通用计数值寄存器 (TMRB_CNTER)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CNT[15:0]															

位	标记	位名	功能	读写
b15~b0	CNT[15:0]	计数值	当前定时器的计数值	R/W

17.5.2 周期基准值寄存器 (TMRB_PERAR)

复位值: 0xFFFFh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PER[15:0]															

位	标记	位名	功能	读写
b15~b0	PER[15:0]	计数周期值	设定每轮计数的计数周期值	R/W

17.5.3 比较基准值寄存器 (TMRB_CMPAR)

复位值: 0xFFFFh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMP[15:0]															

位	标记	位名	功能	读写
b15~b0	CMP[15:0]	计数比较基准值	设定比较基准值	R/W

17.5.4 控制状态寄存器 (TMRB_BCSTR)

复位值: 0x0002h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
UDF F	OVF F	ITEN UDF	ITEN OVF	-	-	-	OV STP	CKDIV[3:0]				SYN ST	MODE	DIR	START

位	标记	位名	功能	读写
b15	UDFF	下溢标志	0: 向下计数时, 未发生计数下溢 1: 向下计数时, 发生计数下溢	R/W
b14	OVFF	上溢标志	0: 向上计数时, 未发生计数上溢 1: 向上计数时, 发生计数上溢	R/W
b13	ITENUDF	下溢中断使能	0: 计数下溢中断不使能 1: 计数下溢中断使能	R/W
b12	ITENOVF	上溢中断使能	0: 计数上溢中断不使能 1: 计数上溢中断使能	R/W
b11~b9	Reserved	-	读出时为“0”, 写入时写“0”	R/W
b8	OVSTP	计数溢出停止控制	0: 计数器在计数上溢或下溢后, 继续计数 1: 计数器在计数上溢或下溢后, 停止计数	R/W
b7~b4	CKDIV[3:0]	计数时钟选择	0000: HCLK 0001: HCLK/2 0010: HCLK/4 0011: HCLK/8 0100: HCLK/16 0101: HCLK/32 0110: HCLK/64 0111: HCLK/128 1000: HCLK/256 1001: HCLK/512 1010: HCLK/1024	R/W
b3	SYNST	同步启动使能	0: 本单元为单元m时, 与单元n的同步启动功能无效 1: 本单元为单元m时, 与单元n的同步启动功能有效 (当m=2、4时, n=1、3) 注: 单元n的该位设定无效, 读出时为0	R/W
b2	MODE	计数模式	0: 锯齿波模式 1: 三角波模式	R/W
b1	DIR	计数方向	0: 计数器向下计数 1: 计数器向上计数	R/W
b0	START	定时器启动	0: 定时器关闭 1: 定时器启动 注1: 该位在硬件停止条件有效时, 会自动变为0	R/W

注2：本单元m的同步启动功能有效时，单元n软件启动后本单元的该位也会被置位（当m=2、4时，n=1、3）

17.5.5 中断控制寄存器 (TMRB_ICONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved															IT EN1

位	标记	位名	功能	读写
b15~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	ITEN1	计数匹配中断使能1	0: CMPAR寄存器与计数值相等时,或者发生捕获输入事件时,该中断无效 1: CMPAR寄存器与计数值相等时,或者发生捕获输入事件时,该中断使能	R/W

17.5.6 事件控制寄存器 (TMRB_ECONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved															ET EN1

位	标记	位名	功能	读写
b15~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	ETEN1	计数匹配事件使能1	0: CMPAR寄存器与计数值相等时,或者发生捕获输入事件时,该事件输出无效 1: CMPAR寄存器与计数值相等时,或者发生捕获输入事件时,该事件输出使能	R/W

17.5.7 状态标志寄存器 (TMRB_STFLR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved															CMP F1

位	标记	位名	功能	读写
b15-b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	CMPF1	计数匹配标志1	0: CMPAR寄存器的值与计数值不相等,且未发生TIMB_<>_PWM1捕获完成动作 1: CMPAR寄存器的值与计数值相等,或发生TIMB_<>_PWM1捕获完成动作	R/W

17.5.8 捕获控制寄存器 (TMRB_CCONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	NOFI CKCP[1:0]	NOFI ENCP	-	-	-	-	-	-	HICP 2	HICP 1	HICP 0	-	-	-	CAP MD

位	标记	位名	功能	读写
b15	Reserved	-	读出时为“0”,写入时写“0”	R/W
b14~b13	NOFICKCP[1:0]	滤波采样基准时钟 选择CP	00: HCLK 01: HCLK/4 10: HCLK/16 11: HCLK/64	R/W
b12	NOFIENCP	捕获输入端口滤波 CP	0: TIMB_<>_PWM1端口输入滤波功能无效 1: TIMB_<>_PWM1端口输入滤波功能使能	R/W
b11~b7	Reserved	-	读出时为“0”,写入时写“0”	R/W
b6	HICP2	捕获输入条件使能2	0: TMRB_HTSSR寄存器中指定的事件发生时,不发生捕获输入动作 1: TMRB_HTSSR寄存器中指定的事件发生时,产生捕获输入动作	R/W
b5	HICP1	捕获输入条件使能1	0: TIMB_<>_PWM1端口输入采样到下降沿时,不发生捕获输入动作 1: TIMB_<>_PWM1端口输入采样到下降沿时,产生捕获输入动作	R/W
b4	HICP0	捕获输入条件使能0	0: TIMB_<>_PWM1端口输入采样到上升沿时,不发生捕获输入动作 1: TIMB_<>_PWM1端口输入采样到上升沿时,产生捕获输入动作	R/W
b3~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	CAPMD	功能模式选择	0: 比较输出功能 1: 捕获输入功能	R/W

17.5.9 端口控制寄存器 (TMRB_PCONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	OUTEN	-	-	FORC[1:0]		PERC[1:0]		CMPC[1:0]		STPC[1:0]		STAC[1:0]	

位	标记	位名	功能	读写
b15~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	OUTEN	输出使能	0: PWM输出功能时的TIMB_<<>_PWM1端口输出无效 1: PWM输出功能时的TIMB_<<>_PWM1端口输出有效	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9~b8	FORC[1:0]	强制端口状态设定	0x: 设定无效定 10: 下周期开始, TIMB_<<>_PWM1端口输出设定为低电平 11: 下周期开始, TIMB_<<>_PWM1端口输出设定为高电平 注1: 下周期是指硬件计数模式或锯齿波计数到上溢点或下溢点、三角波计数到谷点 注2: 该寄存器位可用于实现PWM输出占空比0%或100%的控制	R/W
b7~b6	PERC[1:0]	周期值匹配时端口状态设定	00: 计数值与PERAR相等时, TIMB_<<>_PWM1端口输出设定为低电平 01: 计数值与PERAR相等时, TIMB_<<>_PWM1端口输出设定为高电平 10: 计数值与PERAR相等时, TIMB_<<>_PWM1端口输出保持先前状态 11: 计数值与PERAR相等时, TIMB_<<>_PWM1端口输出设定为反转电平	R/W
b5~b4	CMPC[1:0]	比较值匹配时端口状态设定	00: 计数值与CMPARn相等时, TIMB_<<>_PWM1端口输出设定为低电平 01: 计数值与CMPARn相等时, TIMB_<<>_PWM1端口输出设定为高电平 10: 计数值与CMPARn相等时, TIMB_<<>_PWM1端口输出保持先前状态 11: 计数值与CMPARn相等时, TIMB_<<>_PWM1端口输出设定为反转电平	R/W
b3~b2	STPC[1:0]	计数停止时端口状态设定	00: 计数停止时, TIMB_<<>_PWM1端口输出设定为低电平 01: 计数停止时, TIMB_<<>_PWM1端口输出设定为高电平 10: 计数停止时, TIMB_<<>_PWM1端口输出保持先前状态 11: 计数停止时, TIMB_<<>_PWM1端口输出保持先前状态	R/W
b1~b0	STAC[1:0]	计数开始时端口状态设定	00: 计数开始时, TIMB_<<>_PWM1端口输出设定为低电平 01: 计数开始时, TIMB_<<>_PWM1端口输出设定为高电平 10: 计数开始时, TIMB_<<>_PWM1端口输出保持先前状态 11: 计数开始时, TIMB_<<>_PWM1端口输出保持先前状态 注: 该位设定只在不分频 (BCSTR.CKDIV=4'h0) 的情况下有效, 其它分频请设定为2'b10或2'b11	R/W

17.5.10 硬件触发事件选择寄存器 (TMRB_HCONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	HCLE4	HCLE3	-	HCLE2	HCLE1	HCLE0	-	HSTP2	HSTP1	HSTP0	-	HSTA2	HSTA1	HSTA0
		4	3		2	1	0		2	1	0		2	1	0

位	标记	位名	功能	读写
b15~b14	Reserved	-	读出时为“0”,写入时写“0”	R/W
b13	HCLE4	硬件清零条件4	条件: 本单元为单元m时, 单元n的TIMB_n_PWM1端口输入采样到下降沿 (当m=1、3时, n=2、4; 当m=2、4时, n=1、3) 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b12	HCLE3	硬件清零条件3	条件: 本单元为单元m时, 单元n的TIMB_n_PWM1端口输入采样到上升沿 (当m=1、3时, n=2、4; 当m=2、4时, n=1、3) 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b11	Reserved	-	读出时为“0”,写入时写“0”	R/W
b10	HCLE2	硬件清零条件2	条件: TMRB_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b9	HCLE1	硬件清零条件1	条件: TIMB_<t>_PWM1端口输入采样到下降沿 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b8	HCLE0	硬件清零条件0	条件: TIMB_<t>_PWM1端口输入采样到上升沿 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b7	Reserved	-	读出时为“0”,写入时写“0”	R/W
b6	HSTP2	硬件停止条件2	条件: TMRB_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件停止无效 1: 条件匹配时, 硬件停止有效	R/W
b5	HSTP1	硬件停止条件1	条件: TIMB_<t>_PWM1端口输入采样到下降沿 0: 条件匹配时, 硬件停止无效 1: 条件匹配时, 硬件停止有效	R/W
b4	HSTP0	硬件停止条件0	条件: TIMB_<t>_PWM1端口输入采样到上升沿 0: 条件匹配时, 硬件停止无效 1: 条件匹配时, 硬件停止有效	R/W
b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2	HSTA2	硬件启动条件2	条件: TMRB_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件启动无效 1: 条件匹配时, 硬件启动有效	R/W

b1	HSTA1	硬件启动条件1	<p>条件:</p> <p>1) 本单元TIMB_<math>\langle t \rangle</math>_PWM1端口输入采样到下降沿(同步启动功能无效)</p> <p>2) TIMB_n_PWM1端口输入采样到下降沿(同步启动功能有效)</p> <p>0: 条件匹配时, 硬件启动无效</p> <p>1: 条件匹配时, 硬件启动有效</p> <p>注: 条件2)中, 当本单元为2、4时, n=1、3; 当本单元为1、3时, 该功能无效</p>	R/W
b0	HSTA0	硬件启动条件0	<p>条件:</p> <p>1) 本单元TIMB_<math>\langle t \rangle</math>_PWM1端口输入采样到上升沿(同步启动功能无效)</p> <p>2) TIMB_n_PWM1端口输入采样到上升沿(同步启动功能有效)</p> <p>0: 条件匹配时, 硬件启动无效</p> <p>1: 条件匹配时, 硬件启动有效</p> <p>注: 条件2)中, 当本单元为2、4时, n=1、3; 当本单元为1、3时, 该功能无效</p>	R/W

17.5.11 硬件递加事件选择寄存器 (TMRB_HCUPR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	HC UP12	HC UP11	HC UP10	HC UP9	HC UP8	Reserved							

位	标记	位名	功能	读写
b15~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	HCUP12	硬件递加条件12	条件: 本单元为单元m时, 单元n发生计数下溢 (当m=1、3时, n=2、4; 当m=2、4时, n=1、3) 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b11	HCUP11	硬件递加条件11	条件: 本单元为单元m时, 单元n发生计数上溢 (当m=1、3时, n=2、4; 当m=2、4时, n=1、3) 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b10	HCUP10	硬件递加条件10	条件: TMRB_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b9	HCUP9	硬件递加条件9	条件: TIMB_<t>_PWM1端口上采样到下降沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b8	HCUP8	硬件递加条件8	条件: TIMB_<t>_PWM1端口上采样到上升沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b7~b0	Reserved	-	读出时为“0”,写入时写“0”	R/W

17.5.12 硬件递减事件选择寄存器 (TMRB_HCDOR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	HC DO12	HC DO11	HC DO10	HC DO9	HC DO8	Reserved							

位	标记	位名	功能	读写
b15~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	HCDO12	硬件递减条件12	条件: 本单元为单元m时, 单元n发生计数下溢 (当m=1、3时, n=2、4; 当m=2、4时, n=1、3) 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b11	HCDO11	硬件递减条件11	条件: 本单元为单元m时, 单元n发生计数上溢 (当m=1、3时, n=2、4; 当m=2、4时, n=1、3) 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b10	HCDO10	硬件递减条件10	条件: TMRB_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b9	HCDO9	硬件递减条件9	条件: TIMB_<t>_PWM1端口上采样到下降沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b8	HCDO8	硬件递减条件8	条件: TIMB_<t>_PWM1端口上采样到上升沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b7~b0	Reserved	-	读出时为“0”,写入时写“0”	R/W

17.5.13 内部触发事件选择寄存器 (TMRB_HTSSR)

复位值: 0x0000007Fh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved									TRGSEL[6:0]						

位	标记	位名	功能	读写
b31~b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6~b0	TRGSEL	内部触发事件触发源选择	内部触发事件触发源编号写入, 参考INTC章节	R/W

18 通用定时器（TimerA）

18.1 简介

通用定时器 A（TimerA）是一个具有 16 位计数宽度、2 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；比较基准值寄存器支持缓存功能；支持 2 相正交编码计数。本系列产品搭载 1 个单元 TimerA。

18.2 基本框图

TimerA 基本的功能及特性如表 18-1 所示。

波形模式	锯齿波、三角波
基本功能	• 递加、递减计数方向
	• 同步启动计数器
	• 基准值缓存功能
	• 正交编码计数
	• 2路PWM输出
中断类型	• 比较匹配事件输出
	• 比较匹配中断
	• 周期匹配中断

表 18-1 TimerA 的基本功能及特性

TimerA 的基本框图如图 18-1 所示。图中“<t>”为单元编号，即“<t>”为 1，本章节后文提到“<t>”时均指单元编号，不再赘述。

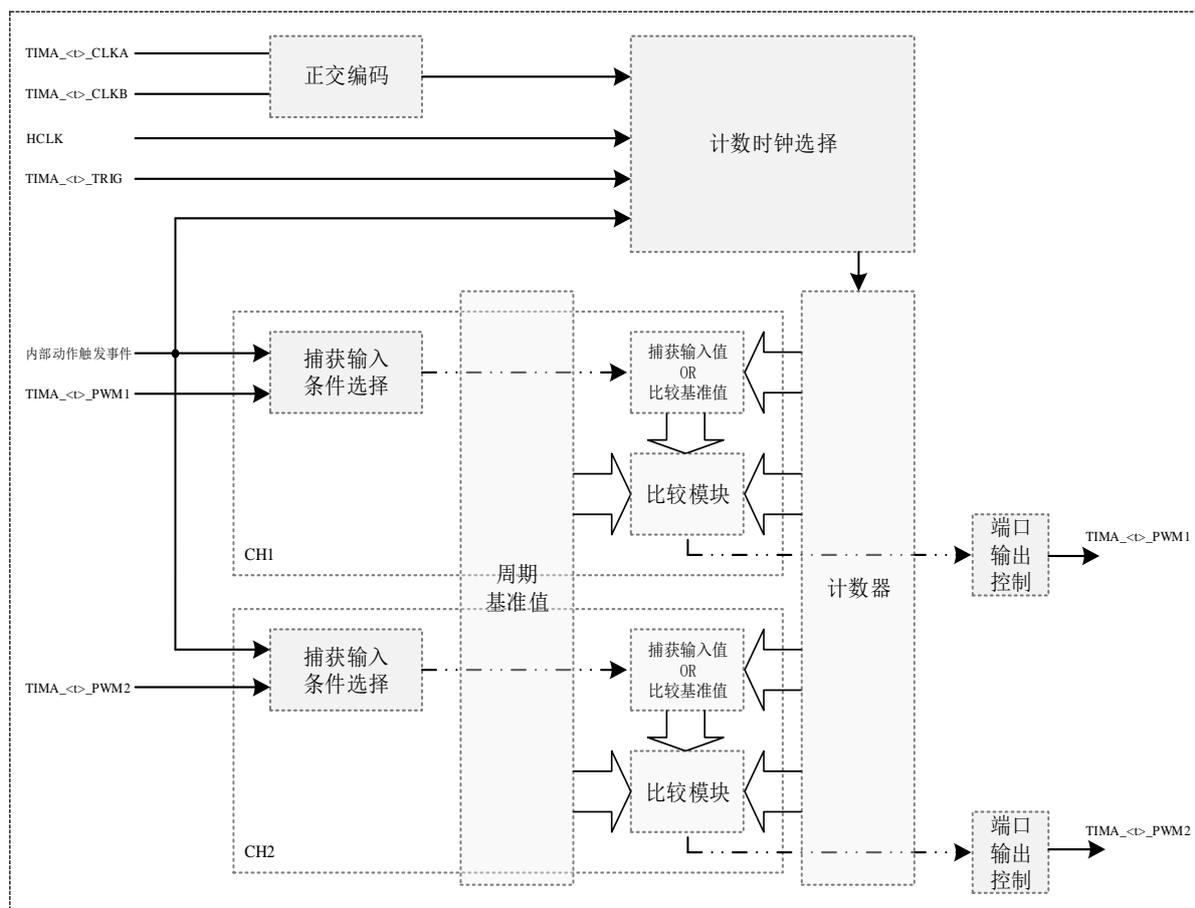


图 18-1 TimerA 基本框图

表 18-2 所示为 TimerA 的输入输出端口列表。

端口名	方向	功能
TIMA_$\langle \rangle_{PWMm}$	in or out	捕获输入事件端口或PWM输出端口 (m=1~2)
TIMA_$\langle \rangle_{CLKA}$	in	正交编码计数事件输入端口
TIMA_$\langle \rangle_{CLKB}$		
TIMA_$\langle \rangle_{TRIG}$	in	硬件触发启动、停止、清零事件输入端口

表 18-2 TimerA 端口列表

18.3 功能说明

18.3.1 波形模式

TimerA 有 2 种基本计数波形模式，锯齿波模式和三角波模式。两种波形模式的基本波形如图 18-2、图 18-3 所示。

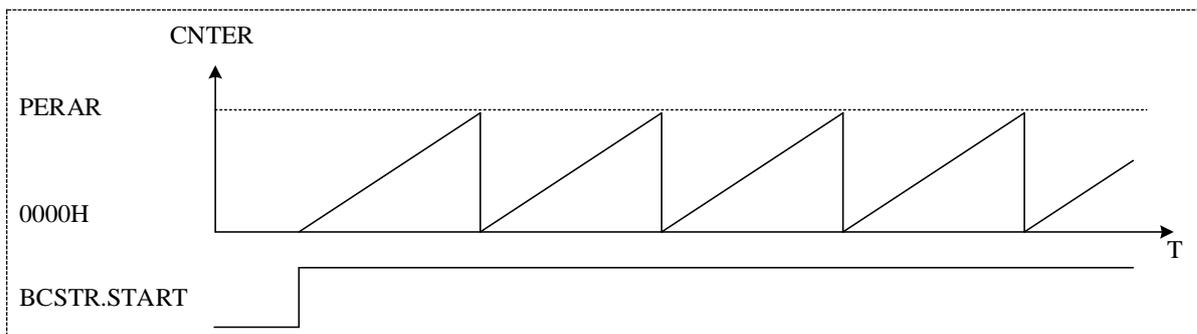


图 18-2 锯齿波波形（递加计数）

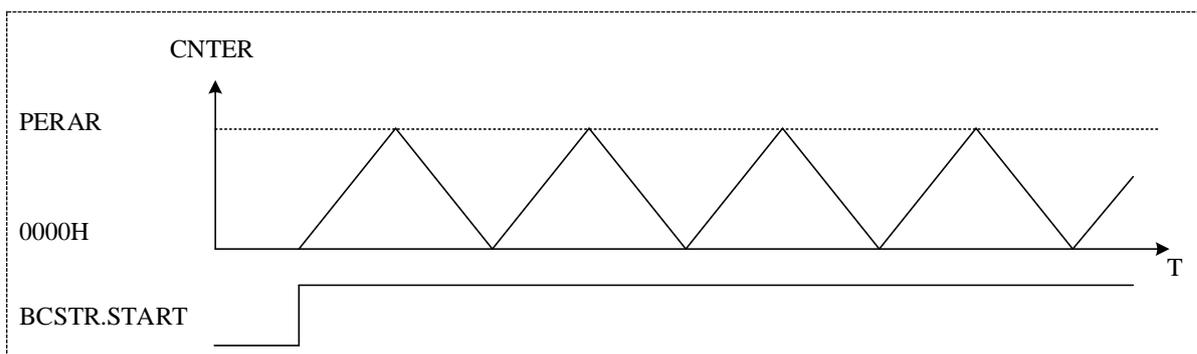


图 18-3 三角波波形

18.3.2 时钟源选择

TimerA 的计数时钟可以有以下几种选择：

- a) HCLK 的 1、2、4、8、16、32、64、128、256、512、1024 分频（BCSTR.CKDIV[3:0] 设定）
- b) TIMA_<t>_TRIG 端口事件输入（HCUPR[9:8]或 HCDOR[9:8]设定）
- c) 内部计数器触发事件输入（HCUPR[10]或 HCDOR[10]设定）
- d) 对称单元的计数上溢或计数下溢事件输入（HCUPR[12:11]或 HCDOR[12:11]设定）
- e) TIMA_<t>_CLKA、TIMA_<t>_CLKB 的端口正交编码输入（HCUPR[7:0]或 HCDOR[7:0]设定）

计数时钟源选择 a 时为软件计数模式，计数时钟源选择 b、c、d、e 时为硬件计数模式。

计数时钟选择 d 时可用于级联计数。上述描述可以看到，b、c、d、e 时钟互相独立，可分别设定有效或无效，并且当选择 b、c、d、e 时钟时，a 时钟自动无效。

18.3.3 比较输出

各个 TimerA 单元内部均含有 2 个通道的比较输出 (TIMA_<t>_PWMn)，可在计数值与比较基准值比较匹配时输出指定的电平。TMRA_CMPARn 寄存器分别对应了 TIMA_<t>_PWMn 输出端口的计数比较基准值。当定时器的计数值和 TMRA_CMPARn 相等时，TIMA_<t>_PWMn 端口输出指定的电平 (n=1~2)。

TIMA_<t>_PWMn 端口的计数开始时的电平、计数停止时的电平、计数比较匹配时的电平、计数周期匹配时的电平等，可通过端口控制寄存器 (PCONRn) 的 STAC、STPC、CMPC、PERC、FORC 位设定控制 (n=1~2)。图 18-4 为单元 1 的比较输出动作例。

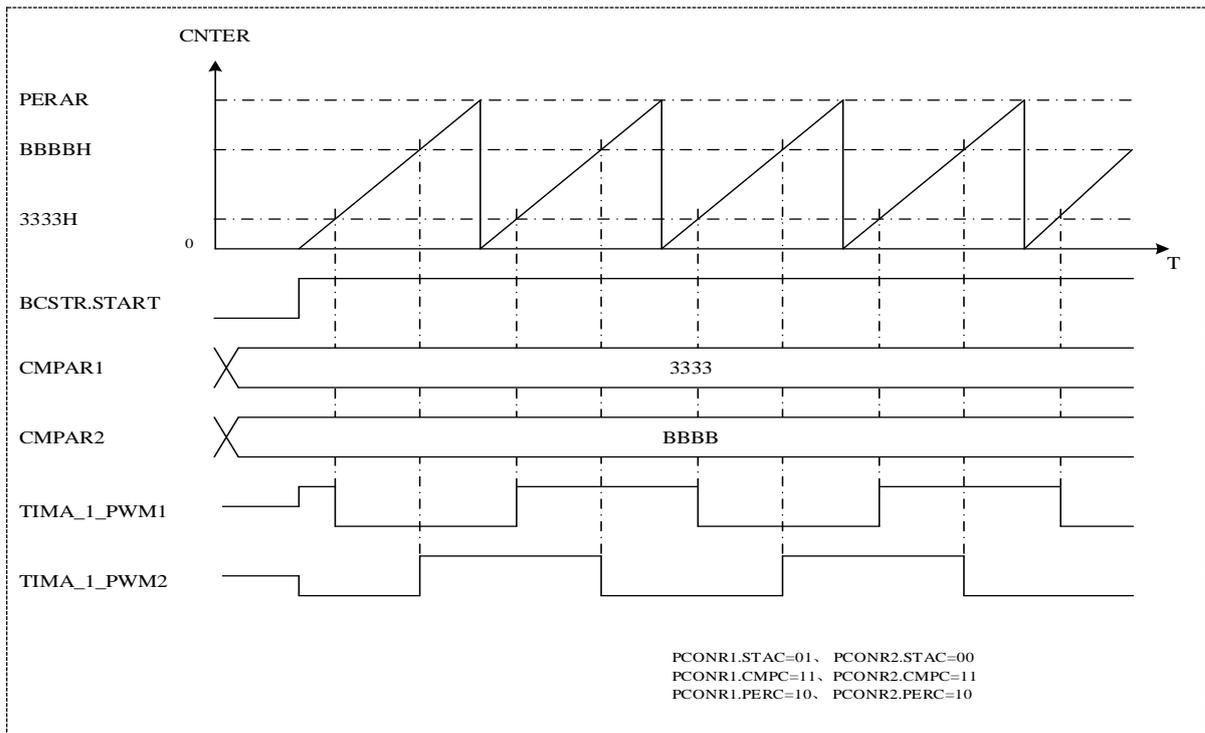


图 18-4 比较输出动作

18.3.4 捕获输入

各个 TimerA 单元的每个 PWM 输出通道都具有捕获输入功能，用于保存捕获到的计数值。设定捕获控制寄存器 (CCONRn) 的 CCONR.CAPMD 位为 1，捕获输入功能变为有效。此时选择对应的捕获输入条件且该条件有效时，当前的计数值就被保存到相应的寄存器 (CMPARn) 中 (n=1~2)。

捕获输入条件可以选择内部动作触发事件（通过 TMRA_HTSSR 寄存器选择）、TIMA_<t>_PWMn 端口输入等，具体的条件选择可通过捕获控制寄存器（CCONRn）的 HICP 位来设定（n=1~2）。图 18-5 为单元 1 的捕获输入动作例。

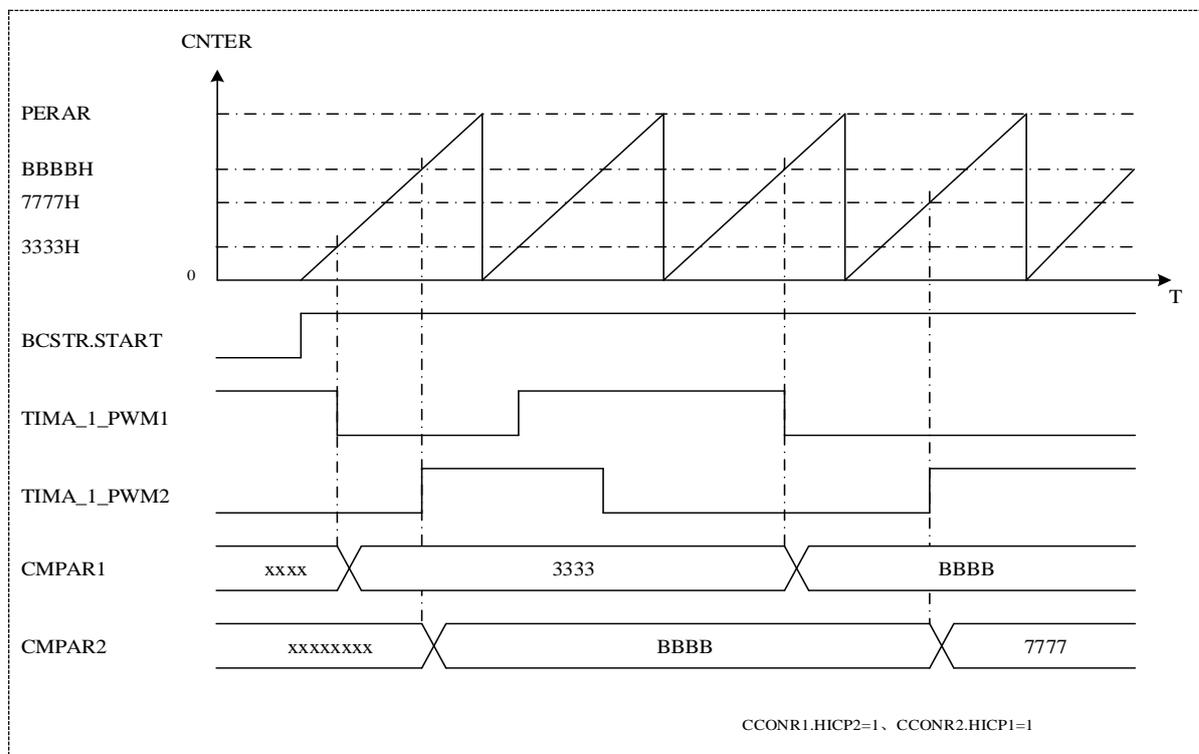


图 18-5 捕获输入动作

18.3.5 数字滤波

各个单元的 TIMA_<t>_CLKA、TIMA_<t>_CLKB、TIMA_<t>_TRIG、TIMA_<t>_PWMn（捕获输入功能时）端口输入都有数字滤波功能。各端口的滤波功能的使能和滤波时钟的选择可通过设定滤波控制寄存器（FCONR）和捕获控制寄存器（CCONRn）的对应位来实现（n=1~2）。

在滤波采样基准时钟采样到端口上 3 次一致的电平时，该电平被当作有效电平传送到模块内部；小于 3 次一致的电平会被当作外部干扰滤掉，不传送到模块内部。图 18-6 所示为单元 1 的 CLKA 端口滤波动作例。

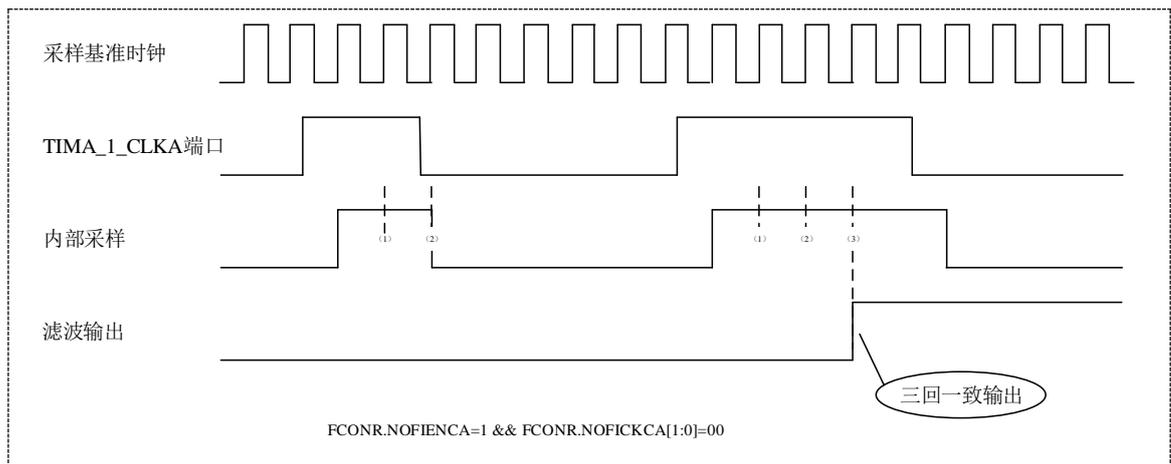


图 18-6 时钟输入端口的滤波功能

18.3.6 缓存功能

TimerA 的 2 个比较基准寄存器 (CMPAR_n) 可以成对实现缓存功能 (n=1~2)。即 CMPAR2 作为 CMPAR1 的缓存基准值。缓存控制寄存器 (BCONR) 实现缓存功能的控制。当缓存控制寄存器 (BCONR) 的 BEN 位被置位时, 缓存功能变为有效。计数器计数到特定时间点时就发生一次缓存传送 (CMPAR2->CMPAR1)。该“特定时间点”有以下几种情况:

- a) 硬件计数模式时, 计数到上溢点 (BCSTR.DIR=1 时) 或下溢点 (BCSTR.DIR=0 时)
- b) 锯齿波计数模式 (BCSTR.MODE=0) 时, 计数器计数到上溢点 (BCSTR.DIR=1 时) 或下溢点 (BCSTR.DIR=0 时)
- c) 三角波计数模式 (BCSTR.MODE=1) 时, 计数到峰点 (BCSTR.DIR=1 && BCONR.BSE0=1 时)
- d) 三角波计数模式 (BCSTR.MODE=1) 时, 计数到谷点 (BCSTR.DIR=0 && BCONR.BSE1=1 时)
- e) 硬件计数模式或锯齿波计数模式时, 发生清零动作

下图 18-7 所示, 是锯齿波模式时的缓存传送示意图。

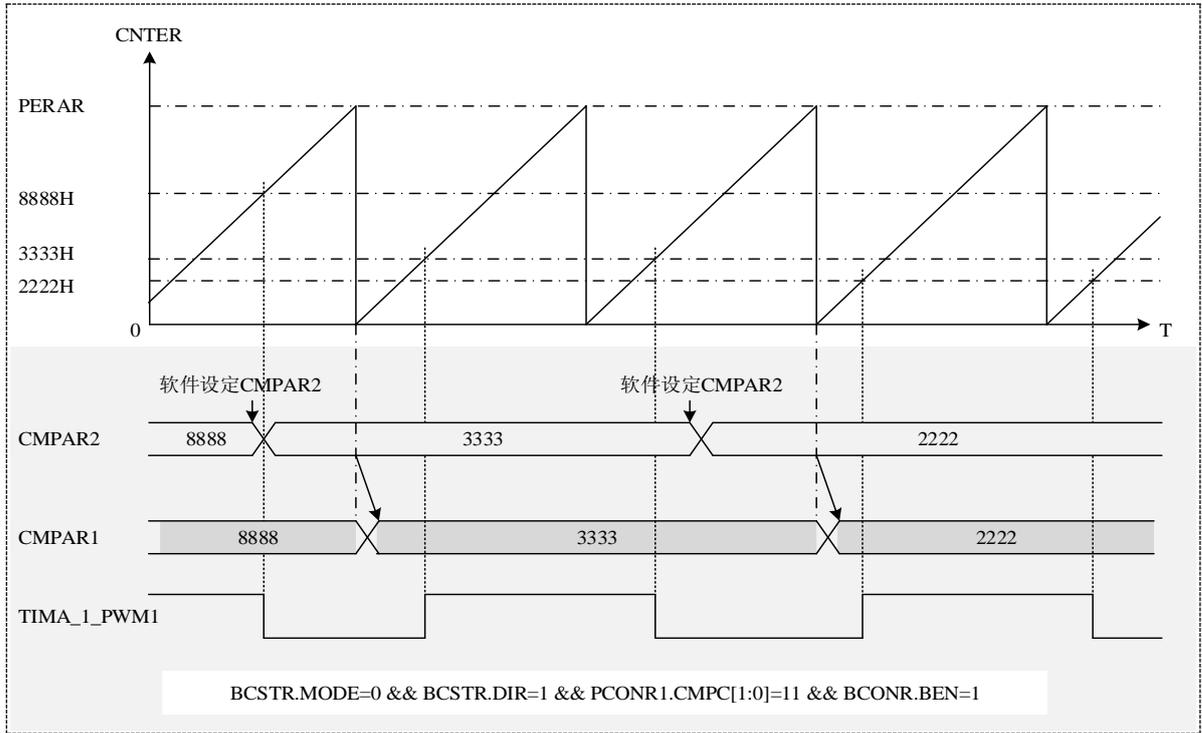


图 18-7 锯齿波模式时缓存动作

18.3.7 PWM 输出

18.3.7.1 单边对齐 PWM 输出

锯齿波计数模式时，一个单元内的各个通道通过各种端口控制设定，可以实现单边对齐 PWM 输出（在计数周期点对齐）。例如，设定在比较基准值比较匹配时翻转（PCONR.CMPC=11）、在周期基准值比较匹配时翻转（PCONR.PERC=11），就可实现在一个周期内产生单边对齐的 PWM 输出。

图 18-8 所示，是单元 1 锯齿波模式下，单边对齐 PWM 输出波形例。

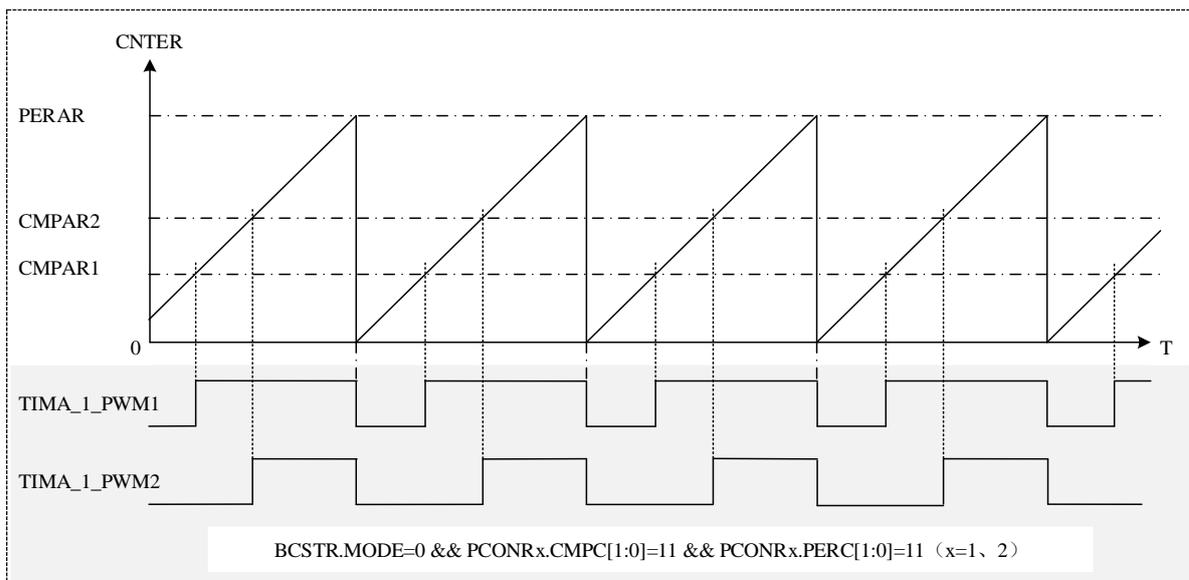


图 18-8 单边对齐 PWM 输出例

18.3.7.2 双边对称 PWM 输出

三角波计数模式时，一个单元内的各个通道通过各种端口控制设定，可以实现双边对称 PWM 输出（以计数峰点对称）。根据通道间的输出关系，可以实现独立的 PWM 输出或互补的 PWM 输出。

图 18-9 所示，是三角波模式下，通道 1、2 的双边对称 PWM 输出波形例。

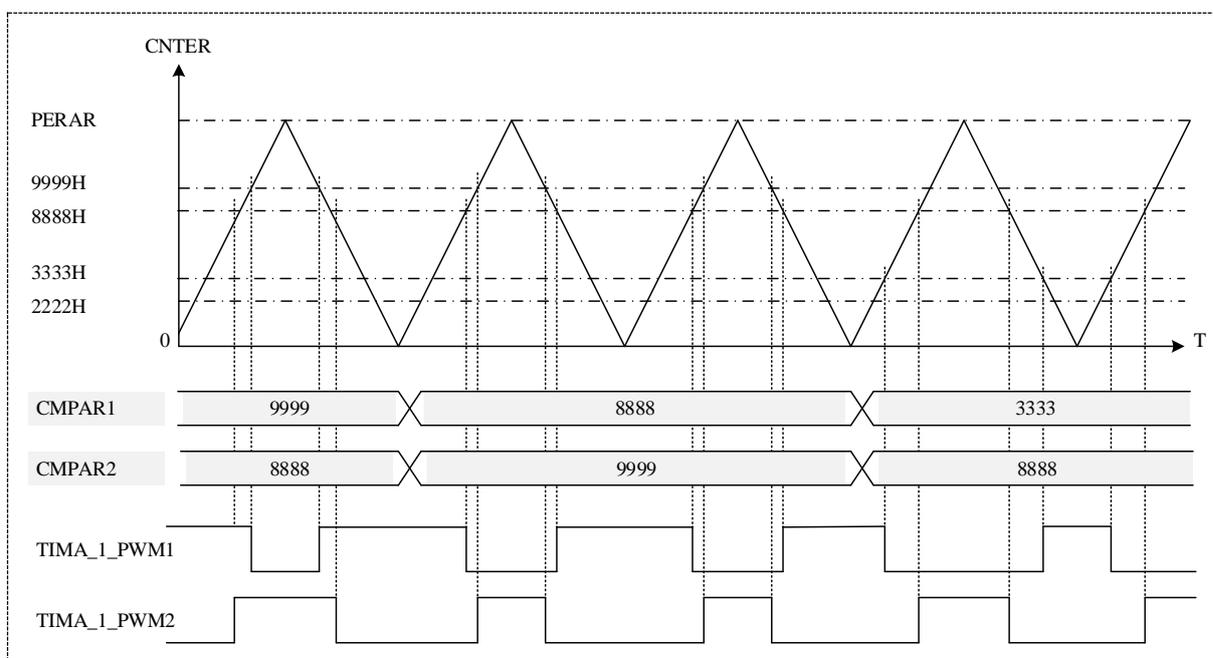


图 18-9 双边对称 PWM 输出例

18.3.8 正交编码计数

将 TIMA_<t>_CLKA 输入看作 AIN 输入、TIMA_<t>_CLKB 输入看作 BIN 输入，TimerA 就可以实现二路输入的正交编码计数。

该单元的 AIN、BIN 输入可以实现位置计数模式。AIN 和 BIN 的计数条件使能通过设定硬件递加事件选择寄存器（HCUPR）和硬件递减事件选择寄存器（HCDOR）中 TIMA_<t>_CLKA 和 TIMA_<t>_CLKB 的正交关系来实现。

位置计数模式根据 AIN、BIN 的输入实现基本计数功能、相位差计数功能和方向计数功能。

18.3.8.1 基本计数

基本计数动作是根据 AIN 或 BIN 端口的输入时钟进行计数，如下图 18-10 所示。

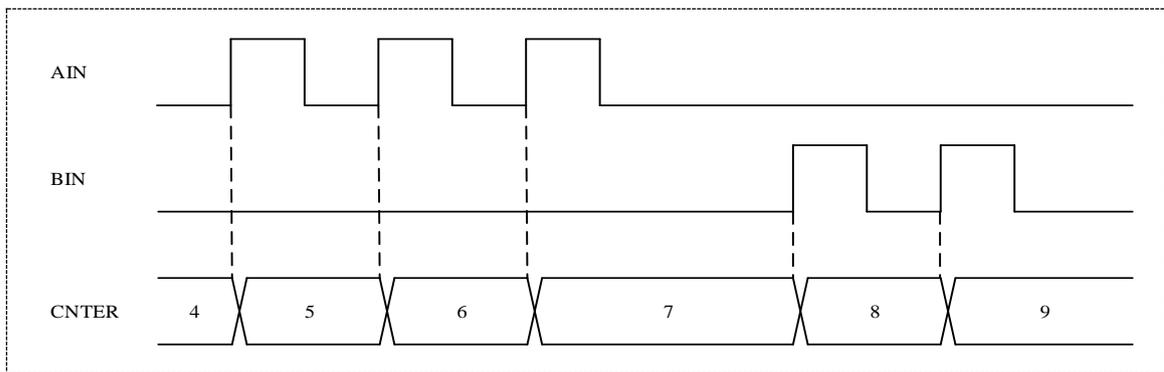


图 18-10 位置模式-基本计数

18.3.8.2 相位差计数

相位差计数是指根据 AIN 和 BIN 的相位关系进行计数。根据设定的不同，可以实现 1 倍计数、2 倍计数、4 倍计数等，如下图 18-11~图 18-13 所示。

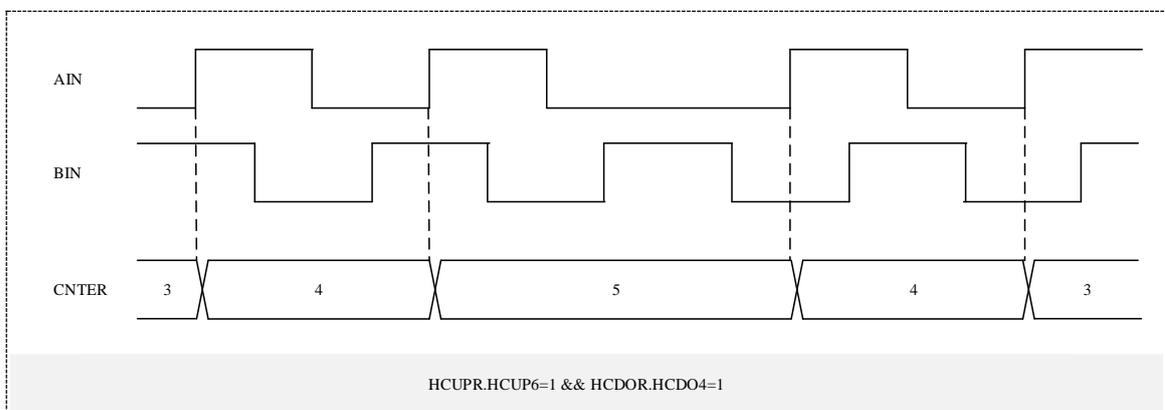


图 18-11 位置计数模式-相位差计数（1 倍计数）

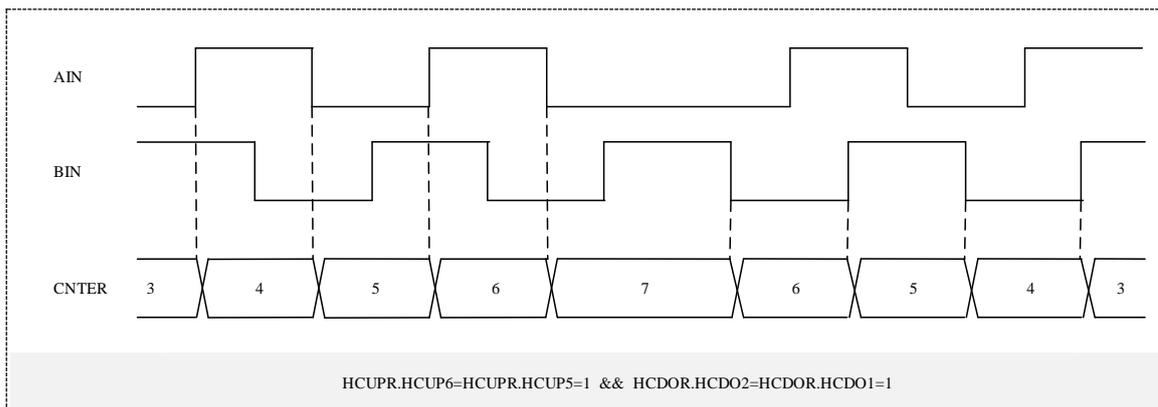


图 18-12 位置计数模式-相位差计数（2 倍计数）

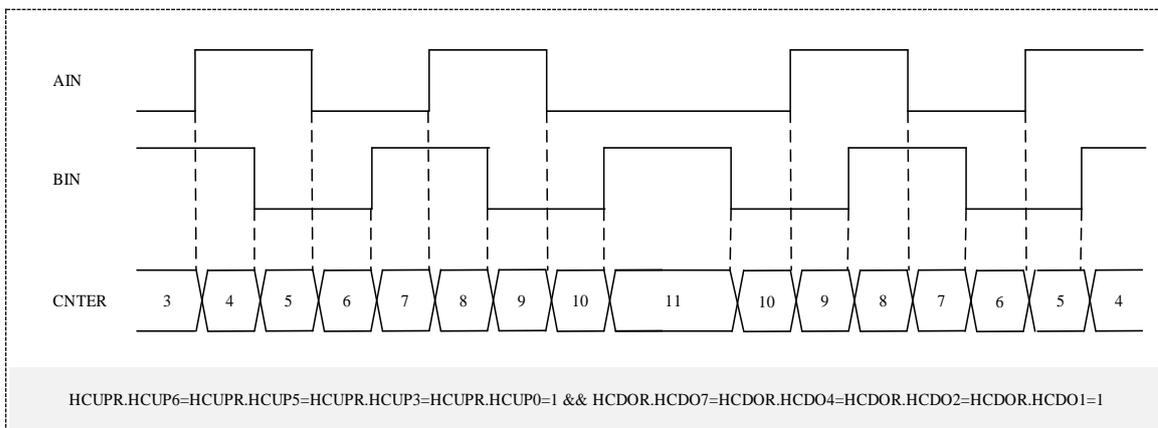


图 18-13 位置计数模式-相位差计数（4 倍计数）

18.3.8.3 方向计数

方向计数是指将 AIN 的输入状态设定为方向控制，将 BIN 的输入作为时钟计数，如下图 18-14 所示。

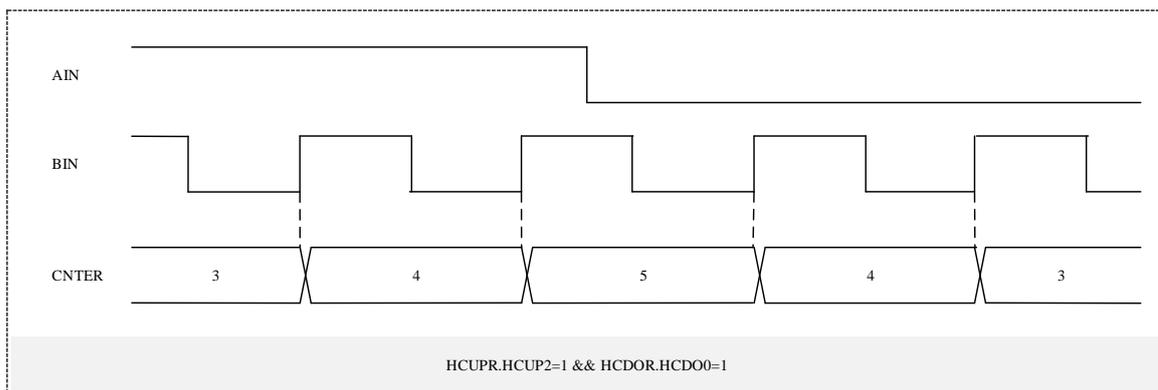


图 18-14 位置计数模式-方向计数

18.4 中断及事件说明

TimerA 含有 3 个中断输出和 3 个事件输出，分别是 1 个比较匹配中断和事件、2 个周期匹配中断和事件。

18.4.1 比较匹配中断及事件

比较基准值寄存器(CMPARn)与计数值比较发生比较匹配时,状态标志寄存器(STFLR)中的对应位(STFLR.CMPFn)会被置为 1。此时,若中断控制寄存器(ICONR)的对应位(ICONR.ITENn)设定为 1,则对应的中断请求(TMRA_CMP)会被触发;若事件控制寄存器(ECONR)的对应位(ECONR.ETENn)设定为 1,则对应的事件请求(TMRA_CMP)会被触发(n=1~2)。

捕获控制寄存器(CCONRn)选择的捕获输入有效条件产生时,捕获输入动作发生。此时,若中断控制寄存器(ICONR)的对应位(ICONR.ITENn)设定为 1,则对应的中断请求(TMRA_CMP)被触发;若事件控制寄存器(ECONR)的对应位(ECONR.ETENn)设定为 1,则对应的事件请求(TMRA_CMP)会被触发(n=1~2)。每个单元内部的 2 个基准值的比较匹配中断和比较匹配事件并非独立输出,比较匹配中断通过“或逻辑”汇总成一个中断输出至中断模块(参见 INTC 章节),比较匹配事件通过“或逻辑”汇总成一个事件输出用于选择触发别的模块。

18.4.2 周期匹配中断及事件

锯齿波模式递加计数至上溢点、锯齿波模式递减计数至下溢点、三角波模式计数至谷点或峰点,控制状态寄存器(BCSTR)的 OVFF 或 UDF 位会被置为 1。此时,若 BCSTR.ITENOVF 或 BCSTR.ITENUDF 位设定为 1 使能中断,则在对应的周期点可触发周期匹配中断(TMRA_OVF 和 TMRA_UDF)输出至中断模块(INTC);周期匹配事件则无对应的使能位控制,在对应的计数周期点就触发周期匹配事件(TMRA_OVF 和 TMRA_UDF)输出用于选择触发别的模块。

18.5 寄存器说明

表 18-3 所示，为 TimerA 模块的寄存器列表。

BASE ADDR: 0x40007000

寄存器名	符号	偏移量	位宽	复位值
通用计数值寄存器	TMRA_CNTER	0x0000h	16	0x0000h
周期基准值寄存器	TMRA_PERAR	0x0004h	16	0xFFFFh
比较基准值寄存器1	TMRA_CMPAR1	0x0040h	16	0xFFFFh
比较基准值寄存器2	TMRA_CMPAR2	0x0044h	16	0xFFFFh
控制状态寄存器	TMRA_BCSTR	0x0080h	16	0x0002h
中断控制寄存器	TMRA_ICONR	0x0090h	16	0x0000h
事件控制寄存器	TMRA_ECONR	0x0094h	16	0x0000h
滤波控制寄存器	TMRA_FCONR	0x0098h	16	0x0000h
状态标志寄存器	TMRA_STFLR	0x009Ch	16	0x0000h
缓存控制寄存器	TMRA_BCONR	0x00C0h	16	0x0000h
捕获控制寄存器1	TMRA_CCONR1	0x0100h	16	0x0000h
捕获控制寄存器2	TMRA_CCONR2	0x0104h	16	0x0000h
端口控制寄存器1	TMRA_PCONR1	0x0140h	16	0x0000h
端口控制寄存器2	TMRA_PCONR2	0x0144h	16	0x0000h
硬件触发事件选择寄存器	TMRA_HCONR	0x0084h	16	0x0000h
硬件递加事件选择寄存器	TMRA_HCUPR	0x0088h	16	0x0000h
硬件递减事件选择寄存器	TMRA_HCDOR	0x008Ch	16	0x0000h
内部触发事件选择寄存器0	TMRA_HTSSR	(0x4000C40h)	32	0x0000007Fh

表 18-3 寄存器列表

18.5.1 通用计数值寄存器 (TMRA_CNTER)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CNT[15:0]															

位	标记	位名	功能	读写
b15~b0	CNT[15:0]	计数值	当前定时器的计数值	R/W

18.5.2 周期基准值寄存器 (TMRA_PERAR)

复位值: 0xFFFFh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PER[15:0]															

位	标记	位名	功能	读写
b15~b0	PER[15:0]	计数周期值	设定每轮计数的计数周期值	R/W

18.5.3 比较基准值寄存器 (TMRA_CMPARm) (m=1~2)

复位值: 0xFFFFh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMP[15:0]															

位	标记	位名	功能	读写
b15~b0	CMP[15:0]	计数比较基准值	设定比较基准值	R/W

18.5.4 控制状态寄存器 (TMRA_BCSTR)

复位值: 0x0002h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
UDF F	OVF F	ITEN UDF	ITEN OVF	-	-	-	OV STP	CKDIV[3:0]			-	MODE	DIR	START	

位	标记	位名	功能	读写
b15	UDFF	下溢标志	0: 向下计数时, 未发生计数下溢 1: 向下计数时, 发生计数下溢	R/W
b14	OVFF	上溢标志	0: 向上计数时, 未发生计数上溢 1: 向上计数时, 发生计数上溢	R/W
b13	ITENUDF	下溢中断使能	0: 计数下溢中断不使能 1: 计数下溢中断使能	R/W
b12	ITENOVF	上溢中断使能	0: 计数上溢中断不使能 1: 计数上溢中断使能	R/W
b11~b9	Reserved	-	读出时为“0”, 写入时写“0”	R/W
b8	OVSTP	计数溢出停止控制	0: 计数器在计数上溢或下溢后, 继续计数 1: 计数器在计数上溢或下溢后, 停止计数	R/W
b7~b4	CKDIV[3:0]	计数时钟选择	0000: HCLK 0001: HCLK/2 0010: HCLK/4 0011: HCLK/8 0100: HCLK/16 0101: HCLK/32 0110: HCLK/64 0111: HCLK/128 1000: HCLK/256 1001: HCLK/512 1010: HCLK/1024	R/W
b3	Reserved	-	读出时为“0”, 写入时写“0”	R/W
b2	MODE	计数模式	0: 锯齿波模式 1: 三角波模式	R/W
b1	DIR	计数方向	0: 计数器向下计数 1: 计数器向上计数	R/W
b0	START	定时器启动	0: 定时器关闭 1: 定时器启动 注: 该位在硬件停止条件有效时, 会自动变为0	R/W

18.5.5 中断控制寄存器 (TMRA_ICONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														IT EN2	IT EN1

位	标记	位名	功能	读写
b15~b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1	ITEN2	计数匹配中断使能2	0: CMPAR2寄存器与计数值相等时, 或者发生捕获输入事件时, 该中断无效 1: CMPAR2寄存器与计数值相等时, 或者发生捕获输入事件时, 该中断使能	R/W
b0	ITEN1	计数匹配中断使能1	0: CMPAR1寄存器与计数值相等时, 或者发生捕获输入事件时, 该中断无效 1: CMPAR1寄存器与计数值相等时, 或者发生捕获输入事件时, 该中断使能	R/W

18.5.6 事件控制寄存器 (TMRA_ECONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														ET EN2	ET EN1

位	标记	位名	功能	读写
b15~b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1	ETEN2	计数匹配事件使能2	0: CMPAR2寄存器与计数值相等时, 或者发生捕获输入事件时, 该事件输出无效 1: CMPAR2寄存器与计数值相等时, 或者发生捕获输入事件时, 该事件输出使能	R/W
b0	ETEN1	计数匹配事件使能1	0: CMPAR1寄存器与计数值相等时, 或者发生捕获输入事件时, 该事件输出无效 1: CMPAR1寄存器与计数值相等时, 或者发生捕获输入事件时, 该事件输出使能	R/W

18.5.7 滤波控制寄存器 (TMRA_FCONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	NOFI CKCB[1:0]	NOFI ENCB	-	NOFI CKCA[1:0]	NOFI ENCA	-	-	-	-	-	-	NOFI CKTG[1:0]	NOFI ENTG		

位	标记	位名	功能	读写
b15	Reserved	-	读出时为“0”,写入时写“0”	R/W
b14~b13	NOFICKCB[1:0]	滤波采样基准时 钟选择CB	00: HCLK 01: HCLK/4 10: HCLK/16 11: HCLK/64	R/W
b12	NOFIENCB	捕获输入端口滤 波CB	0: TIMA_<>_CLKB端口输入滤波功能无效 1: TIMA_<>_CLKB端口输入滤波功能使能	R/W
b11	Reserved	-	读出时为“0”,写入时写“0”	R/W
b10~b9	NOFICKCA[1:0]	滤波采样基准时 钟选择CA	00: HCLK 01: HCLK/4 10: HCLK/16 11: HCLK/64	R/W
b8	NOFIENCA	捕获输入端口滤 波CA	0: TIMA_<>_CLKA端口输入滤波功能无效 1: TIMA_<>_CLKA端口输入滤波功能使能	R/W
b7~b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2~b1	NOFICKTG[1:0]	滤波采样基准时 钟选择TG	00: HCLK 01: HCLK/4 10: HCLK/16 11: HCLK/64	R/W
b0	NOFIENTG	捕获输入端口滤 波TG	0: TIMA_<>_TRIG输入端口滤波功能无效 1: TIMA_<>_TRIG输入端口滤波功能使能	R/W

18.5.8 状态标志寄存器 (TMRA_STFLR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														CMP F2	CMP F1

位	标记	位名	功能	读写
b15-b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	CMPF2	计数匹配标志2	0: CMPAR2寄存器的值与计数值不相等,且未发生TIMA_$\langle t \rangle$_PWM2捕获完成动作 1: CMPAR2寄存器的值与计数值相等,或发生TIMA_$\langle t \rangle$_PWM2捕获完成动作	R/W
b0	CMPF1	计数匹配标志1	0: CMPAR1寄存器的值与计数值不相等,且未发生TIMA_$\langle t \rangle$_PWM1捕获完成动作 1: CMPAR1寄存器的值与计数值相等,或发生TIMA_$\langle t \rangle$_PWM1捕获完成动作	R/W

18.5.9 缓存控制寄存器 (TMRA_BCONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved													BSE1	BSE0	BEN

位	标记	位名	功能	读写
b15-b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2	BSE1	三角波缓存传送 选择1	0: 三角波计数模式计数到谷点时,缓存值不传送 1: 三角波计数模式计数到谷点时,缓存值传送,即: CMMARm -> CMPARn (m=2, n=1)	R/W
b1	BSE0	三角波缓存传送 选择0	0: 三角波计数模式计数到峰点时,缓存值不传送 1: 三角波计数模式计数到峰点时,缓存值传送,即: CMMARm -> CMPARn (m=2, n=1)	R/W
b0	BEN	缓存使能	0: CMPARn基准值的缓存功能无效 1: CMPARn基准值的缓存功能有效 (n=1)	R/W

18.5.10 捕获控制寄存器 (TMRA_CCONRm) (m=1~2)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	NOFI CKCP[1:0]	NOFI ENCP	-	-	-	-	-	-	HICP 2	HICP 1	HICP 0	-	-	-	CAP MD

位	标记	位名	功能	读写
b15	Reserved	-	读出时为“0”,写入时写“0”	R/W
b14~b13	NOFICKCP[1:0]	滤波采样基准时钟 选择CP	00: HCLK 01: HCLK/4 10: HCLK/16 11: HCLK/64	R/W
b12	NOFIENCP	捕获输入端口滤波 CP	0: TIMA_<t>_PWMn端口输入滤波功能无效 1: TIMA_<t>_PWMn端口输入滤波功能使能 (n=1~2)	R/W
b11~b7	Reserved	-	读出时为“0”,写入时写“0”	R/W
b6	HICP2	捕获输入条件使能2	0: TMRA_HTSSR寄存器中指定的事件发生时,不发生捕获输入动作 1: TMRA_HTSSR寄存器中指定的事件发生时,产生捕获输入动作	R/W
b5	HICP1	捕获输入条件使能1	0: TIMA_<t>_PWMn端口输入采样到下降沿时,不发生捕获输入动作 1: TIMA_<t>_PWMn端口输入采样到下降沿时,产生捕获输入动作 (n=1~2)	R/W
b4	HICP0	捕获输入条件使能0	0: TIMA_<t>_PWMn端口输入采样到上升沿时,不发生捕获输入动作 1: TIMA_<t>_PWMn端口输入采样到上升沿时,产生捕获输入动作 (n=1~2)	R/W
b3~b1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	CAPMD	功能模式选择	0: 比较输出功能 1: 捕获输入功能	R/W

18.5.11 端口控制寄存器 (TMRA_PCONRm) (m=1~2)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	OUTEN	-	-	FORC[1:0]		PERC[1:0]		CMPC[1:0]		STPC[1:0]		STAC[1:0]	

位	标记	位名	功能	读写
b15~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	OUTEN	输出使能	0: PWM输出功能时的TIMA_<*>_PWMn端口输出无效 1: PWM输出功能时的TIMA_<*>_PWMn端口输出有效 (n=1~2)	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9~b8	FORC[1:0]	强制端口状态设定	0x: 设定无效定 10: 下周期开始, TIMA_<*>_PWMn端口输出设定为低电平 11: 下周期开始, TIMA_<*>_PWMn端口输出设定为高电平 (n=1~2) 注1: 下周期是指硬件计数模式或锯齿波计数到上溢点或下溢点、三角波计数到谷点 注2: 该寄存器位可用于实现PWM输出占空比0%或100%的控制	R/W
b7~b6	PERC[1:0]	周期值匹配时端口状态设定	00: 计数值与PERAR相等时, TIMA_<*>_PWMn端口输出设定为低电平 01: 计数值与PERAR相等时, TIMA_<*>_PWMn端口输出设定为高电平 10: 计数值与PERAR相等时, TIMA_<*>_PWMn端口输出保持先前状态 11: 计数值与PERAR相等时, TIMA_<*>_PWMn端口输出设定为反转电平 (n=1~2)	R/W
b5~b4	CMPC[1:0]	比较值匹配时端口状态设定	00: 计数值与CMPARn相等时, TIMA_<*>_PWMn端口输出设定为低电平 01: 计数值与CMPARn相等时, TIMA_<*>_PWMn端口输出设定为高电平 10: 计数值与CMPARn相等时, TIMA_<*>_PWMn端口输出保持先前状态 11: 计数值与CMPARn相等时, TIMA_<*>_PWMn端口输出设定为反转电平 (n=1~2)	R/W
b3~b2	STPC[1:0]	计数停止时端口状态设定	00: 计数停止时, TIMA_<*>_PWMn端口输出设定为低电平 01: 计数停止时, TIMA_<*>_PWMn端口输出设定为高电平 10: 计数停止时, TIMA_<*>_PWMn端口输出保持先前状态 11: 计数停止时, TIMA_<*>_PWMn端口输出保持先前状态	R/W

(n=1~2)				
b1~b0	STAC[1:0]	计数开始时端口 状态设定	<p>00: 计数开始时, TIMA_<t>_PWMn端口输出设定为低电平</p> <p>01: 计数开始时, TIMA_<t>_PWMn端口输出设定为高电平</p> <p>10: 计数开始时, TIMA_<t>_PWMn端口输出保持先前状态</p> <p>11: 计数开始时, TIMA_<t>_PWMn端口输出保持先前状态</p> <p>(n=1~2)</p> <p>注: 该位设定只在不分频 (BCSTR.CKDIV=4'h0) 的情况下有效, 其它分频请设定为2'b10或2'b11</p>	R/W

18.5.12 硬件触发事件选择寄存器 (TMRA_HCONR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	HCLE	HCLE	HCLE	-	HSTP	HSTP	HSTP	-	HSTA	HSTA	HSTA
					2	1	0		2	1	0		2	1	0

位	标记	位名	功能	读写
b15~b11	Reserved	-	读出时为“0”,写入时写“0”	R/W
b10	HCLE2	硬件清零条件2	条件: TMRA_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b9	HCLE1	硬件清零条件1	条件: TIMA_TRIG端口输入采样到下降沿 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b8	HCLE0	硬件清零条件0	条件: TIMA_TRIG端口输入采样到上升沿 0: 条件匹配时, 硬件清零无效 1: 条件匹配时, 硬件清零有效	R/W
b7	Reserved	-	读出时为“0”,写入时写“0”	R/W
b6	HSTP2	硬件停止条件2	条件: TMRA_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件停止无效 1: 条件匹配时, 硬件停止有效	R/W
b5	HSTP1	硬件停止条件1	条件: TIMA_<trig>_TRIG端口输入采样到下降沿 0: 条件匹配时, 硬件停止无效 1: 条件匹配时, 硬件停止有效	R/W
b4	HSTP0	硬件停止条件0	条件: TIMA_<trig>_TRIG端口输入采样到上升沿 0: 条件匹配时, 硬件停止无效 1: 条件匹配时, 硬件停止有效	R/W
b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2	HSTA2	硬件启动条件2	条件: TMRA_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件启动无效 1: 条件匹配时, 硬件启动有效	R/W
b1	HSTA1	硬件启动条件1	条件: TIMA_<trig>_TRIG端口输入采样到下降沿 0: 条件匹配时, 硬件启动无效 1: 条件匹配时, 硬件启动有效	R/W
b0	HSTA0	硬件启动条件0	条件: TIMA_<trig>_TRIG端口输入采样到上升沿 0: 条件匹配时, 硬件启动无效 1: 条件匹配时, 硬件启动有效	R/W

18.5.13 硬件递加事件选择寄存器 (TMRA_HCUPR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	HC UP10	HC UP9	HC UP8	HC UP7	HC UP6	HC UP5	HC UP4	HC UP3	HC UP2	HC UP1	HC UP0

位	标记	位名	功能	读写
b15~b11	Reserved	-	读出时为“0”,写入时写“0”	R/W
b10	HCUP10	硬件递加条件10	条件: TMRA_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b9	HCUP9	硬件递加条件9	条件: TIMA_<>_TRIG端口上采样到下降沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b8	HCUP8	硬件递加条件8	条件: TIMA_<>_TRIG端口上采样到上升沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b7	HCUP7	硬件递加条件7	条件: TIMA_<>_CLKB端口为高电平时, TIMA_<>_CLKA端口上采样到下降沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b6	HCUP6	硬件递加条件6	条件: TIMA_<>_CLKB端口为高电平时, TIMA_<>_CLKA端口上采样到上升沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b5	HCUP5	硬件递加条件5	条件: TIMA_<>_CLKB端口为低电平时, TIMA_<>_CLKA端口上采样到下降沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b4	HCUP4	硬件递加条件4	条件: TIMA_<>_CLKB端口为低电平时, TIMA_<>_CLKA端口上采样到上升沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b3	HCUP3	硬件递加条件3	条件: TIMA_<>_CLKA端口为高电平时, TIMA_<>_CLKB端口上采样到下降沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b2	HCUP2	硬件递加条件2	条件: TIMA_<>_CLKA端口为高电平时, TIMA_<>_CLKB端口上采样到上升沿 0: 条件匹配时, 硬件递加无效	R/W

			1: 条件匹配时, 硬件递加有效	
b1	HCUP1	硬件递加条件1	条件: TIMA_$\langle \rangle$_CLKA端口为低电平时, TIMA_$\langle \rangle$_CLKB端口上采样到下降沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W
b0	HCUP0	硬件递加条件0	条件: TIMA_$\langle \rangle$_CLKA端口为低电平时, TIMA_$\langle \rangle$_CLKB端口上采样到上升沿 0: 条件匹配时, 硬件递加无效 1: 条件匹配时, 硬件递加有效	R/W

18.5.14 硬件递减事件选择寄存器 (TMRA_HCDOR)

复位值: 0x0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	HC DO10	HC DO9	HC DO8	HC DO7	HC DO6	HC DO5	HC DO4	HC DO3	HC DO2	HC DO1	HC DO0

位	标记	位名	功能	读写
b15~b11	Reserved	-	读出时为“0”,写入时写“0”	R/W
b10	HCDO10	硬件递减条件10	条件: TMRA_HTSSR寄存器中指定的事件发生 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b9	HCDO9	硬件递减条件9	条件: TIMA_<trig>_TRIG端口上采样到下降沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b8	HCDO8	硬件递减条件8	条件: TIMA_<trig>_TRIG端口上采样到上升沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b7	HCDO7	硬件递减条件7	条件: TIMA_<clk>_CLKB端口为高电平时, TIMA_<clk>_CLKA端口上采样到下降沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b6	HCDO6	硬件递减条件6	条件: TIMA_<clk>_CLKB端口为高电平时, TIMA_<clk>_CLKA端口上采样到上升沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b5	HCDO5	硬件递减条件5	条件: TIMA_<clk>_CLKB端口为低电平时, TIMA_<clk>_CLKA端口上采样到下降沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b4	HCDO4	硬件递减条件4	条件: TIMA_<clk>_CLKB端口为低电平时, TIMA_<clk>_CLKA端口上采样到上升沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b3	HCDO3	硬件递减条件3	条件: TIMA_<clk>_CLKA端口为高电平时, TIMA_<clk>_CLKB端口上采样到下降沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b2	HCDO2	硬件递减条件2	条件: TIMA_<clk>_CLKA端口为高电平时, TIMA_<clk>_CLKB端口上采样到上升沿 0: 条件匹配时, 硬件递减无效	R/W

			1: 条件匹配时, 硬件递减有效	
b1	HCDO1	硬件递减条件1	条件: TIMA_<I>_CLKA端口为低电平时, TIMA_<I>_CLKB端口上采样到下降沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W
b0	HCDO0	硬件递减条件0	条件: TIMA_<I>_CLKA端口为低电平时, TIMA_<I>_CLKB端口上采样到上升沿 0: 条件匹配时, 硬件递减无效 1: 条件匹配时, 硬件递减有效	R/W

18.5.15 内部触发事件选择寄存器 (TMRA_HTSSR)

复位值: 0x0000007Fh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved									TRGSEL[6:0]						

位	标记	位名	功能	读写
b31~b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6~b0	TRGSEL	内部触发事件触发源选择	内部触发事件触发源编号写入, 参考INTC章节	R/W

19 通用定时器（Timer2）

19.1 简介

通用定时器 2（Timer2）是一个可以实现同步、异步计数方式的基本定时器。该定时器内含 1 个通道。一个输出端口，可实现基本的方波输出；一个时钟输入端口，可实现端口异步计数；一个触发输入端口，可实现定时器启动、停止、清零、计数动作及计数值捕获输入；支持脉宽测量和周期测量。本系列产品中搭载 1 个单元的 Timer2。

19.2 基本框图

Timer2 基本的功能及特性如下：

基本动作	• 硬件触发计数器启动、停止、清零、计数及捕获输入
	• 同步计数、异步计数
	• 脉宽测量
	• 周期测量
	• 方波输出
	• 事件信号输出
中断类型	• 计数比较匹配中断
	• 计数溢出中断

表 19-1 Timer2 的基本功能及特性

Timer2 的基本框图如图 19-1 所示。框图中所示“<t>”表示单元编号，即“<t>”为 1，本章节后文提到“<t>”时均指单元编号，不再赘述。框图中 TIM2_<t>_CLKA 端口输入上的 ANF 是一个模拟滤波单元，滤波宽度为 40ns（典型条件）。

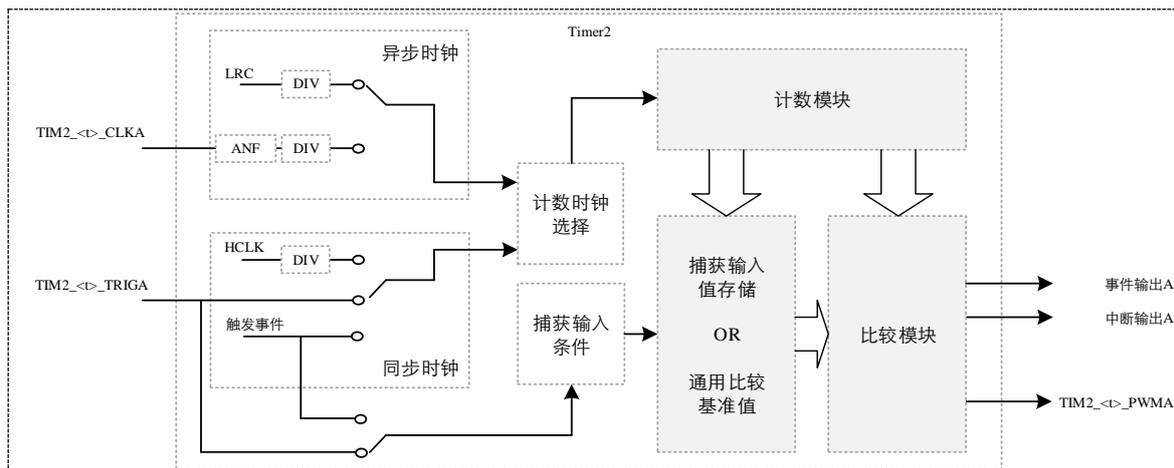


图 19-1 Timer2 基本框图

表 19-2 所示为 Timer2 的输入输出端口列表。

端口名	方向	功能
TIM2_<t>_CLKA	in	异步时钟输入端口
TIM2_<t>_TRIGA	in	1) 硬件启动、停止、清零、计数输入端口 2) 捕获输入端口
TIM2_<t>_PWMA	out	方波输出端口

表 19-2 Timer2 端口列表

19.3 功能说明

19.3.1 时钟源选择

Timer2 的计数方式可以选择同步计数方式或异步计数方式。

同步计数方式是指定时器的计数时钟和总线访问时钟（寄存器读写操作时钟）有同步时序关系；异步计数方式是指定时器的计数时钟和总线访问时钟（寄存器读写操作时钟）是非同步的时序关系。异步计数方式时对寄存器读操作时，定时器等的状态可能正在发生变化、读出不可预期的状态。因此，在异步计数方式时，寄存器读操作须在计数停止状态下实现。

19.3.1.1 同步计数时钟源

同步计数方式时(BCONR.SYNSA=0),时钟源有以下几种选择(BCONR.SYNCLKA[1:0]设定):

- a) HCLK 及 HCLK 的 2、4、8、16、32、64、128、256、512、1024 分频作为同步计数时钟（BCONR.SYNCLKA[1:0]=00 & BCONR.CKDIVA[3:0]设定）
- b) TIM2_<t>_TRIGA 端口的输入有效选择沿被内部 HCLK 采样后作为同步计数时钟（BCONR.SYNCLKA[1:0]=01 或 BCONR.SYNCLKA[1:0]=10）
- c) 内部硬件触发事件输入作为同步计数时钟（BCONR.SYNCLKA[1:0]=11）

19.3.1.2 异步计数时钟源

异步计数方式时（BCONR.SYNSA=1），时钟源有以下几种选择（BCONR.ASYNCLKA[1:0]设定）:

- a) LRC 时钟源输入及其 2、4、8、16、32、64、128、256、512、1024 分频作为异步计数时钟（BCONR.ASYNCLKA=00 & BCONR.CKDIVA[3:0]设定）
- b) TIM2_<t>_CLKA 时钟输入端口及其 2、4、8、16、32、64、128、256、512、1024 分频作为异步计数时钟（BCONR.ASYNCLKA=10 & BCONR.CKDIVA[3:0]设定）

19.3.2 比较输出

Timer2 有一个输出端口（TIM2_<t>_PWMA），可以实现基本的方波输出。

CMPAR 寄存器对应了 TIM2_<t>_PWMA 的计数比较基准值。当定时器的计数值 CNTAR 和 CMPAR 相等时，TIM2_<t>_PWMA 端口输出指定的电平。

TIM2_<t>_PWMA 端口的计数起始电平、停止电平、计数比较匹配时的电平等，可由端口控制寄存器（PCONR）的 PCONR.STACA[1:0]、STPCA[1:0]、CMPCA[1:0]位设定。图 19-2 为比较输出动作例。

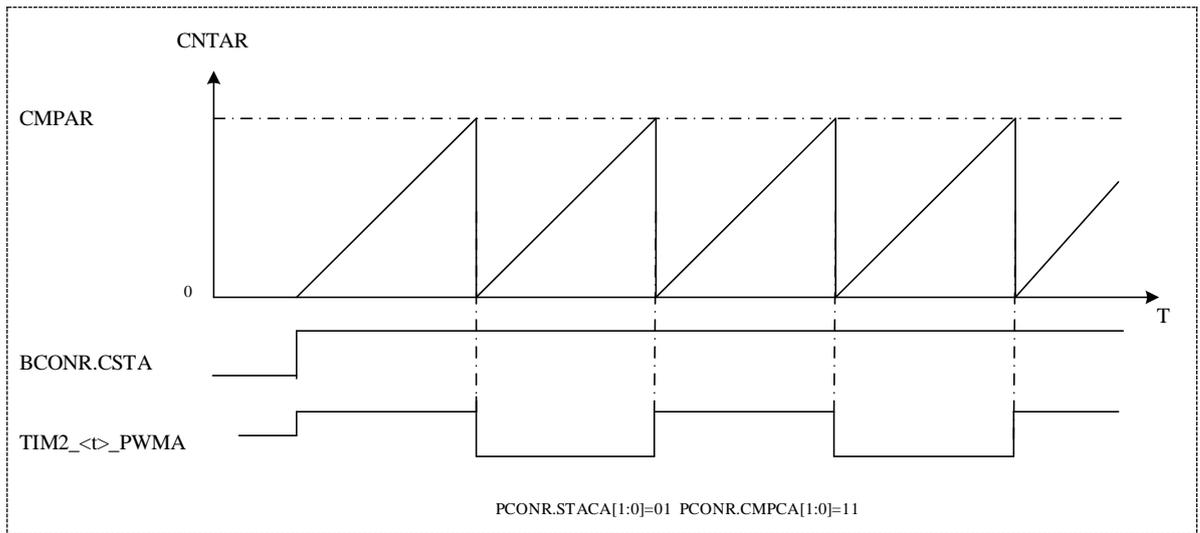


图 19-2 比较输出动作

19.3.3 硬件触发

Timer2 的硬件触发动作有两类，一个是 TIM2_<t>_TRIGA 端口的输入事件，另一个是内部硬件触发事件。这两类事件均可以实现计数器的启动、停止、清零及硬件捕获输入功能。各种功能组合设定也可实现脉宽测量、周期测量等。

TIM2_<t>_TRIGA 端口输入类型选择（上升沿或下降沿）及功能选择（启动、停止、清零、捕获输入）、内部硬件触发事件的功能选择（启动、停止、清零、捕获输入）可通过硬件控制寄存器（HCONR）的相应位设定。

Timer2 有一个内部硬件触发源，事件源可通过触发选择寄存器（HTSSR）中对应的编号设定来选择，具体的事件对应关系请参考 INTC 章节。使用内部硬件触发功能时，需要先将功能时钟控制寄存器（FCG）的外围电路触发功能使能位置 1。

19.3.3.1 启动停止清零

硬件启动、停止、清零条件由硬件控制寄存器（HCONR）的相关设定来决定。图 19-3 是硬件启动、清零的动作例。

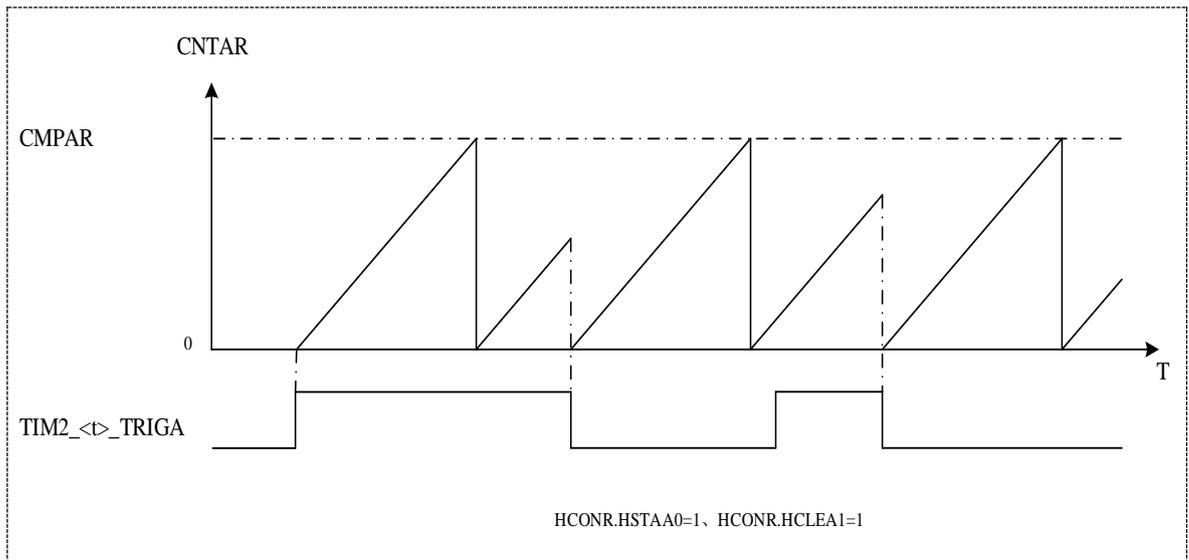


图 19-3 硬件启动、清零动作

19.3.3.2 捕获输入动作

TIM2_<t>_TRIGA 端口输入或内部触发事件作为捕获输入条件时，可实现捕获输入功能。当硬件控制寄存器（HCONR）选择的捕获输入条件有效时，当前的计数值就被保存到相应的寄存器（CMPAR）中。图 19-4 为捕获输入的动作例。

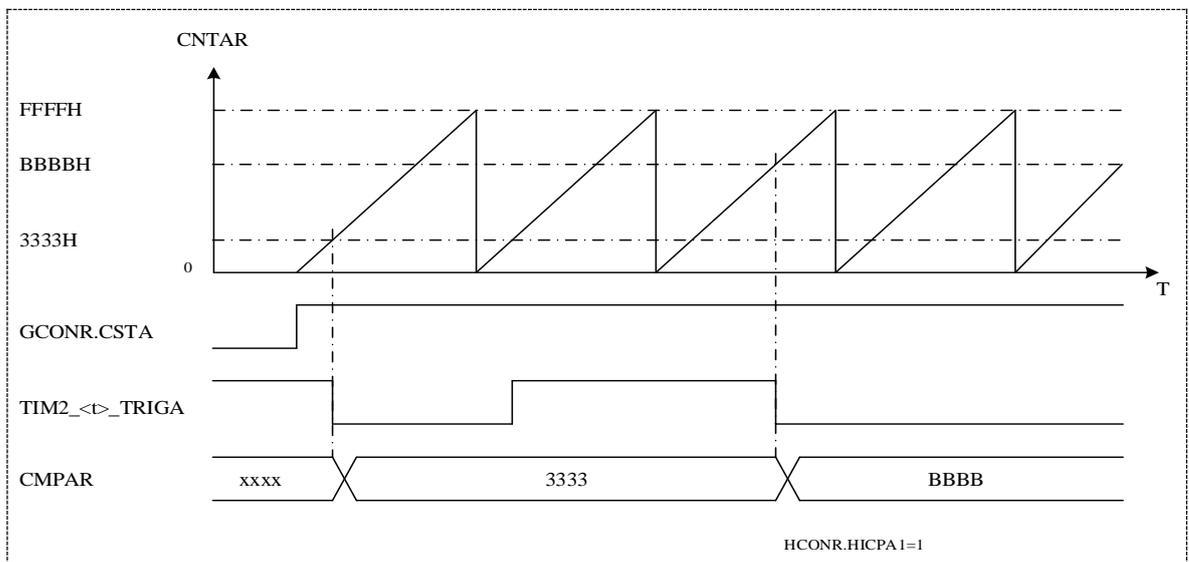


图 19-4 捕获输入动作

19.3.3.3 脉宽测量

将 Timer2 的硬件启动条件设为 TIM2_<t>_TRIGA 的上升沿，硬件清零条件、停止条件和捕获输入条件均设为 TIM2_<t>_TRIGA 的下降沿，就可以实现连续的脉冲宽度测量。对应动作如图 19-5 所示。

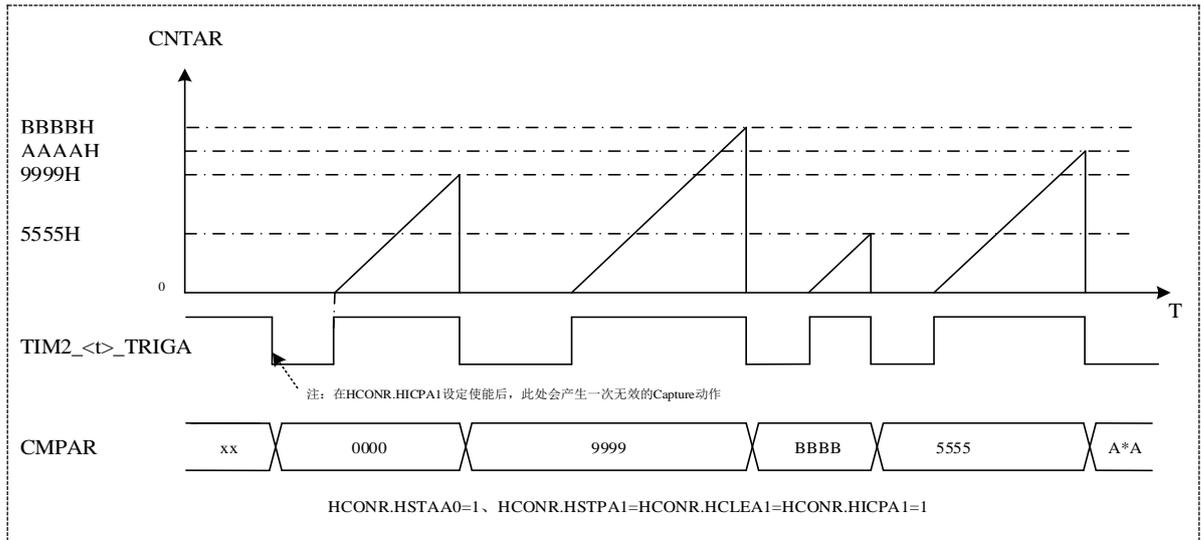


图 19-5 脉宽测量

19.3.3.4 周期测量

将 Timer2 的硬件启动条件、硬件清零条件和捕获输入条件设为 TIM2_<t>_TRIGA 的相同沿（上升沿或下降沿），就可以实现连续的周期宽度测量。对应动作如图 19-6 所示。

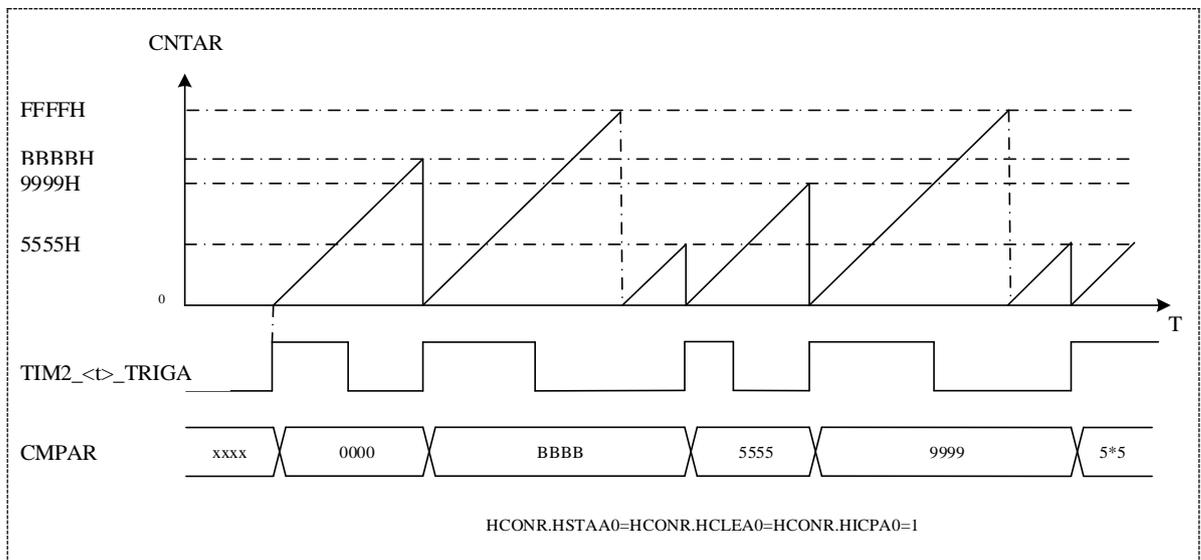


图 19-6 周期测量

19.3.4 数字滤波

Timer2 的 TRIG 输入端口（TIM2_<t>_TRIGA）具有数字滤波功能。可通过设定端口控制寄存器（PCONR.NOFIENA）的使能位开启对应端口的滤波功能。滤波用的基准时钟也通过端口控制寄存器（PCONR.NOFICKA[1:0]）设定。

在滤波采样基准时钟采样到端口上 3 次一致的电平时，该电平被当作有效电平传送到模块内部；小于 3 次一致的电平会被当作外部干扰滤掉，不传送到模块内部。其动作例如图 19-7 所示。

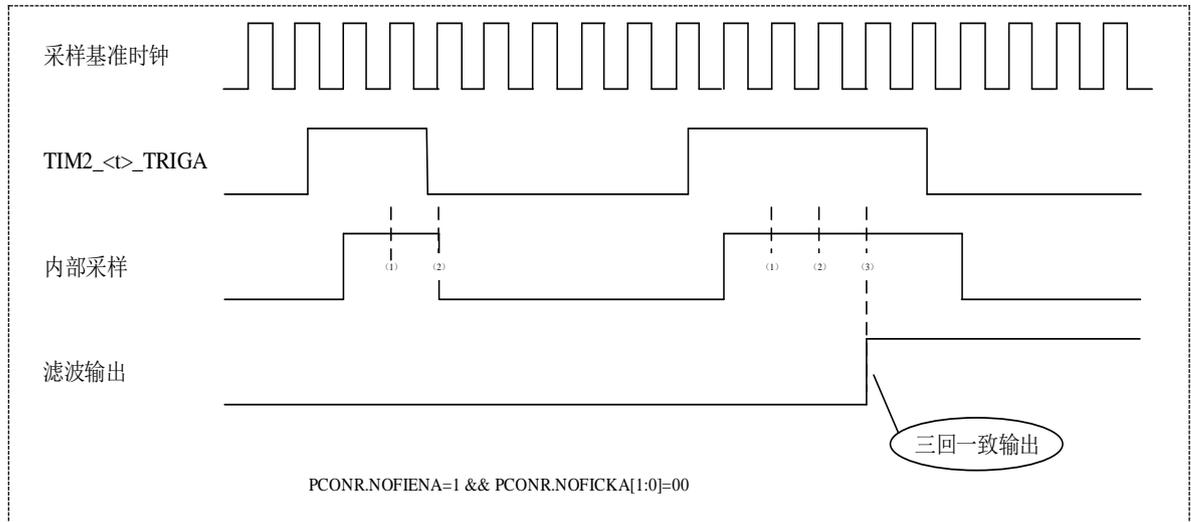


图 19-7 TRIG 输入端口的数字滤波

19.4 中断及事件说明

19.4.1 中断输出

一个 Timer2 含有 1 个计数比较匹配中断或输入捕获中断，还有一个计数溢出中断。基准值寄存器 (CMPAR) 与计数值寄存器 (CNTAR) 比较相等时发生比较匹配事件，此时状态标志寄存器 (STFLR) 中的 STFLR.CMFA 位会被置为 1。若设定中断控制寄存器 (ICONR) 的 ICONR.CMENA 位使能中断，则对应的中断请求 (TMR2_GCMP) 也会被触发。

在硬件控制寄存器 (HCONR) 选择的捕获输入有效条件产生时，捕获输入动作发生。此时若设置中断控制寄存器 (ICONR) 的 ICONR.CMENA 位为 1 使能中断，则对应的中断请求 (TMR2_GCMP) 被触发。

计数值寄存器 (CNTAR) 计数到 0XFFFF 时发生计数溢出事件，此时状态标志寄存器 (STFLR) 中的 STFLR.OVFA 位会被置为 1。若设定中断控制寄存器 (ICONR) 的 ICONR.OVENA 位使能中断，则对应的中断请求 (TMR2_GOVF) 也会被触发。

在选择异步计数模式 (BCONR.ASYNCLKA[1:0]=2'b10 除外) 时，基准值寄存器 (CMPAR) 产生的比较匹配中断可用于在低功耗模式时对系统进行唤醒，具体请参考 INTC 章节。

19.4.2 事件输出

一个 Timer2 含有 1 个计数比较匹配事件或输入捕获事件，还有一个计数溢出事件。在计数过程中发生计数比较匹配或计数溢出时，会产生相应的事件请求 (TMR2_GCMP 或 TMR2_GOVF) 输出信号，可以用于选择触发别的模块。

19.5 寄存器说明

表 19-3 所示，为 Timer2 模块的寄存器列表。

BASE ADDR: 0x40006000H

寄存器名	符号	偏移量	位宽	复位值
计数值寄存器	TMR2_CNTAR	0x0000h	32	0x00000000h
基准值寄存器	TMR2_CMPAR	0x0008h	32	0x0000FFFFh
基本控制寄存器	TMR2_BCONR	0x0010h	32	0x00000000h
中断控制寄存器	TMR2_ICONR	0x0014h	32	0x00000000h
端口控制寄存器	TMR2_PCONR	0x0018h	32	0x00000000h
硬件控制寄存器	TMR2_HCONR	0x001ch	32	0x00000000h
触发选择寄存器	TMR2_HTSSR	(0x40000C20h)	32	0x0000007Fh
状态标志寄存器	TMR2_STFLR	0x0020h	32	0x00000000h

表 19-3 寄存器列表

注意：

- TMR2_HTSSR 寄存器和 TMR0_HTSSR 寄存器实际为同一寄存器，两者共用。

19.5.1 计数值寄存器 (TMR2_CNTAR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CNTA[15:0]															

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”	R
b15~b0	CNTA[15:0]	计数值	当前定时器的计数值	R/W

19.5.2 基准值寄存器 (TMR2_CMPAR)

复位值: 0x0000FFFFh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPA[15:0]															

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”	R
b15~b0	CMPA[15:0]	基准值	设定计数基准值, 产生Compare Match事件	R/W

19.5.3 基本控制寄存器 (TMR2_BCONR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	ASYN CLKA[1:0]	SYN CLKA[1:0]	CKDIV A[3:0]			SYNS A	-	CAP MDA	CST A			

位	标记	位名	功能	读写
b31~b12	Reserved	-	读出时为“0”,写入时写“0”	R/W
b11~b10	ASYNCLKA[1:0]	异步计数同时钟源 选择A	00: LRC 01: 设定禁止 10: TIM2_<>_CLKA时钟输入 11: 设定禁止	R/W
b9~b8	SYNCLKA[1:0]	同步计数同时钟源 选择A	00: HCLK 01: TIM2_<>_TRIGA上升沿 (内部HCLK同步) 10: TIM2_<>_TRIGA下降沿 (内部HCLK同步) 11: 内部触发事件输入	R/W
b7~b4	CKDIVA[3:0]	计数时钟分频选择 A	计数时钟分频选择: 0000: 时钟源 0001: 时钟源/2 0010: 时钟源/4 0011: 时钟源/8 0100: 时钟源/16 0101: 时钟源/32 0110: 时钟源/64 0111: 时钟源/128 1000: 时钟源/256 1001: 时钟源/512 1010: 时钟源/1024 请不要设定其它值 注: 被分频的时钟源可以是异步计数时的各种时钟源、同步计数时的HCLK	R/W
b3	SYNSA	计数方式选择A	0: 同步计数方式 1: 异步计数方式	R/W
b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1	CAPMDA	功能模式选择A	0: 比较输出功能 1: 捕获输入功能	R/W
b0	CSTA	定时器启动A	0: 通道A定时器关闭 1: 通道A定时器启动	R/W

注：该位在硬件触发停止条件有效时，会自动变为0

19.5.4 中断控制寄存器 (TMR2_ICONR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														OVENA	CMENA

位	标记	位名	功能	读写
b31~b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1	OVENA	计数溢出中断使能 A	0: 计数值 (CNTAR) =0xFFFFh 时, 该中断无效 1: 计数值 (CNTAR) =0xFFFFh 时, 该中断使能	R/W
b0	CMENA	计数匹配中断使能 A	0: CMPAR 寄存器与计数值 (CNTAR) 相等时, 或者发生捕获输入事件时, 该中断无效 1: CMPAR 寄存器与计数值 (CNTAR) 相等时, 或者发生捕获输入事件时, 该中断使能	R/W

19.5.5 端口控制寄存器 (TMR2_PCONR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	NOFI CKA[1:0]	NOFI ENA	-	-	-	OUT ENA	-	-	CMP CA[1:0]	STP CA[1:0]	STA CA[1:0]				

位	标记	位名	功能	读写
b31~b15	Reserved	-	读出时为“0”,写入时写“0”	R/W
b14~b13	NOFICKA	滤波采样基准时 钟选择 A	00: 时钟源 01: 时钟源/4 10: 时钟源/16 11: 时钟源/64 注: 该时钟源为异步计数时的各种时钟源、同步计数时的 HCLK	R/W
b12	NOFIENA	触发端口滤波 A	0: TIM2_<▷>_TRIGA 输入端口滤波功能无效 1: TIM2_<▷>_TRIGA 输入端口滤波功能使能	R/W
b11~b9	Reserved	-	读出时为“0”,写入时写“0”	R/W
b8	OUTENA	端口输出使能 A	0: TIM2_<▷>_PWMA 端口输出无效 1: TIM2_<▷>_PWMA 端口输出有效	R/W
b7~b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5~b4	CMPCA[1:0]	比较值匹配时端 口状态设定 A	00: 计数值 (CNTAR) 与 CMPAR 相等时, TIM2_<▷>_PWMA 端 口输出设定为低电平 01: 计数值 (CNTAR) 与 CMPAR 相等时, TIM2_<▷>_PWMA 端 口输出设定为高电平 10: 计数值 (CNTAR) 与 CMPAR 相等时, TIM2_<▷>_PWMA 端 口输出保持先前状态 11: 计数值 (CNTAR) 与 CMPAR 相等时, TIM2_<▷>_PWMA 端 口输出设定为反转电平	R/W
b3~b2	STPCA[1:0]	计数停止时端口 状态设定 A	00: 计数停止时, TIM2_<▷>_PWMA 端口输出设定为低电平 01: 计数停止时, TIM2_<▷>_PWMA 端口输出设定为高电平 10: 计数停止时, TIM2_<▷>_PWMA 端口输出保持先前状态 11: 计数停止时, TIM2_<▷>_PWMA 端口输出保持先前状态	R/W
b1~b0	STACA[1:0]	计数启动时端口 状态设定 A	00: 计数启动时, TIM2_<▷>_PWMA 端口输出设定为低电平 01: 计数启动时, TIM2_<▷>_PWMA 端口输出设定为高电平 10: 计数启动时, TIM2_<▷>_PWMA 端口输出保持先前状态 11: 计数启动时, TIM2_<▷>_PWMA 端口输出保持先前状态 注: 该位设定只在不分频 (BCONR.CKDIVA=4'h0) 的情况下有 效, 其它分频请设定为 2'b10 或 2'b11	R/W

b2	HSTAA2	硬件启动条件 A2	条件：内部硬件触发事件有效 0：条件匹配时，硬件启动无效 1：条件匹配时，硬件启动有效	R/W
b1	HSTAA1	硬件启动条件 A1	条件：TIM2_$\langle \rangle$_TRIGA 端口上采样到下降沿 0：条件匹配时，硬件启动无效 1：条件匹配时，硬件启动有效	R/W
b0	HSTAA0	硬件启动条件 A0	条件：TIM2_$\langle \rangle$_TRIGA 端口上采样到上升沿 0：条件匹配时，硬件启动无效 1：条件匹配时，硬件启动有效	R/W

19.5.7 触发选择寄存器 (TMR2_HTSSR)

复位值: 0x0000007Fh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved									TRGSEL[6:0]						

位	标记	位名	功能	读写
b31~b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6~b0	TRGSEL	触发源选择	触发源编号写入,参考INTC章节	R/W

19.5.8 状态标志寄存器 (TMR2_STFLR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														OVFA	CMFA

位	标记	位名	功能	读写
b31~b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	OVFA	计数溢出标志A	0: 计数值未计数到0xFFFFh 1: 计数值计数到0xFFFFh	R/W
b0	CMFA	计数匹配标志A	0: CMPAR寄存器的值与计数值 (CNTAR) 不相等且未发生捕获输入动作 1: CMPAR寄存器的值与计数值 (CNTAR) 相等或发生捕获输入动作	R/W

19.6 使用注意事项

- 1) 在异步计数动作时，需先设定 BCONR.SYNSA 位选择异步计数方式，然后再启动 Timer2。
- 2) 在选择异步计数的情况下,修改计数值(CNTAR)、基准值 (CMPAR)、启动位 (BCONR.CSTA)、状态位 (STFLR.CMFA) 时，Timer2 从接收到写动作后经过 3 个异步计数时钟才将修改值写入对应的寄存器中。
- 3) 在选择异步计数的情况下,连续对计数值(CNTAR)、基准值 (CMPAR)、启动位 (BCONR.CSTA)、状态位 (STFLR.CMFA/OVFA) 进行写动作时，需间隔至少 3 个异步计数时钟。

20 通用定时器（Timer0）

20.1 简介

通用定时器 0 (Timer0) 是一个可以实现同步计数、异步计数两种方式的基本定时器。该定时器内含 1 个通道，可以在计数期间产生比较匹配事件。该事件可以触发中断，也可作为事件输出来控制其它模块等。本系列产品中搭载 1 个单元的 Timer0。

20.2 基本框图

Timer0 的基本框图如图 20-1 所示。

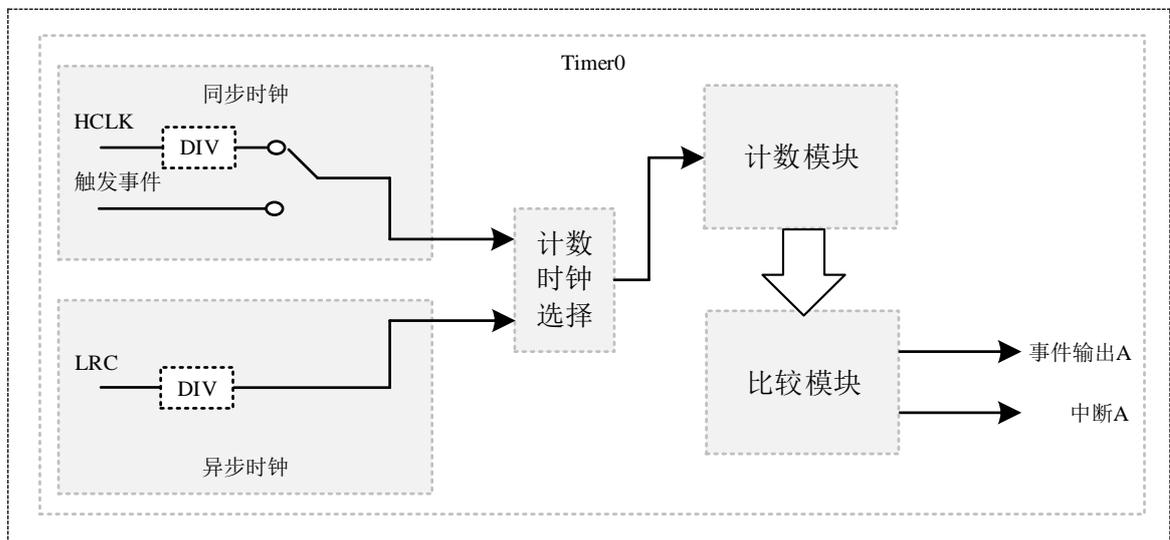


图 20-1 Timer0 基本框图

20.3 功能说明

20.3.1 时钟源选择

Timer0 的计数方式可以选择同步计数方式或异步计数方式。

同步计数方式是指定时器的计数时钟和总线访问时钟（寄存器读写操作时钟）有同步时序关系；异步计数方式是指定时器的计数时钟和总线访问时钟（寄存器读写操作时钟）是非同步的时序关系。异步计数方式时对寄存器读操作时，定时器等的状态可能正在发生变化、读出不可预期的状态。因此，在异步计数方式时，寄存器读操作须在计数停止状态下实现。

20.3.1.1 同步计数时钟源

同步计数方式时（BCONR.SYNSA=0），时钟源有以下几种选择（BCONR.SYNCLKA 设定）：

- a) HCLK 及 HCLK 的 2、4、8、16、32、64、128、256、512、1024 分频作为同步计数时钟（BCONR.SYNCLKA=0 & BCONR.CKDIVA[3:0]设定）
- b) 内部硬件触发事件输入作为同步计数时钟（BCONR.SYNCLKA=1）

20.3.1.2 异步计数时钟源

异步计数方式时（BCONR.SYNSA=1），时钟源可以选择 LRC 时钟源输入及其 2、4、8、16、32、64、128、256、512、1024 分频作为异步计数时钟（BCONR.CKDIVA[3:0] 设定）。

20.3.2 基本计数

Timer0 可设定基准计数值，在计数值和基准值相等时产生计数比较匹配事件。如图 20-2 所示。

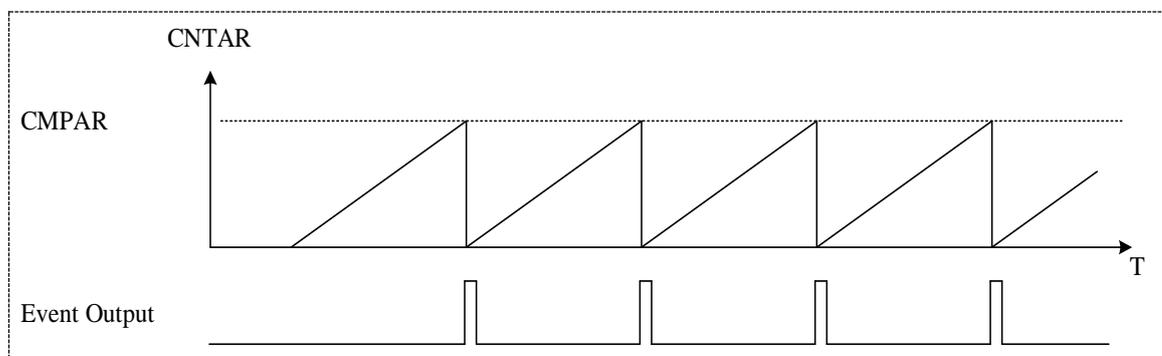


图 20-2 Timer0 计数时序图

20.3.3 硬件触发

Timer0 有一个共用的内部硬件触发源，可以通过基本控制寄存器 (BCONR) 的相关设定，来控制定时器的状态 (计数、启动、停止、清零) 以及捕获输入动作等。

该硬件触发源的源选择通过向硬件触发选择寄存器 (HTSSR) 中输入对应的编号来实现，具体的事件对应关系请参考 INTC 章节。使用内部硬件触发功能时，需要先将功能时钟控制寄存器 (FCG) 的外围电路触发功能位清零。

20.4 中断及事件说明

20.4.1 中断输出

一个 Timer0 含有 1 个计数比较匹配中断或输入捕获中断。

基准值寄存器 (CMPAR) 与计数值寄存器 (CNTAR) 比较产生比较匹配有效信号。计数比较匹配时, 状态标志寄存器 (STFLR) 中的 STFLR.CMFA 位会被置为 1。此时若设定基本控制寄存器 (BCONR) 的 BCONR.INTENA 位使能中断, 则对应的中断请求 (TMR0_GCMP) 也会被触发。

在内部硬件触发输入作为捕获输入条件时, 可以产生相应的捕获输入动作。此时若设定基本控制寄存器 (BCONR) 的 BCONR.INTENA 位使能中断, 则对应的中断请求 (TMR0_GCMP) 被触发。

在选择异步计数模式时, 基准值寄存器 (CMPAR) 产生的比较匹配中断可用于在低功耗模式时对系统进行唤醒, 具体请参考中断控制器 (INTC)。

20.4.2 事件输出

一个 Timer0 含有 1 个计数比较匹配事件或输入捕获事件。

在计数过程中发生计数比较匹配时, 会产生相应的事件请求 (TMR0_GCMP) 输出信号, 可以用于选择触发别的模块。

20.5 寄存器说明

表 20-1 所示，为 Timer0 模块的寄存器列表。

BASE ADDR: 0x40005800H

寄存器名	符号	偏移量	位宽	复位值
计数值寄存器	TMR0_CNTAR	0x0000h	32	0x00000000h
基准值寄存器	TMR0_CMPAR	0x0008h	32	0x0000FFFFh
基本控制寄存器	TMR0_BCONR	0x0010h	32	0x00000000h
触发选择寄存器	TMR0_HTSSR	(0x40000C20h)	32	0x0000007Fh
状态标志寄存器	TMR0_STFLR	0x0014h	32	0x00000000h

表 20-1 寄存器列表

20.5.1 计数值寄存器 (TMR0_CNTAR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CNTA[15:0]															

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”	R
b15~b0	CNTA[15:0]	计数值A	当前定时器的计数值A	R/W

20.5.2 基准值寄存器 (TMR0_CMPAR)

复位值: 0x0000FFFFh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPA[15:0]															

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”	R
b15~b0	CMPA[15:0]	基准值A	设定计数基准值A, 产生Compare Match事件	R/W

20.5.3 基本控制寄存器 (TMR0_BCONR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
HICP A	HCLE A	HSTP A	HSTA A	-	-	SYN CLKA	SYN SA	CKDIV A[3:0]				-	INT ENA	CAP MDA	CST A

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15	HICPA	硬件触发输入捕获 A	条件: 内部硬件触发事件有效 0: 条件匹配时, 捕获输入无效 1: 条件匹配时, 捕获输入有效	R/W
b14	HCLEA	硬件触发清零A	条件: 内部硬件触发事件有效 0: 条件匹配时, 定时器清零无效 1: 条件匹配时, 定时器清零有效	R/W
b13	HSTPA	硬件触发停止A	条件: 内部硬件触发事件有效 0: 条件匹配时, 定时器停止无效 1: 条件匹配时, 定时器停止有效	R/W
b12	HSTAA	硬件触发启动A	条件: 内部硬件触发事件有效 0: 条件匹配时, 定时器启动无效 1: 条件匹配时, 定时器启动有效	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9	SYNCLKA	通道A同步计数时 钟源选择	0: HCLK 1: 内部硬件触发事件	R/W
b8	SYNSA	通道A计数方式选 择	0: 同步计数方式 1: 异步计数方式	R/W
b7~b4	CKDIVA[3:0]	通道A计数时钟分 频选择	通道A计数时钟分频选择: 0000: 时钟源 0001: 时钟源/2 0010: 时钟源/4 0011: 时钟源/8 0100: 时钟源/16 0101: 时钟源/32 0110: 时钟源/64 0111: 时钟源/128 1000: 时钟源/256 1001: 时钟源/512 1010: 时钟源/1024 请不要设定其它值	R/W

注：被分频的时钟源可以是异步计数时的各种时钟源、同步计数时的HCLK

b3	Reserved	-	读出时为“0”,写入时写“0”	R/W
b2	INTENA	计数匹配中断使能 A	0: CMPAR寄存器与计数值（CNTAR）相等时，或者发生捕获输入事件时，该中断无效 1: CMPAR寄存器与计数值（CNTAR）相等时，或者发生捕获输入事件时，该中断使能	R/W
b1	CAPMDA	功能模式选择A	0: 比较输出功能 1: 捕获输入功能	R/W
b0	CSTA	定时器启动	0: 通道A定时器关闭 1: 通道A定时器启动 注：该位在硬件触发停止条件有效时，会自动变为0	R/W

20.5.4 触发选择寄存器 (TMR0_HTSSR)

复位值: 0x0000007Fh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved									TRGSEL[6:0]						

位	标记	位名	功能	读写
b31~b7	Reserved	-	读出时为“0”,写入时写“0”	R
b6~b0	TRGSEL	触发源选择	触发源编号写入,参考INTC章节	R/W

20.5.5 状态标志寄存器 (TMR0_STFLR)

复位值: 0x00000000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved															CMFA

位	标记	位名	功能	读写
b31~b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	CMFA	计数匹配A	0: CMPAR寄存器的值与计数值 (CNTAR) 不相等且未发生捕获输入动作 1: CMPAR寄存器的值与计数值 (CNTAR) 相等或发生捕获输入动作	R/W

20.6 使用注意事项

- 1) 在异步计数动作时，需先设定 BCONR.SYNSA 位选择异步计数方式，然后再启动 Timer0。
- 2) 在选择异步计数的情况下,修改计数值(CNTAR)、基准值 (CMPAR)、启动位 (BCONR.CSTA)、状态位 (STFLR.CMFA) 时，Timer0 从接收到写动作后经过 3 个异步计数时钟才将修改值写入对应的寄存器中。
- 3) 在选择异步计数的情况下,连续对计数值(CNTAR)、基准值 (CMPAR)、启动位 (BCONR.CSTA)、状态位 (STFLR.CMFA) 进行写动作时，需间隔至少 3 个异步计数时钟。

21 看门狗计数器 (SWDT)

21.1 简介

看门狗计数器是一种计数时钟源为内部低速 RC (32.768kHz) 的专用看门狗计数器 (SWDT)。专用看门狗是 16 位递减计数器，用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。看门狗计数器支持窗口功能，在计数开始前可预设窗口区间，计数值位于窗口区间时，可刷新计数器，计数重新开始。基本特性如表 21-1。

计数时钟	SWDTCLK的1/16/32/64/128/256/2048分频
最长溢出时间	SWDT:1.14hour(max)
计数模式	递减计数
窗口功能	可设定窗口区间，定义刷新动作的允许区间
启动方式	1) 硬件启动 2) 软件启动
停止条件	1) 复位中 2) 下溢，刷新错误发生时 再开始：硬件启动模式下，复位或中断请求输出后自动开始 软件启动模式下，再次设定刷新寄存器
中断/复位条件	1) 计数下溢 2) 刷新错误

表 21-1 看门狗计数器的基本特性

21.2 功能说明

21.2.1 启动看门狗

看门狗计数器的启动方式有两种：硬件启动方式和软件启动方式。

硬件启动方式是指启动时从主闪存区域读取看门狗计数器的设定信息(ICG0 寄存器), 计数器自动开始计数；软件启动方式是指设定控制寄存器后，写刷新寄存器完成刷新动作，计数器开始计数。

21.2.2 硬件启动方式

ICG0 寄存器的位 0(SWDTAUTS)为 0 时，为硬件启动方式。选择硬件启动方式时，SWDT_CR 寄存器的相关设定信息无效。

硬件启动方式时，在复位期间将 ICG0 寄存器里的 SWDT 相关设定（计数时钟、窗口设定值、计数周期等）载入到 SWDT 的模块中，复位之后、计数器按照设定自动开始计数。图 21-1 为硬件启动方式的动作例。

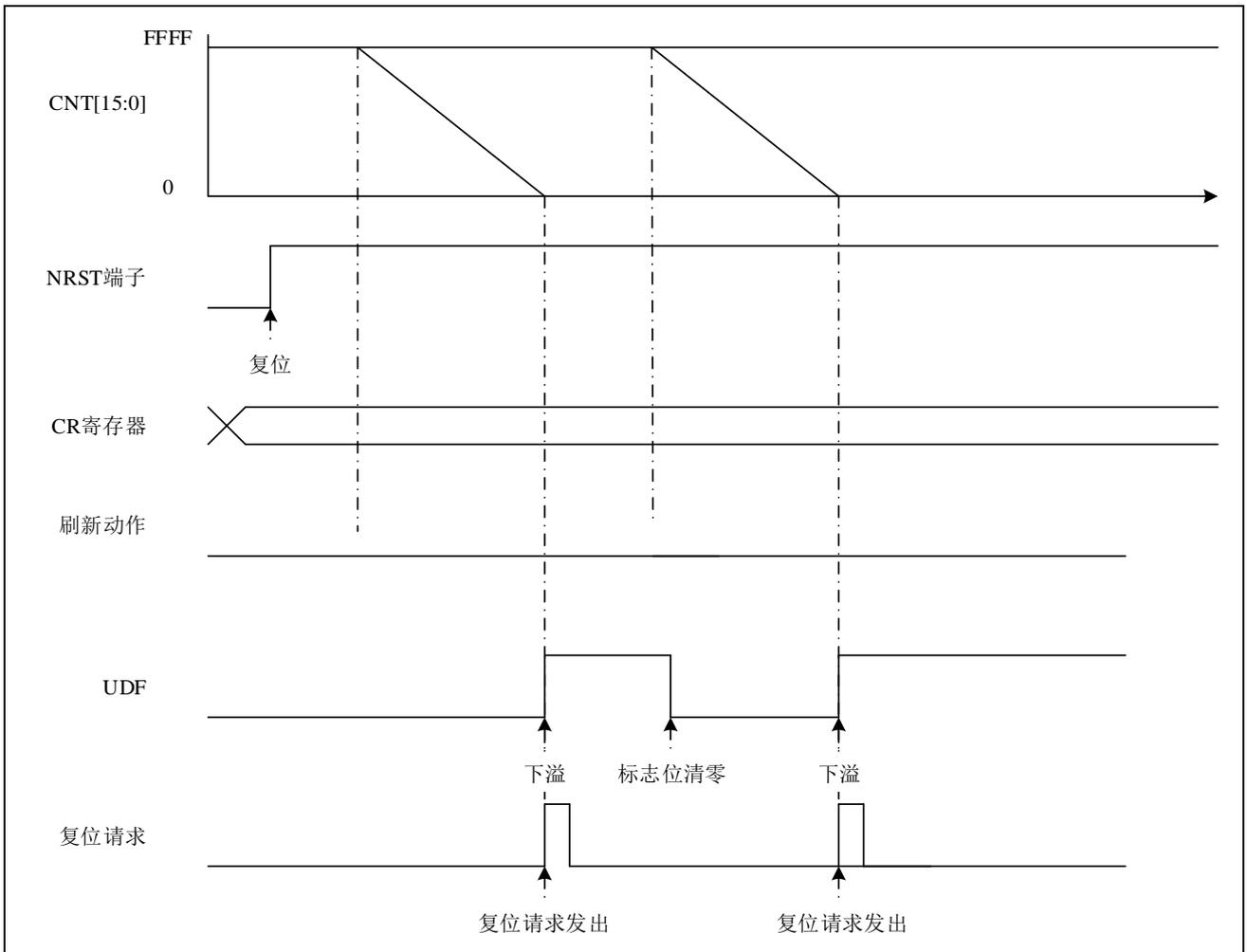


图 21-1 硬件启动例

21.2.3 软件启动方式

ICG0 寄存器的位 0(SWDTAUTS)为 1 时，通过设定刷新寄存器的方式启动 SWDT 为软件启动方式。复位后，设定 SWDT_CR 寄存器中的计数时钟、窗口设定值、计数周期等，然后执行刷新动作，计数器就开始计数。SWDT_CR 设定只能 1 次，再次设定写入值无效。图 21-2 为软件启动方式的动作例。

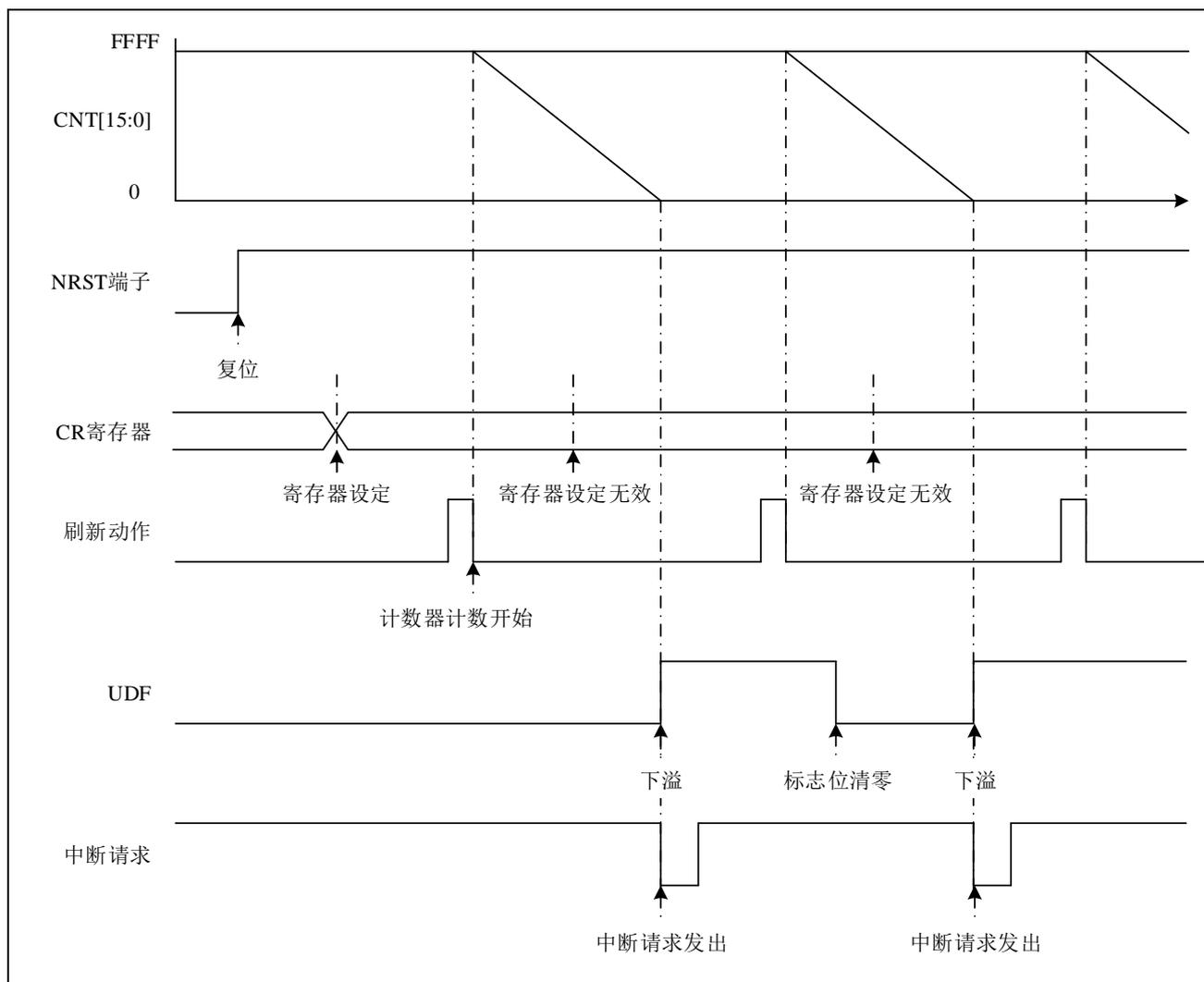


图 21-2 软件启动例

21.2.4 刷新动作

SWDT_RR 寄存器中先写 0x0123、再写 0x3210 完成一次刷新动作，SWDT 的计数器就开始计数(软件启动)或重新开始计数。

SWDT_RR 寄存器在写 0x0123、0x3210 之间，若对发生对其他寄存器访问或读取 SWDT_RR 寄存器等，不影响正常的刷新动作。

如图 21-3 所示动作示例。

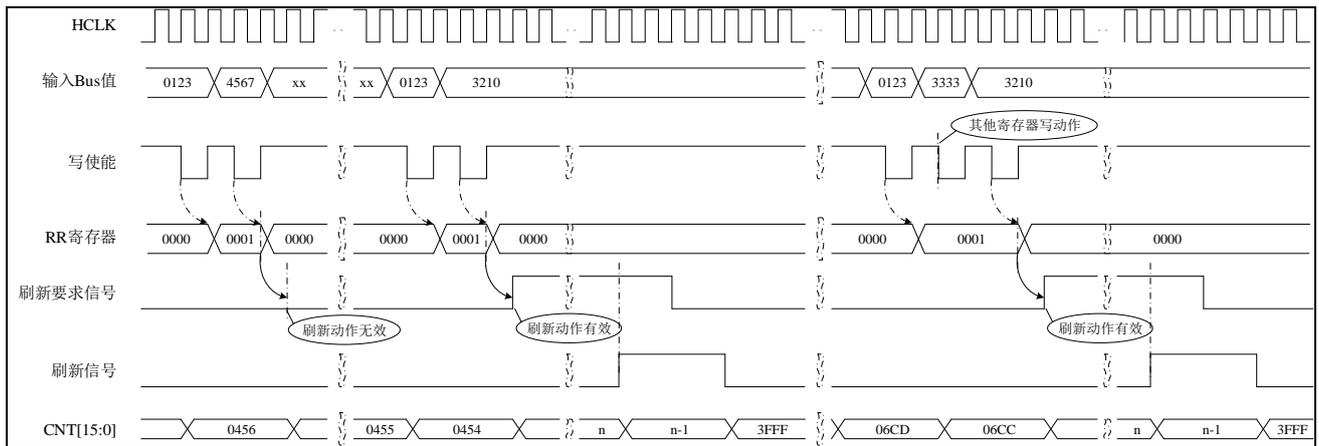


图 21-3 各种刷新动作时序示例（动作确认，刷新要求信号的下降沿等）

刷新动作需要 4 个计数周期完成计数值的更新，所以请在刷新下位窗口和下溢位置的提前 4 个计数值完成刷新寄存器的写入。计数值的确认请读取状态寄存器。

21.2.5 标志位

刷新错误标志位和计数下溢标志位在复位请求和中断请求的情况下都会保持。当复位解除或进入中断后，可以通过查询标志位来确认复位或中断原因。

标志位清零：先读“1”再写“0”。

刷新错误或者计数下溢标志位为置位时，硬件启动模式看门狗计数不停止。对于 SWDT 来说，当对标志位写“0”时，最多需要经过 3 个 SWDTCLK 和 2 个 HCLK 时间后，寄存器位才能被清零。另，在发生刷新错误或者下溢错误的一定时间内，对标志位读“1”清零无效，这段时间为：1 个计数周期+2 个 SWDTCLK。

21.2.6 中断复位

SWDT 在计数器计数下溢或刷新错误时，可以选择产生中断请求或复位请求。硬件启动时通过设定 ICG0 的 SWDTITS 位，软件启动时通过设定 SWDT_CR 寄存器 ITS 位，来决定产生中断请求还是复位请求。

SWDT 的中断复位产生条件有两种。一种是计数器计数产生下溢；一种是在刷新允许区间之外执行刷新动作，产生刷新错误。

21.2.7 计数下溢

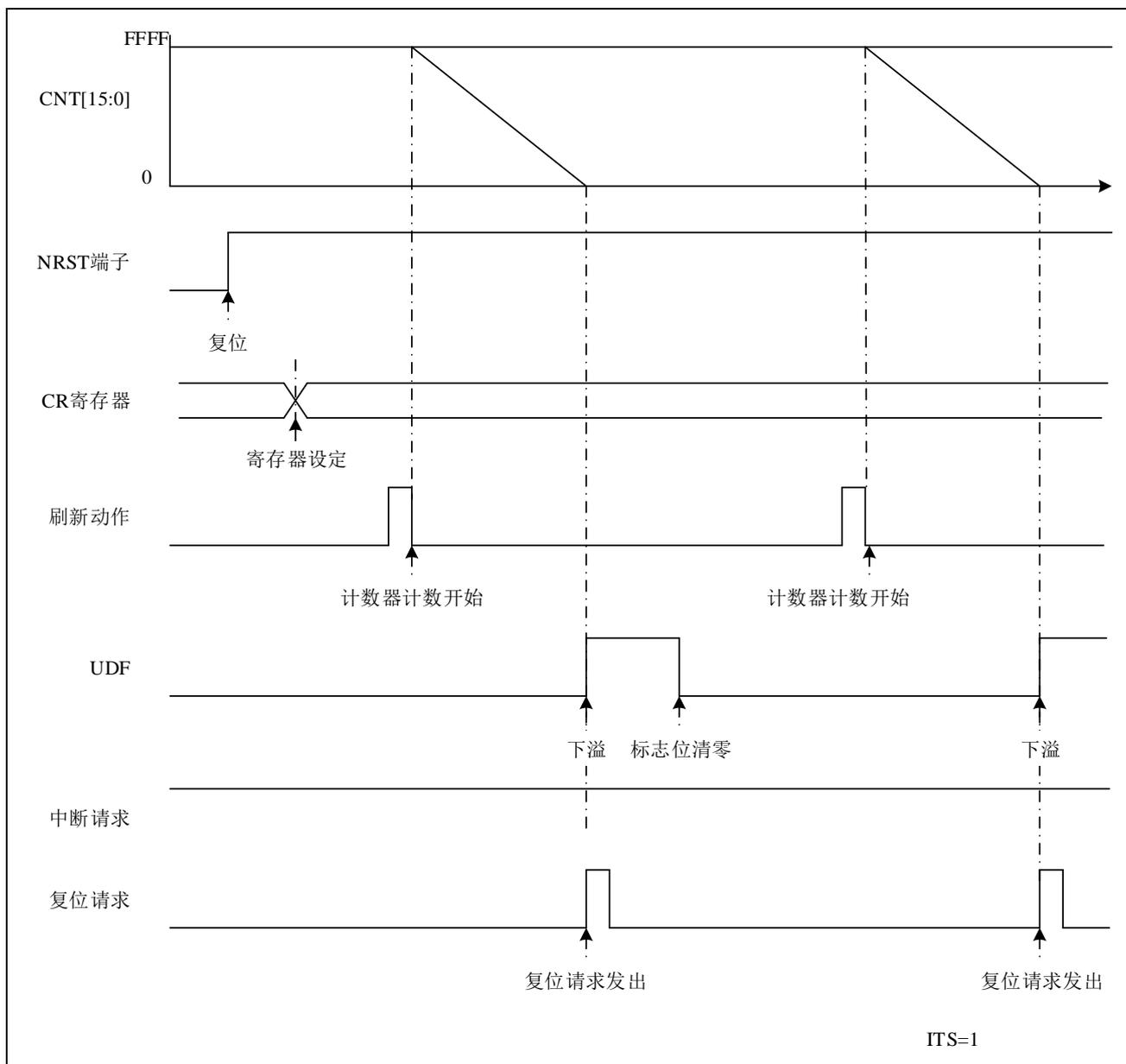


图 21-4 计数器下溢动作例

如图 21-4 例，在递减计数到零时产生下溢。

21.2.8 刷新错误

在设定了窗口区间后，只有在窗口区间内执行刷新动作时计数器才会被刷新、重新开始计数，在窗口区间外执行刷新动作时产生刷新错误。图 21-5 为刷新动作例。

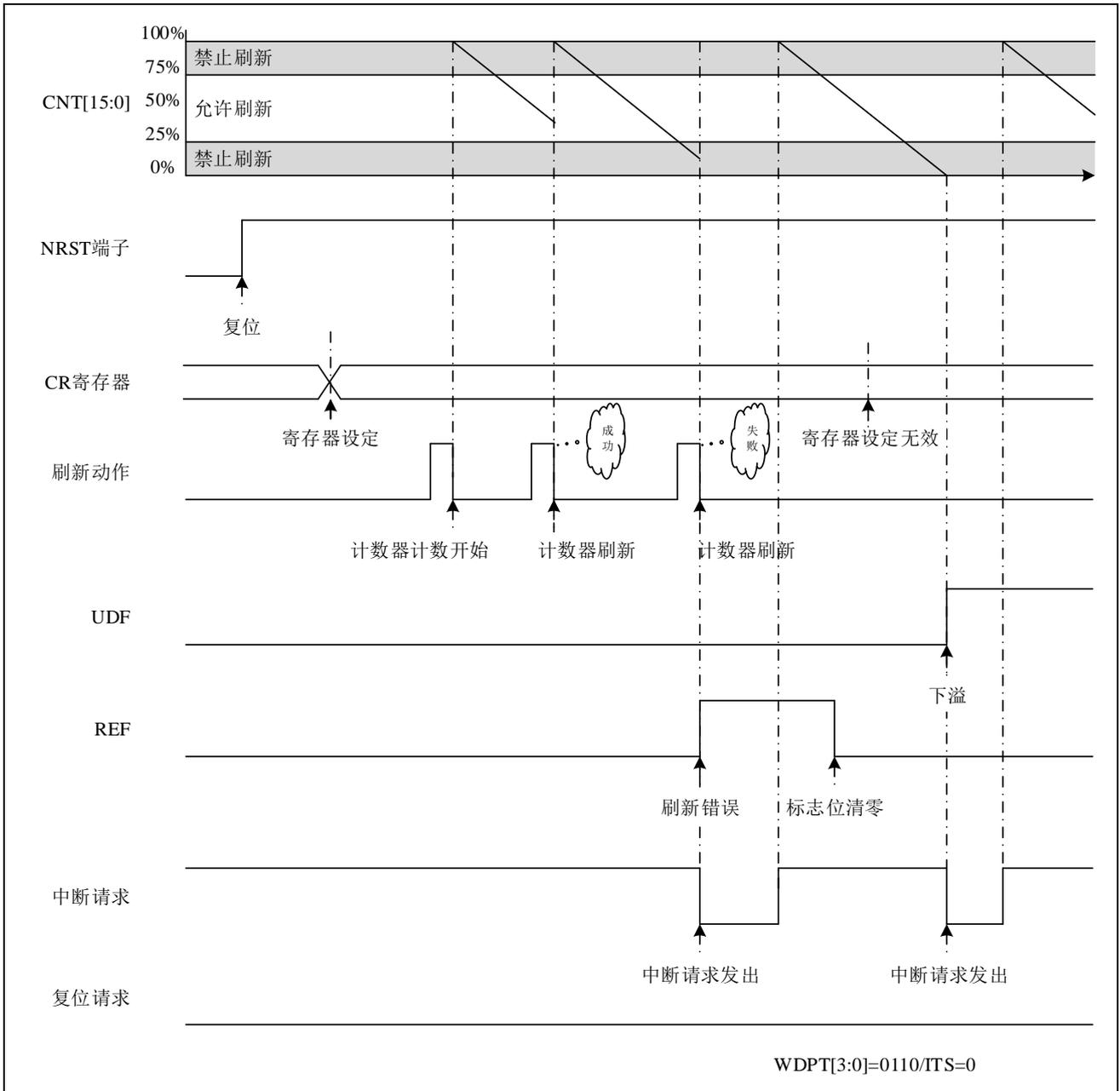


图 21-5 计数器刷新动作例

21.3 寄存器说明

表 21-2 所示，为 SWDT 模块的寄存器列表。

SWDT_BASE_ADDR:0x4000CC00

寄存器名	符号	偏移地址	位宽	复位值
SWDT控制寄存器	SWDT_CR	0x00	32	0x8001_0FF3
SWDT状态寄存器	SWDT_SR	0x04	32	0x0000_0000
SWDT刷新寄存器	SWDT_RR	0x08	32	0x0000_0000

表 21-2 寄存器列表

21.3.1 控制寄存器 (SWDT_CR)

复位值: 0x8001_0FF3

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
ITS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SLPOFF
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	WDPT[3:0]			CKS[3:0]			-	-	PERI[1:0]			

位	标记	位名	功能	读写
b31	ITS	刷新错误/溢出 中断/复位选择	0: 中断请求 1: 复位请求	R/W
b30~b17	Reserved	-	读出时为“0”,写入时写“0”	R
b16	SLPOFF	SWDT在 Sleep/stop模式下 计数禁止	0: SWDT在sleep/stop模式下计数许可 1: SWDT在sleep/stop模式下计数禁止	R/W
b15~b13	Reserved	-	读出时为“0”,写入时写“0”	R
b11~b8	WDPT[3:0]	刷新允许区域计 数值百分比	0000: 0%~100% 0001: 0%~25% 0010: 25%~50% 0011: 0%~50% 0100: 50%~75% 0101: 0%~25%,50%~75% 0110: 25%~75% 0111: 0%~75% 1000: 75%~100% 1001: 0%~25%,75%~100% 1010: 25%~50%,75%~100% 1011: 0%~50%,75%~100% 1100: 50%~100% 1101: 0%~25%,50%~100% 1110: 25%~100% 1111: 0%~100%	R/W
b7~b4	CKS[3:0]	计数时钟	0000: SWDTCLK 0100: SWDTCLK/16 0101: SWDTCLK/32 0110: SWDTCLK/64 0111: SWDTCLK/128 1000: SWDTCLK/256 1011: SWDTCLK/2048	R/W

			其余值：预留功能	
b3~b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1~b0	PERI[1:0]	计数周期	00: 256 cycle 01: 4096 cycle 10: 16384 cycle 11: 65536 cycle	R/W

21.3.2 状态寄存器 (SWDT_SR)

复位值: 0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	REF	UDF
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CNT[15:0]															

位	标记	位名	功能	读写
b31~b18	Reserved	-	读出时为“0”,写入时写“0”	R
b17	REF	刷新错误标志	0: 没有刷新错误 1: 发生刷新错误 该位读出1后, 写入0, 清零。	R/W(注1)
b16	UDF	计数下溢标志	0: 没有计数下溢 1: 发生计数下溢 该位读出1后, 写入0, 清零。	R/W(注1)
b15~b0	CNT[15:0]	计数值	计数器当前计数值	R

21.3.3 刷新寄存器 (SWDT_RR)

复位值: 0x0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RF[15:0]															

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R
b15~b0	RF[15:0]	刷新值	依次写入0x0123、0x3210之后, 完成刷新动作 当寄存器写入0x0123h后, 读出寄存器为0x00000001;其余情况读出的值都是0x00000000。	R/W

21.4 使用注意事项

SWDT 动作时，CPU 时钟 HCLK 的动作频率必须大于或等于计数时钟（ICG0.SWDTCKS[3:0]或 SWDT_CR.CKS[3:0]设定 SWDTCLK 分频后的时钟）的 4 倍，即 HCLK 频率 \geq 计数时钟频率 $\times 4$ 。

22 通用同步异步收发器 (USART)

22.1 简介

本产品搭载通用串行收发器模块 (USART) 3 个单元。通用串行收发器模块 (USART) 能够灵活地与外部设备进行数据交换;本 USART 支持通用异步串行通信接口(UART), 时钟同步通信接口 (CSI)。支持调制解调器操作(CTS/RTS 操作),异步 UART 模式支持多处理器操作。其中 UART 单元 1 和 TimerB(Unit4)、INTC(INTP1)模块配合支持 LIN-bus 功能 (UART_LIN)。

USART 主要特性:

- 支持全双工/半双工异步通信, 全双工时钟同步通信
- 发送器和接收器具有独立使能位
- 通道 1 和 TimerB 配合支持 LIN_bus 功能
- 内置双缓冲器
- LSB/MSB 可选
- 支持调制解调器操作 (CTS/RTS)
- 传输标志: 发送数据寄存器空, 发送数据完成, 接收数据寄存器满, 接收错误标志

UART 主要特性:

- 数据长度可编程: 8 位/9 位
- 校验功能可配置: 奇校验/偶校验/无校验
- 停止位可配置: 1 位/2 位
- 时钟源可选: 内部时钟源(内部波特率生成器生成的时钟)/外部时钟源 (USARTn_CK 管脚输入的时钟)
- 接收错误: 校验错误, 帧错误, 上溢错误
- 支持多个处理器间通信
- 内置数字滤波器
- 支持全双工/半双工通信方式

时钟同步模式主要特性:

- 数据长度: 8 位

- 接收错误：上溢错误
- 时钟源：内部时钟源(内部波特率生成器生成的时钟)/外部时钟源(USARTn_CK 管脚输入的时钟)

USART_LIN 的主要特性（配合 TimerB(Unit4)、INTC(INTP1)）:

- 数据长度：8 位
- 支持唤醒信号的检测
- 支持同步间隔段（BF）的检测
- 支持同步段测量，波特率计算

22.2 USART 系统框图

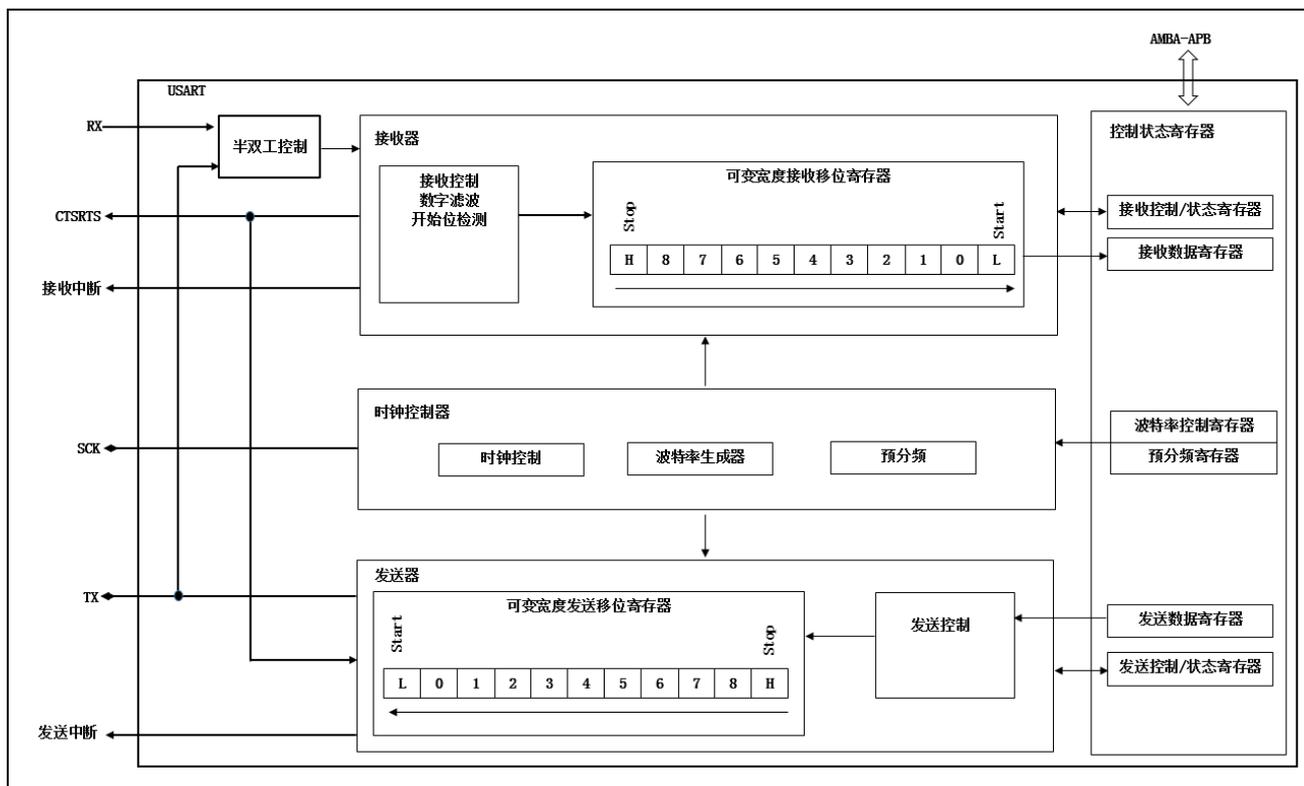


图 22-1 USART 系统框图

22.3 管脚说明

管脚名	方向	功能描述
USARTn_CK	输入输出	时钟
USARTn_TX	输入输出	USART全双工：发送数据管脚 UART半双工：数据管脚
USARTn_RX	输入	USART全双工：接收数据管脚
USARTn_CTSRTS	输入输出	调制解调器操作管脚

n:1~4

表 22-1 USART 管脚说明

22.4 功能说明

本章将对 UART，多处理器通信，LIN，时钟同步模式的功能详细说明。

22.4.1 UART

22.4.1.1 时钟

UART 可以选择内部波特率生成器生成的时钟(内部时钟源)或 USARTn_CK 管脚输入的时钟(外部时钟源)作为通信的时钟源。

内部时钟源

USARTn_CR2.CLKC[1:0]位设定为 00b 或者 01b 时选择时钟源为内部时钟源即内部波特率生成器生成的时钟。

USARTn_CR2.CLKC[1:0]=00b 时 USARTn_CK 管脚不作为时钟管脚使用，可以作为普通 IO 使用。

USARTn_CR2.CLKC[1:0]=01b 时从 USARTn_CK 管脚输出与通信波特率相同频率的时钟。

内部波特率生成器的时钟源由 USARTn_PR.PSC[1:0]位的设定选择为 HCLK, HCLK/4, HCLK/16, HCLK/64。

外部时钟源

USARTn_CR2.CLKC[1:0]位设定为 10b 或者 11b 时选择时钟源为从 USARTn_CK 管脚输入的外部时钟，输入时钟的频率为波特率的 16 倍(USARTn_CR1.OVER8=0)或者 8 倍(USARTn_CR1.OVER8=1)。

最高波特率

内部时钟源时，内部波特率生成器生成的波特率计算公式为：

$$B = \frac{C}{8 \times (2 - OVER8) \times (DIV_Integer + 1)}$$

B: 波特率 单位: MBps

C: USARTn_PR.PSC[1:0] 位设定的时钟 (HCLK, HCLK/4, HCLK/16, HCLK/64) 单位: MHz

OVER8: USARTn_CR1.OVER8 设定值

DIV_Integer: USARTn_BRR.DIV_Integer 设定值

最高波特率为 $HCLK/8$ (MBps)。

外部时钟源时，外部输入 UART 时钟的最高频率要求为 $HCLK$ (MHz)/4，所以时钟源为外部输入时钟时最高波特率为 $HCLK/64$ (MBps) (USARTn_CR1.OVER8=0 时) 或者 $HCLK/32$ (MBps) (USARTn_CR1.OVER8=1 时)。

需要注意的是，UART 最高通信波特除了以上描述的基于 HCLK 的计算方法外，还需要参考电气特性章节规定的最高通信波特率。

22.4.1.2 数据格式

UART 模式时一帧数据是由开始位，数据位，校验位和停止位组成。

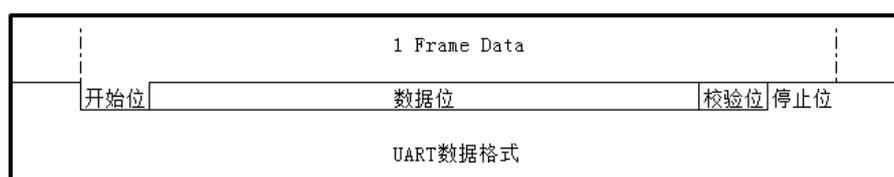


图 22-2 UART 数据格式

开始位

开始位固定有一位的低电平构成。

数据位

数据位可以配置成 8 位或者 9 位。

校验位

校验位可以配置成 1 位偶校验或 1 位奇校验或无校验位。

停止位

停止为固定为高电平，可以配置成 1 位或者 2 位。

22.4.1.3 调制解调器操作

调制解调器操作包括 CTS 功能和 RTS 功能。CTS 功能和 RTS 功能只能二选一，不能同时使用。USARTn_CR3.CTSE=0 时 RTS 功能有效，USARTn_CR3.CTSE=1 时 CTS 功能有效。

CTS 功能

CTS 功能是通过 USARTn_CTSRTS 管脚的输入来控制数据的发送，只有当 USARTn_CTSRTS 管脚输入低电平时才可以发送数据，发送数据过程中如果

USARTn_CTSRTS 输入高电平，正在发送的数据不受影响。

RTS 功能

RTS 功能是指通过 USARTn_CTSRTS 管脚输出低电平，请求对方发送数据。

USARTn_CTSRTS 管脚输出低电平需要满足以下全部条件：

- 接收使能(USARTn_CR1.RE=1)，且不正在接收数据
- USARTn_DR.RDR 寄存器中没有未读取的接收数据
- 无任何接收错误，包括帧错误，校验错误和上溢错误

22.4.1.4 发送器

发送器可发送 8 位或 9 位的数据，具体取决于 USARTn_CR1.M 位的设定值。

发送器使能位 (USARTn_CR1.TE) 置 1，写入发送数据后，发送数据在 TX 管脚上串行输出；相应的时钟脉冲可以选择在 USARTn_CK 管脚输出或者不输出。

发送数据的顺序为：开始位->数据位(MSB/LSB)->校验位(有或者无)->停止位。

发送数据寄存器 TDR 和内部的发送移位寄存器组成双缓冲器结构，可以连续发送数据。

通过发送数据寄存器空中断或者 DMA 写入发送数据时，为保证发送的正确性，一次请求只能写入一次数据。

发送数据设定步骤

1. 将 USARTn_CR1 寄存器设定为复位值
2. 设定 UART 所需要使用的管脚
3. 通过 USARTn_CR2.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值, USARTn_BRR 寄存器设定通信波特率(时钟源为外部时钟源时不需要设定)
6. 使能发送器 (USARTn_CR1.TE=1)，如果需要使用发送数据寄存器空中断，则设置 USARTn_CR1.TXEIE=1 (TE 和 TXEIE 位同时写入 1)
7. 等待发送数据寄存器空，写通信数据到 USARTn_DR.TDR，数据传输到发送移位寄存器，发送开始

(CTS 功能有效时, USARTn_CTSRTS 输入为低电平时数据传输到发送移位寄存器，

发送开始)

8. 如果需要连续发送数据时，重复步骤 7
9. 通过确认 USARTn_SR.TC 位确认发送是否完成。连续发送数据并使用发送中断的情况，可通过 TI 中断写入最后一个发送数据，并将 USARTn_CR1.TXEIE 写 0，USARTn_CR1.TCIE 写 1，最后一帧数据发送结束后，产生发送完成中断。

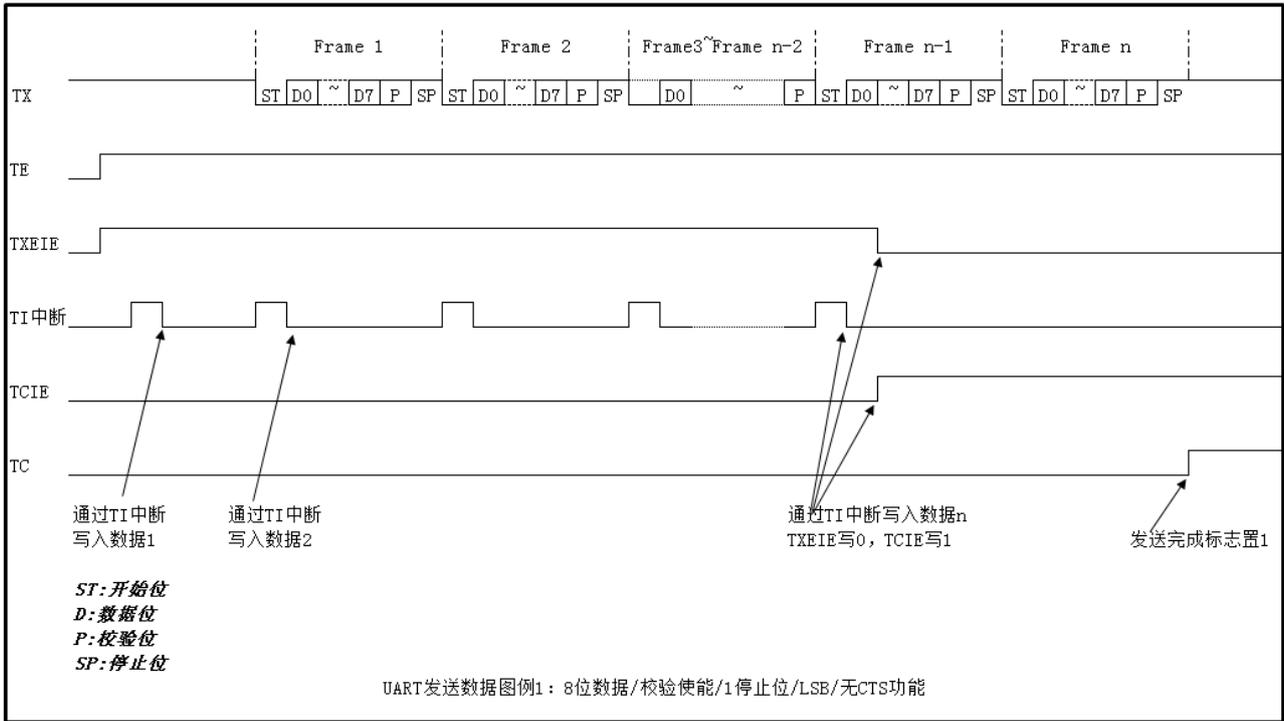


图 22-3 UART 发送数据图例 1

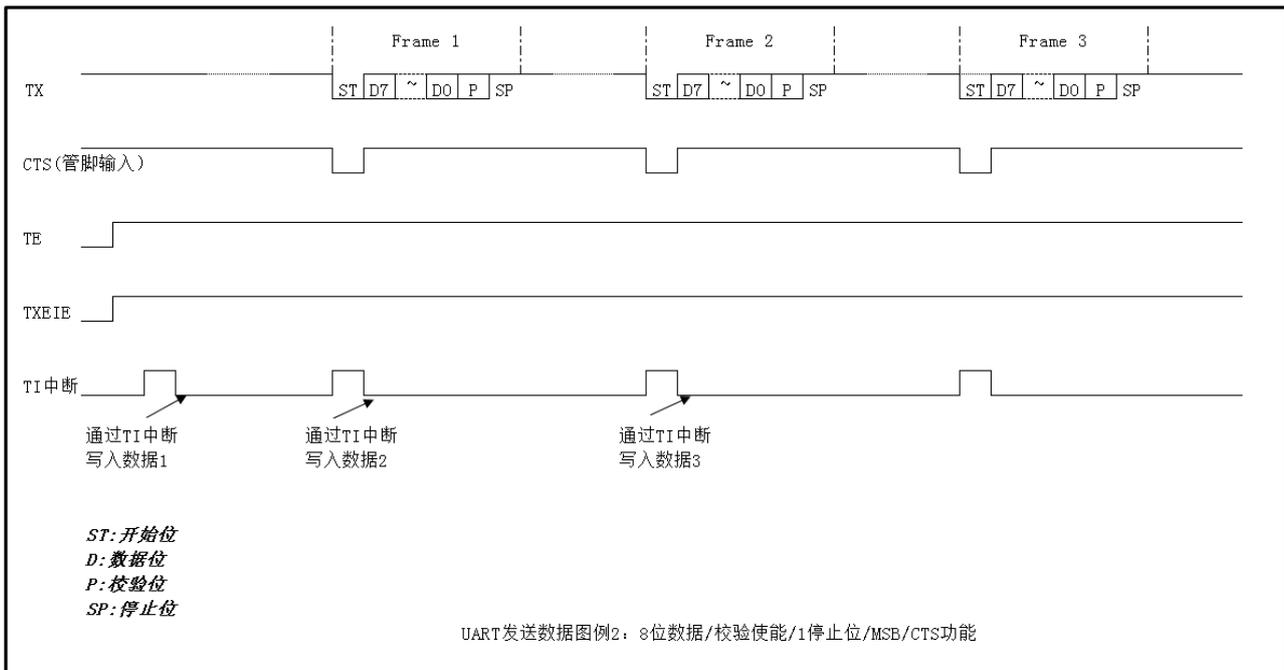


图 22-4 UART 发送数据图例 2

发送器中断

UART 模式发送器支持两种中断，发送数据寄存器空中断 TI 和发送完成中断 TCI。

TXEIE=1，USARTn_DR.TDR 寄存器的值传送到发送移位寄存器时 TI 中断发生。

TCIE=1，发送数据的最后一位时 USARTn_DR.TDR 寄存器没有更新则 TCI 中断发生。

22.4.1.5 接收器

接收器可接收 8 位或 9 位的数据，具体取决于 USARTn_CR1.M 位的设定值。接收器使能位 (USARTn_CR.RE) 置 1 并检测到开始位后，RX 管脚上数据接收到接收移位寄存器，收满一帧数据，数据从接收移位寄存器传送到接收数据寄存器 USARTn_DR.RDR。

接收数据的顺序为：开始位->数据位(MSB/LSB)->校验位(有或者无)->停止位。

接收数据寄存器 USARTn_DR.RDR 寄存器和内部的接收移位寄存器组成双缓冲器结构，可以连续接收数据。

通过接收数据寄存器满中断或者 DMA 读取接收数据时，一次请求只能读取一次数据。

开始位检测

开始位检测可以选择低电平方式或下降沿方式，具体取决于 USARTn_CR1.SBS 位，USARTn_CR1.SBS=0 时为低电平检测，USARTn_CR1.SBS=1 时为下降沿检测。

采样和接收容差

检测到开始条件（低电平或下降沿）后，USART 会基于内部基本时钟对接收数据进行时钟同步，从而开始数据接收。

数据的采样在数据中央，USARTn_CR1.OVER8=0 时在第 8 个内部基本时钟采样，USARTn_MR.OVER8=1 时在第 4 个内部基本时钟采样。

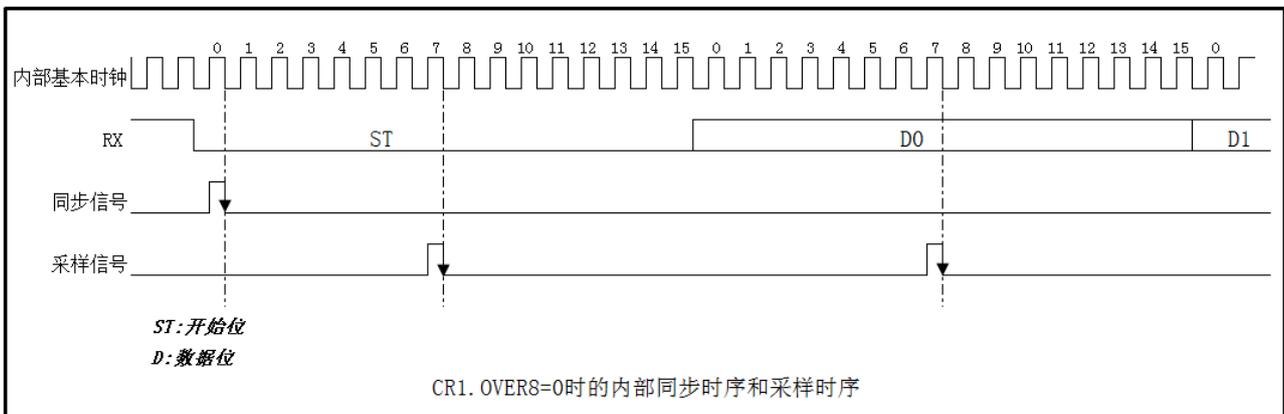


图 22-5 UART 内部同步和采样时序

仅当总时钟系统偏差小于 UART 接收器的容差时, UART 异步接收器器才能正常工作。

影响总偏差的因素包括:

- 发送器误差引起的偏差 (其中还包括发送器本地振荡器的偏差)
- 接收器的波特率量化引起的误差
- 接收器本地振荡器的偏差
- 传输线路引起的偏差

接收容差的计算公式如下:

$$RM_{16}[\%] = |0.46 - (FL - 0.5)CFD| \times 100$$

$$RM_{8}[\%] = |0.43 - (FL - 0.5)CFD| \times 100$$

RM₁₆: 16位过采样的接收容差

RM₈: 8位过采样的接收容差

FL: 帧长度 (10~13)

CFD: 时钟频率偏差

接收数据设定步骤

1. 将 USARTn_CR1 寄存器设定为复位值
2. 设定 UART 所需要使用的管脚
3. 通过 USARTn_CR2.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值, USARTn_BRR 寄存器设定通信波特率(时钟源为外部时钟源时不需要设定)
6. 使能接收器(USARTn_CR1.RE=1), 如果需要使用接收中断, 则设置 USARTn_CR1.RIE=1
7. 当检测到开始位后, 接收器将数据接收到接收移位寄存器, 并检查校验位和停止位
 - 1) 校验错误时, 接收到的数据传送到 USARTn_DR.RDR 寄存器中并置位 USARTn_SR.PE 标志
 - 2) 停止位不为高电平时, 发生帧错误, 接收到的数据传送到 USARTn_DR.RDR 寄存器中并置位 USARTn_SR.FE 标志
 - 3) 发生上溢错误时, 数据丢失并置位 USARTn_SR.ORE 标志
 - 4) 无错误发生时, 接收到的数据传送到 USARTn_DR.RDR 寄存器中, 并置位

USARTn_SR.RXNE 标志，读取接收到的数据后重复步骤 7 可连续接收数据

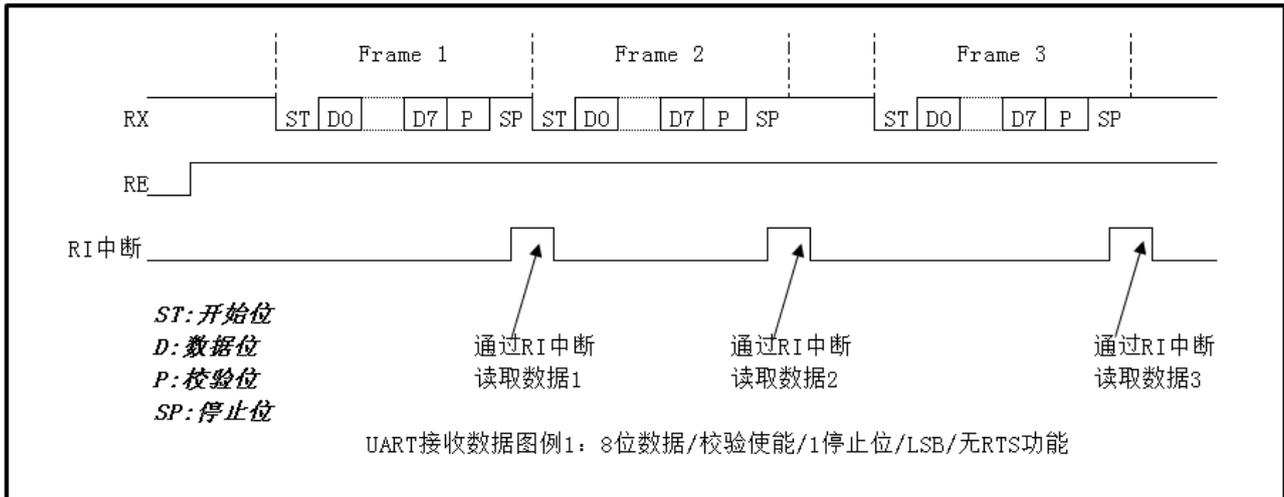


图 22-6 UART 接收数据图例 1

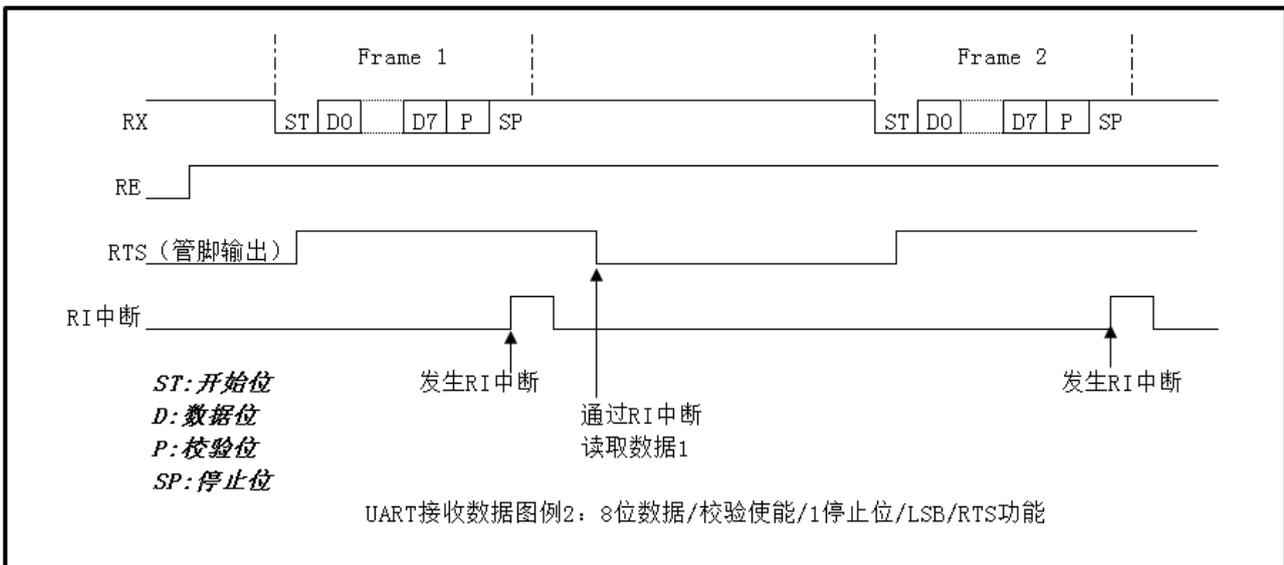


图 22-7 UART 接收数据图例 2

错误处理

接收数据时有三种类型的接收错误，分别为上溢错误(USARTn_SR.ORE)，校验错误(USARTn_SR.PE)和帧错误(USARTn_SR.FE)。发生任何一种接收错误都不能再进行数据的接收。可以通过将所有的错误标志清零来重启数据接收，清零方法是写对应清零寄存器。

上溢错误发生的条件是 USARTn_DR.RDR 寄存器值未被读取的情况下又接收到一帧新的数据，所以应该在收到当前帧最后一位之前将接收到的前一帧数据读取。

校验错误发生的条件是发生了奇偶校验错误。

帧错误发生的条件是停止位为低电平，2 个停止位的情况也只检查第一个停止位。

发生上溢错误时接收到的数据丢失，RI 中断不发生。

发生校验错误时接收到的数据传送给 USARTn_DR.RDR，RI 中断不发生。

发生帧错误时接收到的数据传送给 USARTn_DR.RDR，RI 中断不发生。

接收器中断

UART 模式接收器支持两种中断，接收数据寄存器满中断 RI 和接收错误中断 REI。

USARTn_CR.RIE=1，未发生任何接收错误，数据从接收移位寄存器传送到接收数据寄存器时 RI 中断发生。

USARTn_CR.RIE=1，接收过程中发生上溢错误，校验错误或者帧错误时 REI 中断发生。

22.4.1.6 UART 半双工通信方式

UART 模式支持单线半双工模式，UART 模式下通过设定 USARTn_CR3.HDSEL=1 启用单线半双工模式。

单线半双工模式时：

- TX 和 RX 线从内部相连接，不再使用 RX 管脚。
- 无数据传输时，TX 管脚处于释放状态。因此使用单线半双工模式时，通过上拉 TX 线来避免无数据传输时的浮空输入。

除此以外，半双工模式与正常 UART 模式通信相似。需要注意的时，发送过程不会被硬件封锁，只要数据在 USARTn_CR1.TE=1 时写入，发送就会进行。因此线路上的冲突必须有软件进行管理。

22.4.1.7 UART 中断和事件

功能名称	标记	使能位（仅中断）	标志位	可否作为事件源
接收错误中断	REI	RIE	ORE,FE,PE	不可
接收数据寄存器满中断	RI	RIE	RXNE	可
发送数据寄存器空中断	TI	TXEIE	TXE	可
发送完成中断	TCI	TCIE	TC	不可

表 22-2 UART 中断/事件表

22.4.2 多处理器通信

22.4.2.1 功能简介

多处理器通信模式是指多个处理器间共用通信线的一种通信方式，处理器分为发送站和接收站，每个接收站都有自己固有的 ID。发送站发送数据的类型有接收站 ID 和通信数据两种。通过在数据格式中添加 MPB 位来区分当前发送的是接收站的 ID 还是通信数据。MPB 位为 0 时当前帧为通信数据，MPB 位为 1 时当前帧为接收站的 ID。所有接收站都能接收发送站发送的 ID 并与自己的 ID 比较，如果一致，则接收数据，不一致则进入静默模式(既不接收数据也不置位接收相关标志)直到再次接收到 ID。

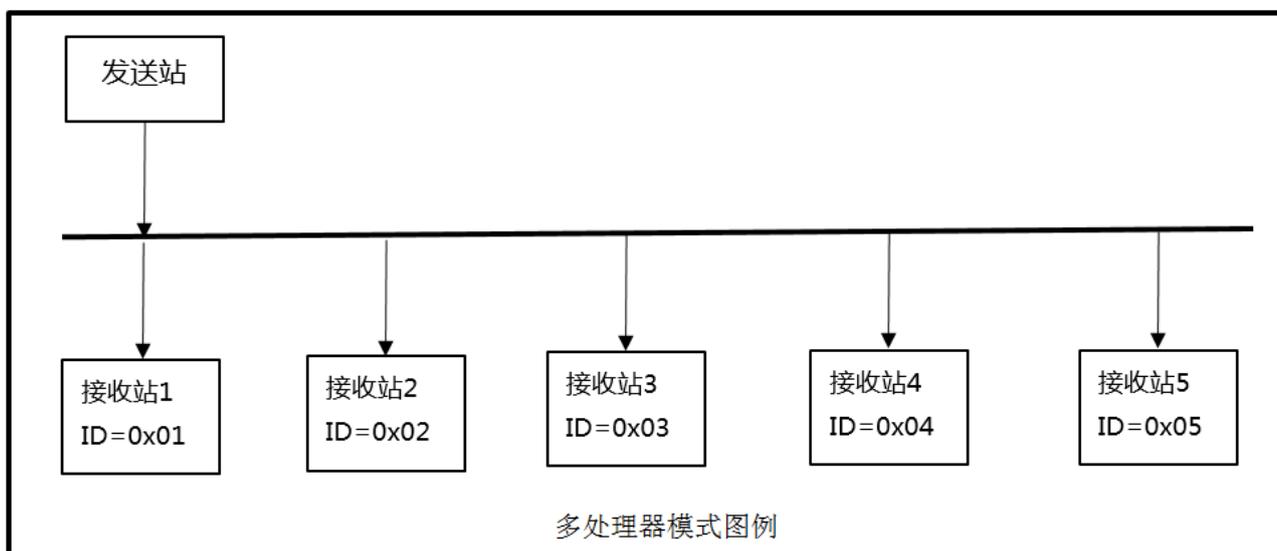


图 22-8 多处理器通信图例

22.4.2.2 数据格式

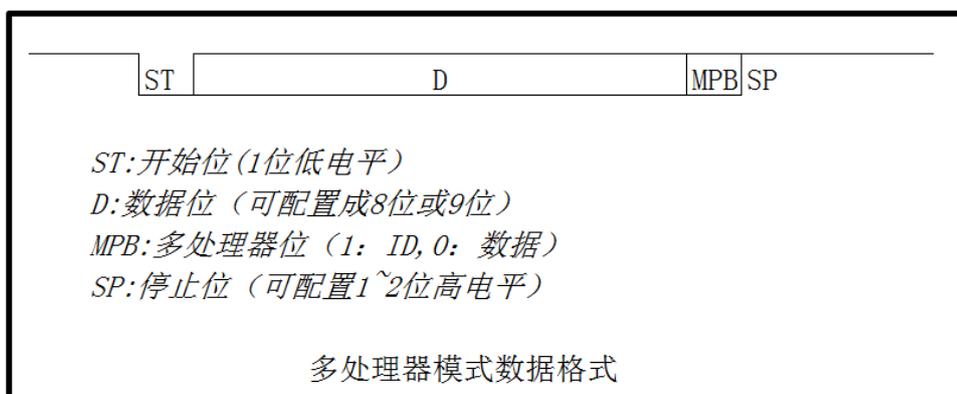


图 22-9 多处理器模式数据格式

22.4.2.3 动作说明

多处理器模式时校验位功能无效，增加了多处理器位功能，其余功能如时钟，中断等与 UART 模式相同。

发送站动作

1. 将 USARTn_CR1 寄存器设定为复位值
2. 设定所需要使用的管脚
3. 通过 USARTn_CR2.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值, USARTn_BRR 寄存器设定通信波特率(时钟源为外部时钟源时不需要设定)
6. 使能发送器 (USARTn_CR1.TE=1), 如果需要使用发送数据寄存器空中断, 则设置 USARTn_CR1.TXEIE=1 (TE 和 TXEIE 位同时写入 1)
7. 等待发送数据寄存器空, 设定 USARTn_DR.MPID 位为 1(发送 ID),写 ID 值到 USARTn_DR, 发送 ID
(CTS 功能有效时, USARTn_CTSRTS 输入为低电平时数据传输到发送移位寄存器, 发送开始)
8. 设定 USARTn_DR.MPID 位为 0(发送数据), 写数据到 USARTn_DR, 发送数据
(CTS 功能有效时, USARTn_CTSRTS 输入低电平时数据传输到发送移位寄存器, 发送开始)
9. 如果需要连续发送数据, 重复步骤 8, 如果需要改变 ID 后再发送数据重复 7 和 8
10. 通过确认 USARTn_SR.TC 位确认发送是否完成。连续发送数据并使用发送中断的情况, 可通过 TI 中断写入最后一个发送数据, 并将 USARTn_CR1.TXEIE 写 0, USARTn_CR1.TCIE 写 1, 最后一帧数据发送结束后, 产生发送完成中断

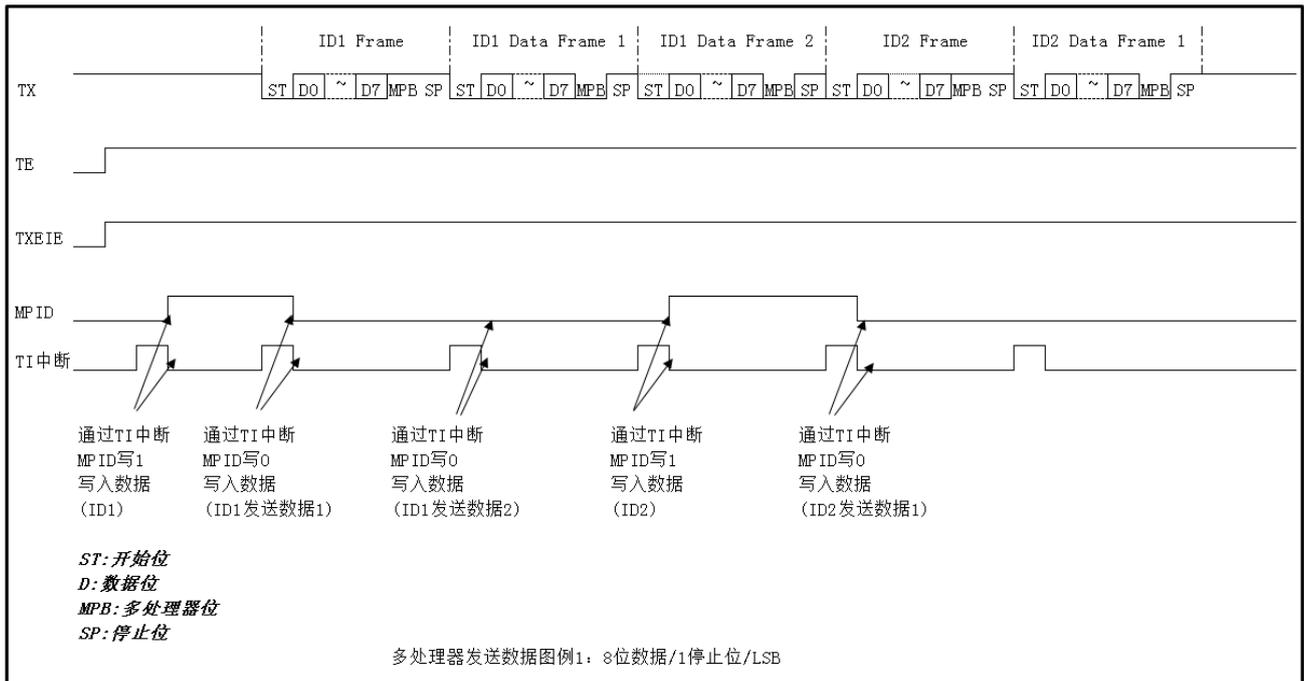


图 22-10 多处理器模式发送数据图例

接收站动作

在多处理器模式时，接收站必须保证能收到每一个 ID 数据，并与自身的 ID 比较，如果一致则接收数据，不一致则进入静默模式(不接收数据，也不置位接收相关标志)，直到接收到下一个 ID 数据。通过 USARTn_CR1.SLME 位来实现这个功能。

USARTn_CR1.SLME=0 时正常接收数据。

USARTn_CR1.SLME=1 时，除非接收到 MPB 位为 1 (ID) 的数据，否则不接收数据，不发生 RI 中断，错误标志 FE,ORE 也不置位。当接收到 MPB 位为 1 的数据时 (ID)，USARTn_CR1.SLME 位自动清零，正常接收数据和发生中断。

动作步骤：

1. 将 USARTn_CR1 寄存器设定为复位值
2. 设定所需要使用的管脚
3. 通过 USARTn_CR1.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值, USARTn_BRR 寄存器设定通信波特率(时钟源为外部时钟源时不需要设定)
6. USARTn_CR1.RE=1, USARTn_CR1.SLME=1(等待接收 ID) , 如果使用接收中断,

则设定 USARTn_CR1.RIE=1

7. 当检测到开始位时，接收器将数据接收到接收移位寄存器，并检查 USARTn_SR.MPB 位
8. 如果 USARTn_SR.MPB=1，USARTn_CR1.SLME 位自动清零，正常接收数据，软件比较接收的 ID 与自身的 ID
 - 1) 如果 ID 一致，则正常接收数据，发生中断，进行错误检测，与 UART 接收数据相同
 - 2) 如果 ID 不一致，软件再次将 USARTn_CR1.SLME 位写 1，重复 8 的动作

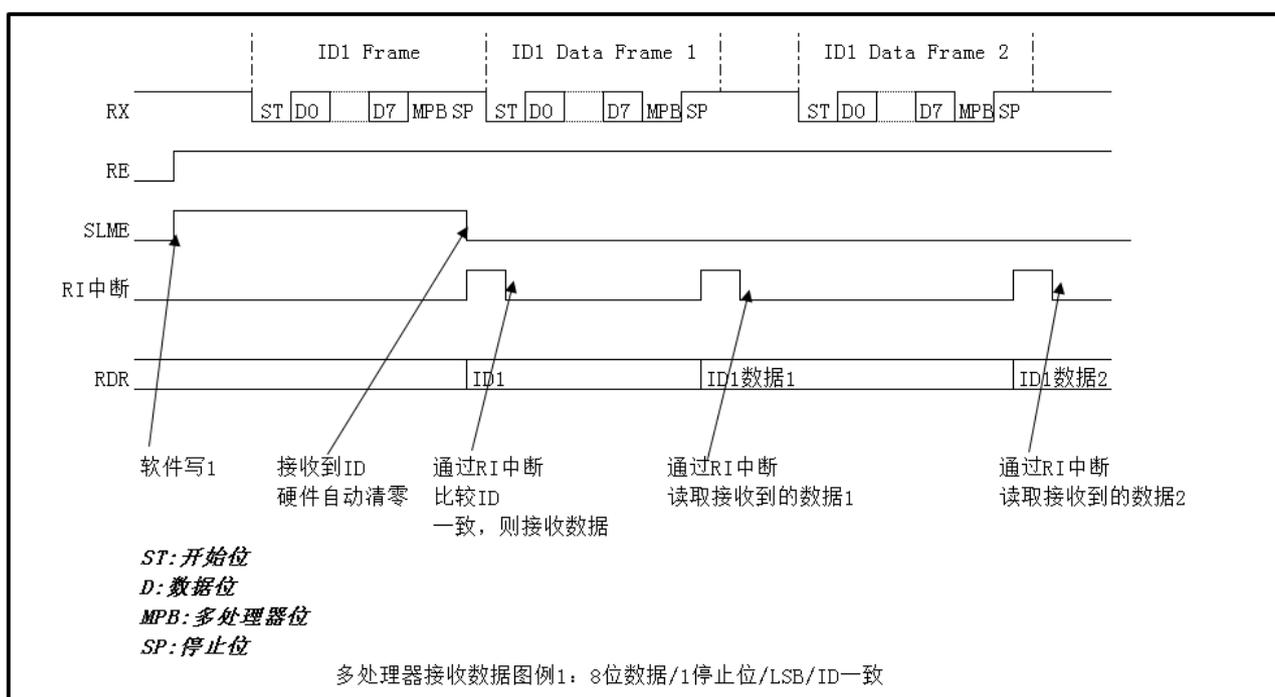


图 22-11 多处理器模式接收数据图例 1

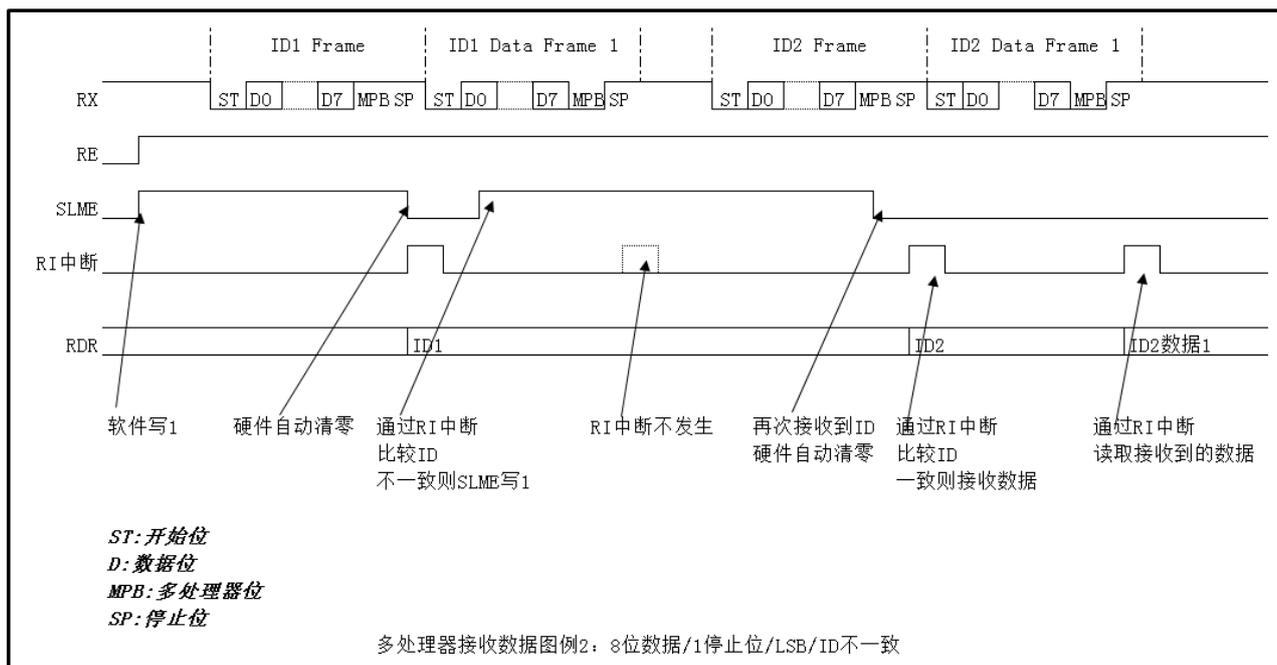


图 22-12 多处理器模式接收数据图例 2

22.4.2.4 中断和事件

多处理器模式除了无校验错误外，中断处理与 UART 模式相同。

功能名称	标记	使能位（仅中断）	标志	可否作为事件源
接收错误中断	REI	RIE	ORE,FE	不可
接收数据寄存器满中断	RI	RIE	RXNE	可
发送数据寄存器空中断	TI	TXEIE	TXE	可
发送完成中断	TCI	TCIE	TC	不可

表 22-3 多处理器模式中斷/事件表

22.4.3 UART_LIN

22.4.3.1 功能简介

LIN 是 Local Interconnect Network 的简称，是为降低汽车网络成本的低速（1~20kbps）串行通信协议。

本产品中采用 UART(Unit1)+TimerB(Unit4)+EIRQ(INTP1)的方式实现 LIN_bus 功能，其中 UART 用于数据传输，波特率设定等功能，TimerB 模块用于实现间隔场检测，同步场的测量以及波特率计算，而 EIRQ 用于唤醒信号的检测。

TimerB 模块的间隔场检测，同步场的测量功能无需设定 TimerB 模块对应的管脚，仅需要设定 UART 对应的管脚。

22.4.3.2 LIN 数据格式

LIN 的一帧数据是由开始位+8 位数据+1 停止位组成，以 LSB 方式发送和接收数据。

LIN 总线上的数据行为如下图所示。

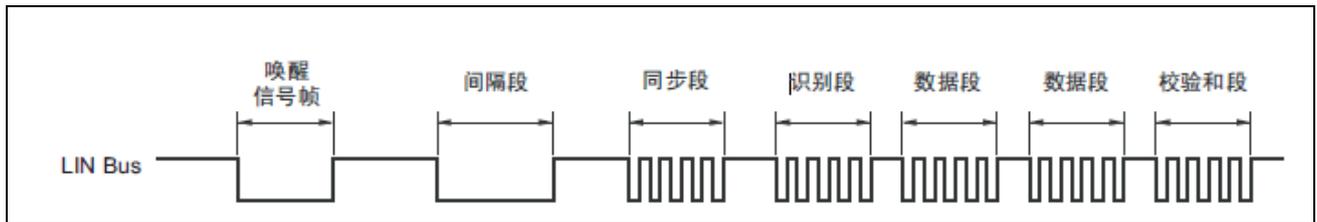


图 22-13 LIN 总线数据行为

22.4.3.3 LIN 发送

唤醒信号帧的发送

设置合适的波特率，通过发送数据 0x80 对应信号帧的发送。

间隔段发送

同步间隔段表示一帧数据的开始，至少持续 13 位（以主机节点的速率为准）的显性电平。本产品中采用发送数据 0x00 的方式以实现 13 位显性电平的间隔时间。

$$(\text{间隔段的波特率}) = \frac{9 \times B}{13}$$

B: 主机节点的波特率 单位: bps

同步段发送

通过发送数据 0x55 实现同步段数据的发送

发送数据设定步骤

1. 将 USARTn_CR1 寄存器设定为复位值
2. 设定 UART 所需要使用的管脚
3. 通过 USARTn_CR2.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值
(以下步骤 6~9 为唤醒信号帧的发送, 如无必要则跳过)
6. 设定 USARTn_BRR 寄存器, 设定唤醒信号帧的波特率
7. 设定 USARTn_CR1.TE=1
8. 写通信数据 0x80 到 USARTn_DR.TDR, 数据传输到发送移位寄存器, 发送开始
(CTS 功能有效时, USARTn_CTSRTS 输入为低电平时数据传输到发送移位寄存器, 发送开始)
9. 等待发送完成
(以下步骤 10~13 为同步间隔段的发送, 需要改变波特率)
10. 设定 USARTn_CR1.TE=0
11. 设定 USARTn_BRR 寄存器, 设定同步间隔段的波特率, 波特率计算请参考【间隔段发送】中的描述
12. 写通信数据 0x00 到 USARTn_DR.TDR, 数据传输到发送移位寄存器, 发送开始
(CTS 功能有效时, USARTn_CTSRTS 输入为低电平时数据传输到发送移位寄存器, 发送开始)
13. 等待发送完成
(以下步骤 14~15 为同步场的发送, 需要重新设定波特率, 其它过程与 UART 发送过程相同)
14. 设定 USARTn_CR1.TE=0
15. 重新设定通信波特率
16. 发送同步段

17. 发送识别段
18. 发送数据
19. 发送校验和(校验和由软件实现)

22.4.3.4 LIN 接收

唤醒信号帧的检测

通过 EIRQ(INTP1)检测 RX 下降沿产生中断来实现唤醒信号的检测。

同步间隔段的检测

通过 TimerB (Unit4) 的脉宽测量功能来实现同步段的检测。

检测到同步间隔段(RX)的下降沿, TimerB 开始测量低电平宽度, 并且在同步间隔段(RX)的上升沿进行捕捉。根据捕捉到的值判断是否为同步段信号。判定基准为低电平宽度是否大于等于 11 位通信数据周期宽度。

(TIMEB 详细设定请参考 TIMEB 脉宽测量章节)

同步段的检测与波特率测量

通过 TimerB (Unit4) 的周期测量功能来实现同步段的检测和测量。连续测量 RX 的 5 个下降沿间的周期, 将测量的 4 个周期值累加然后除以 8 即为通信波特率值。

(TIMEB 详细设定请参考 TIMEB 周期测量章节)

接收数据设定步骤

1. 将 USARTn_CR1 寄存器设定为复位值
2. 设定 UART 所需要使用的管脚
3. 通过 USARTn_CR2.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1(RE=1,RIE=0), USARTn_CR2, USARTn_CR3 寄存器, 并使能数字滤波

(以下步骤 5~6 为唤醒信号帧的检测, 如无必要则跳过)

5. 设定中断模块, EIRQ (INTP1) 设定为下降沿检测, 等待唤醒信号
6. 检测到唤醒信号, 设定 TimerB 为脉宽测量功能, 等待同步段间隔场

(以下步骤 7 为同步段间隔场检测)

7. TimerB 检测到的 RX 低电平宽度大于等于 11 位数据宽度即为检测到同步间隔场，则进入同步场测量。否则继续等待同步间隔场。

(以下步骤 8~11 为同步段周期测量与通信波特率计算)

8. 检测到同步间隔场后，设定 TimerB (Unit4) 为周期测量。连续测量 RX 5 个下降沿的周期宽度。
9. 将步骤 8 测量到 4 个值累加后除以 8 即为需要设定的波特率宽度。
10. 设定 USARTn_CR1.RE=0，USARTn_CR1.TE=0，清除通信错误标志 (USARTn_SR.ORE/ USARTn_SR.PE / USARTn_SR.FE)，读取 USARTn_DR，并忽略接收的数据
11. 设定 USARTn_BRR 寄存器。

(以下步骤 12~15 为接收识别段,数据以及校验和,过程与 UART 接收数据过程相同)

12. 使能接收器(USARTn_CR1.RE=1),如果需要使用接收中断,则设置 USARTn_CR1.RIE=1
13. 接收识别段
14. 接收数据
15. 接收校验和

22.4.4 时钟同步模式

22.4.4.1 时钟

时钟同步模式可以选择内部波特率生成器生成的时钟(内部时钟源)或 USARTn_CK 管脚输入的时钟(外部时钟源)作为通信的时钟源。

内部时钟源

同步时钟从 USARTn_CK 管脚输出，一帧数据输出 8 个时钟脉冲，既不发送数据也不接收数据时，时钟输出固定为高电平。

外部时钟源

外部时钟源即从 USARTn_CK 管脚输入时钟作为通信时钟。

最高波特率

内部时钟源时，内部波特率生成器生成的波特率计算公式为：

$$B = \frac{C}{4 \times (\text{DIV_Integer} + 1)}$$

B: 波特率 单位: MBps

C: USARTn_PR.PSC[1:0] 位设定的时钟 (HCLK, HCLK/4, HCLK/16, HCLK/64) 单位: MHz

DIV_Integer: USARTn_BRR.DIV_Integer 设定值

内部时钟源时，当 C 为 HCLK, DIV_Integer=1 时，最高波特率为 HCLK/8(MBps)。注意同步模式时 DIV_Integer 禁止设置为 0。

外部时钟源时，外部输入时钟的最大频率要求为 HCLK(MHz)/6，所以最高波特率为 HCLK/6(MBps)。

需要注意的是，同步模式最高通信波特除了以上描述的基于 HCLK 的计算方法外，还需要参考电气特性章节规定的最高通信波特率。

22.4.4.2 数据格式

时钟同步模式一帧数据固定有 8 位组成，一帧数据的发送和接收需要 8 个同步时钟脉冲。发送数据时数据在同步时钟的下降沿送出，接收数据时数据在同步时钟的上升沿被采样。

同步时钟在没有数据传输时固定为高电平，最后一位发送完后，通信线保持最后一位

的值。

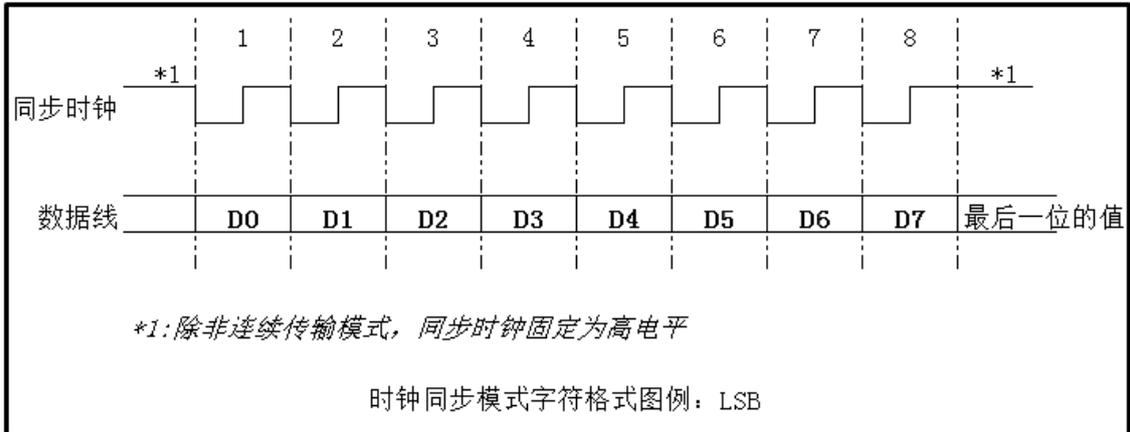


图 22-14 时钟同步模式数据格式

22.4.4.3 调制解调器操作

调制解调器操作包括 CTS 功能和 RTS 功能。CTS 功能和 RTS 功能只能二选一，不能同时使用。USARTn_CR3.CTSE=0 时 RTS 功能有效，USARTn_CR3.CTSE=1 时 CTS 功能有效。

CTS 功能

CTS 功能是通过 USARTn_CTSRTS 管脚的输入来控制数据的发送，只有当 USARTn_CTSRTS 管脚输入低电平时才可以发送数据，发送数据过程中如果 USARTn_CTSRTS 输入高电平，正在发送的数据不受影响。

RTS 功能

RTS 功能是指通过 USARTn_CTSRTS 管脚输出低电平，请求对方发送数据。

USARTn_CTSRTS 管脚输出低电平需要满足以下全部条件：

- 接收使能(USARTn_CR1.RE=1)，且不正在接收数据
- USARTn_DR.RDR 寄存器中没有未读取的数据(USARTn_CR1.RE=1 时)
- USARTn_DR.TDR 更新完成(USARTn_CR1.TE=1 时)
- 无任何接收错误

如果不能同时满足以上全部条件，USARTn_CTSRTS 则输出高电平。

22.4.4.4 发送器

发送器使能位 (USARTn_CR1.TE) 置 1 时, 发送移位寄存器中的数据在 USARTn_TX 管脚串行输出, 相应的时钟脉冲在 USARTn_CK 管脚输出。

发送数据寄存器 USARTn_DR.TDR 和内部的发送移位寄存器组成双缓冲器结构, 可以连续发送数据。

通过发送数据寄存器空中断或者 DMA 写入发送数据时, 为保证发送的正确性, 一次请求只能写入一次数据。

发送数据设定步骤

1. 将 USARTn_CR1, USARTn_SR1 寄存器设定为复位值
2. 设定所需要使用的管脚
3. 通过 USARTn_CR2.CLKC[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值, USARTn_BRR 寄存器设定通信波特率(时钟源为外部时钟源时不需要设定)
6. 使能发送器 (USARTn_CR1.TE=1), 如果需要使用发送数据寄存器空中断, 则设置 USARTn_CR1.TXEIE=1 (TE 和 TXEIE 位同时写入 1)
7. 等待发送数据寄存器空, 写通信数据到 USARTn_DR.TDR, 数据传输到发送移位寄存器, 发送开始
(CTS 功能有效时, USARTn_CTSRTS 输入为低电平时数据传输到发送移位寄存器, 发送开始)
8. 如果需要连续发送数据时, 重复步骤 7
9. 通过确认 USARTn_SR.TC 位确认发送是否完成。连续发送数据并使用发送中断的情况, 可通过 TI 中断写入最后一个发送数据, 并将 USARTn_CR1.TXEIE 写 0, USARTn_CR1.TCIE 写 1, 最后一个数据发送结束后, 产生发送完成中断。

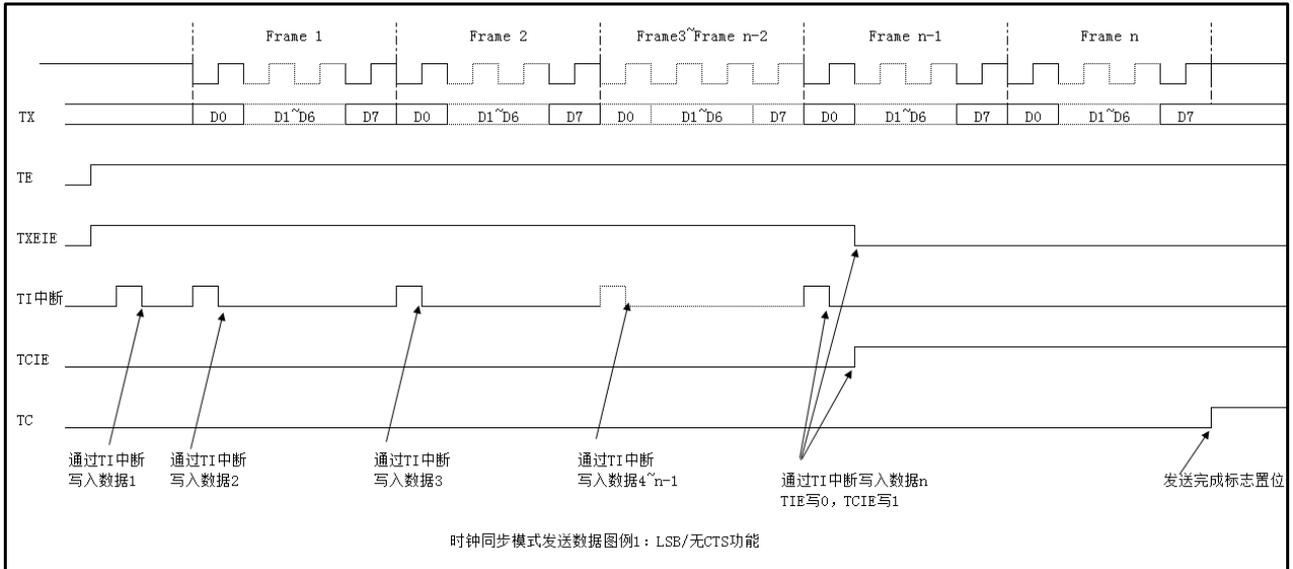


图 22-15 时钟同步模式发送数据图例 1

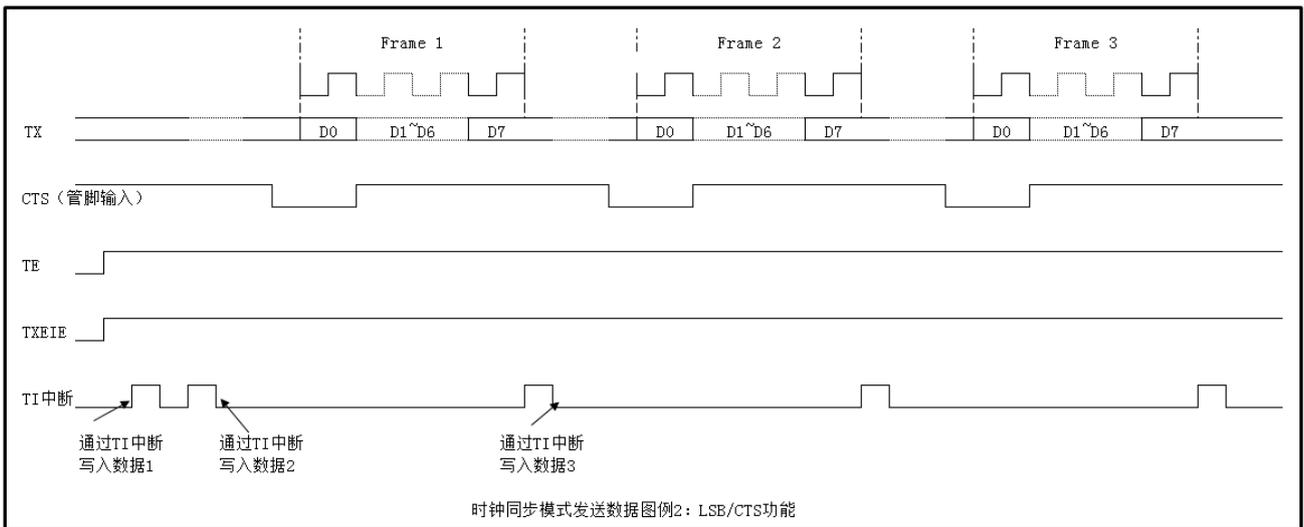


图 22-16 时钟同步模式发送数据图例 2

发送器中断

时钟同步模式发送器支持两种中断，发送数据寄存器空中断 TI 和发送完成中断 TCI。
 TXEIE=1，USARTn_DR.TDR 寄存器的值传送到发送移位寄存器时 TI 中断发生。
 TCIE=1，发送数据的最后一位时 USARTn_DR.TDR 寄存器没有更新则 TCI 中断发生。

22.4.4.5 接收器

接收数据设定步骤

1. 将 USARTn_CR1, USARTn_SR 寄存器设定为复位值
2. 设定所需要使用的管脚
3. 通过 USARTn_CR2.CLK[1:0]位选择时钟源
4. 设定 USARTn_CR1, USARTn_CR2, USARTn_CR3 寄存器
5. 设定 USARTn_PR 选择预分频值, USARTn_BRR 寄存器设定通信波特率(时钟源为外部时钟源时不需要设定)
6. 使能接收器(USARTn_CR1.RE=1), 如果需要使用接收中断, 则设置 USARTn_CR1.RIE=1

(使用 RTS 功能时, RE=1 后 USARTn_CTSRTS 输出低电平)

7. 同步于输入同步时钟或者内部生成的同步时钟开始接收数据, 接收数据到接收移位寄存器。

1) 发生上溢错误时, 数据丢失并置位 USARTn_SR.ORE 标志

2) 无错误发生时, 接收到的数据传送到 USARTn_DR.RDR 寄存器中, 置位 USARTn_SR.RXNE 标志, 将当前接收到的数据在接收到下一帧数据最后一位前读取后重复步骤 7 可实现连续接收数据功能。

(使用 RTS 功能时, 数据读取后 USARTn_CTSRTS 输出低电平)

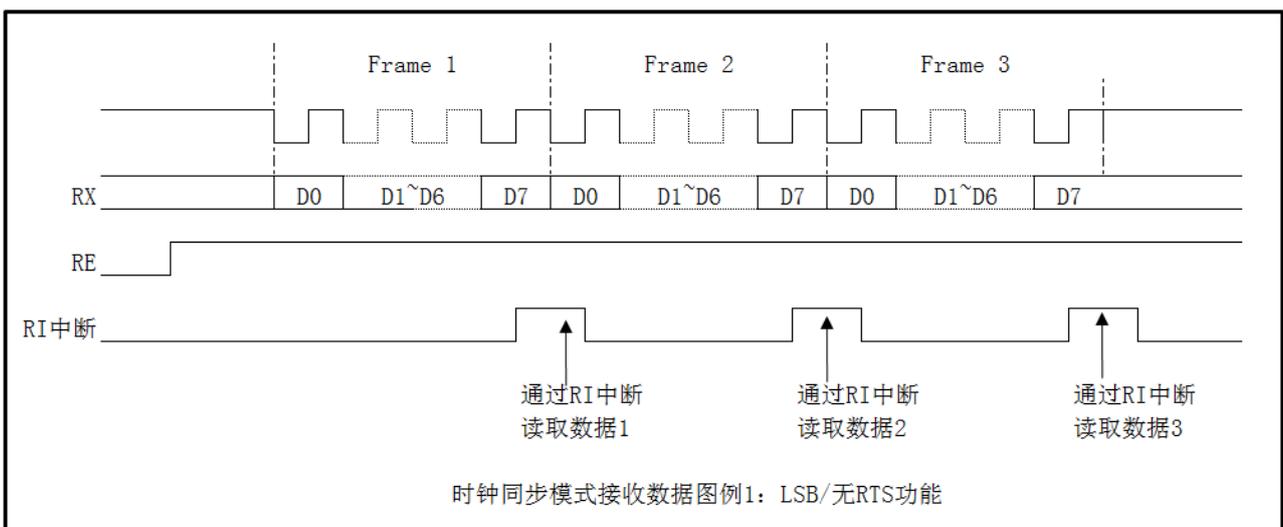


图 22-17 时钟同步模式接收数据图例 1

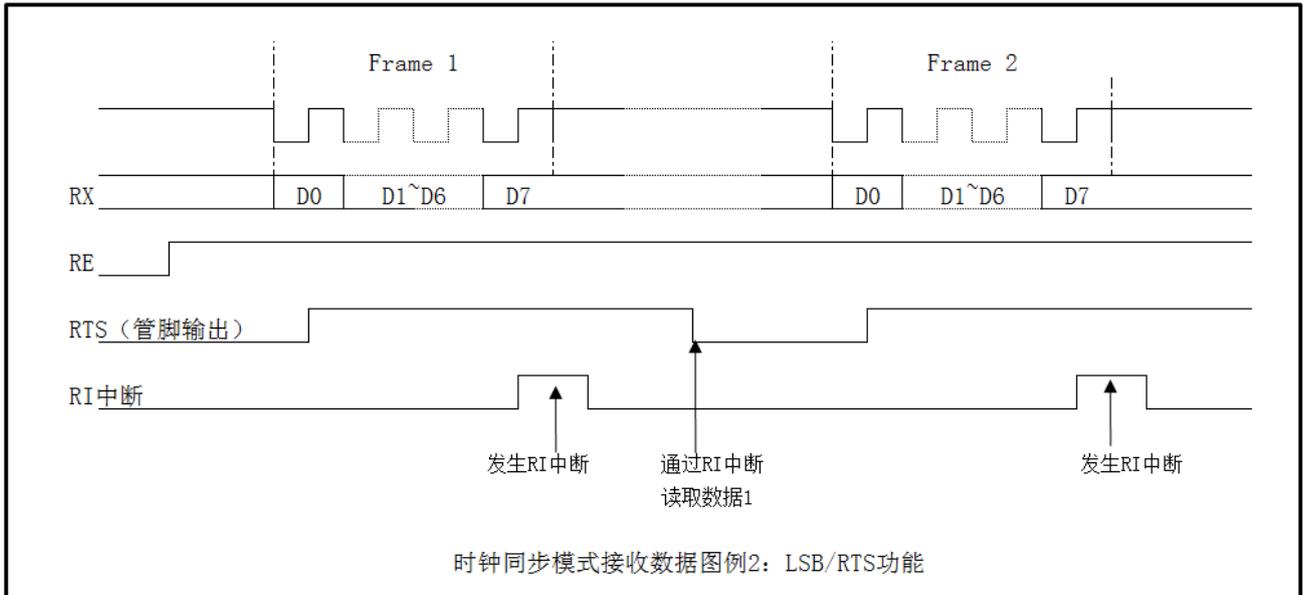


图 22-18 时钟同步模式接收数据图例 2

错误处理

时钟同步模式接收数据时接收错误为上溢错误 (USARTn_SR.ORE)。发生接收错误不能再进行数据的接收和发送。可以通过将错误标志清零来重启数据传输，清除方法是写对应的清零寄存器。

上溢错误发生的条件是 USARTn_DR.RDR 值未被读取的情况下又收到新的数据，所以应该在收到当前帧最后一位之前将前一帧收到的数据读取。发生上溢错误时接收到的数据丢失，RI 中断不发生。

接收器中断

时钟同步模式接收器支持两种中断，接收数据寄存器满中断 RI 和接收错误中断 REI。

RIE=1，数据从接收移位寄存器传送到接收数据寄存器时 RI 中断发生。

REIE=1，接收数据发生错误（上溢错误）时 REI 中断发生。

22.4.4.6 同时发送接收数据

USART 时钟同步模式支持全双工动作，同时发送接收数据。同时发送接收数据时需要一个命令把 RE,TE,RIE,TXEIE 写 1，其它设定流程与发送器和接收器相同。

22.4.4.7 时钟同步模式中断和事件

中断名称	标记	使能位(仅中断)	标志位	可否作事件源
接收错误中断	REI	RIE	ORE	不可
接收数据寄存器满中断	RI	RIE	RXNE	可
发送数据寄存器空中断	TI	TXEIE	TXE	可
发送完成中断	TCI	TCIE	TC	不可

表 22-4 时钟同步模式中断/事件表

22.4.5 数字滤波功能

USARTn_CR1.NFE=1 时，内置数字滤波器功能有效。数字滤波器仅在 UART 模式时有效,可以除去接收数据线 RX 上的噪音。

内置数字滤波器可以滤除小于一位数据的 3/16(USARTn_CR1.OVER8=0)宽度或者 3/8 宽度(USARTn_CR1.OVER8=1)的噪音。

如果数字滤波器的时钟停止后再开始时，数字滤波器从时钟停止时保持的状态继续工作。

USARTn_CR.TE=0 且 USARTn_CR.RE=0，将数字滤波器内部的 Flip-Flop 状态复位为 1。

22.5 寄存器说明

USART1_BASE_ADDR:0x40001800

USART2_BASE_ADDR:0x40001C00

USART3_BASE_ADDR:0x40002000

USART4_BASE_ADDR:0x40002400

寄存器名	偏移地址	复位值
状态寄存器 (USART_SR)	0x00	0x0000 00C0
数据寄存器 (USART_DR)	0x04	0x0000 01FF
波特率寄存器 (USART_BRR)	0x08	0x0000 FF00
控制寄存器1 (USART_CR1)	0x0C	0x8000 0000
控制寄存器2 (USART_CR2)	0x10	0x0000 0000
控制寄存器3 (USART_CR3)	0x14	0x0000 00000
预分频寄存器 (USART_PR)	0x18	0x0000 0000

表 22-5 USART 寄存器一览表

22.5.1 状态寄存器 (USART_SR)

USART Status Register

偏移地址: 0x00

复位值: 0x000000C0

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MPB
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	TXE	TC	RXN E	-	ORE	-	FE	PE

位	标记	位名	功能	读写
b31~b17	Reserved	-	读出时为“0”,写入时写“0”	R
b16	MPB	多处理器位	多处理器位标志 0: 当前接收数据为通信数据 1: 当前接收数据为ID 注意: MPB位只在多处理器模式时有效	R
b15~b8	Reserved	-	读出时为“0”,写入时写“0”	R
b7	TXE	发送数据寄存器空	发送数据寄存器空标志 0: 数据未传输到移位寄存器, 发送数据寄存器非空 1: 数据传输到移位寄存器, 发送数据寄存器空 注意: TXE位由硬件置1和清0, 数据未传输到移位寄存器时硬件将TXE清0, 数据传输到移位寄存器时硬件将TXE置1	R
b6	TC	发送完成标志	发送完成标志位 0: 发送数据中 1: 发送数据完成 TC置位条件 ● TE=0发送禁止时 ● 送出一帧数据的最后一位时, 发送数据寄存器的值没有被更新 TC清零条件 ● TE=1时, 向发送数据寄存器写入发送数据 注意: TE位由0变化为1时TC为保持为1	R

位	标记	位名	功能	读写
b5	RXNE	接收数据寄存器不为空	接收数据寄存器不为空标志 0: 未接收到数据 1: 准备好读取接收到的数据 注意: RXNE位由硬件置1和清0, 准备好读取接收到的数据时硬件将RXNE置1, 读取接收数据后硬件将RXNE清0	R
b4	Reserved	-	读出时为“0”,写入时写“0”	R
b3	ORE	接收上溢错误	接收上溢错误标志位 0: 无接收上溢错误 1: 发生接收上溢错误 ORE置位条件 ● 接收数据寄存器未被读取的情况下, 又接收到一帧新的数据 ORE清零条件 ● 清零寄存器CR1.CORE位写入1 注意: RE=0并不能复位ORE位 ORE=1之前接收到的数据会被保持, ORE=1时接收到的数据会丢掉 ORE=1后不能继续接收数据, 时钟同步模式下也不能发送数据	R
b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	FE	接收帧错误	接收帧错误标志位 0: 无接收帧错误 1: 发生接收帧错误 FE置位条件 ● 接收的数据帧的停止位为低电平, 两个停止位的情况只检查第一个停止位 FE清零条件 ● 清零寄存器CR1.CFE位写入1 注意: UART模式时: RE=0并不能复位FE位 FE=1时收到的数据会保留但是RI中断不会发生, FE=1后不能继续接收数据	R
b0	PE	接收数据校验	接收数据校验错误标志 0: 无接收数据校验错误 1: 发生接收数据校验错误 PE置位条件 ● 接收数据发生奇偶校验错误时 PE清零条件 ● 清零寄存器CR1.CPE位写入1 注意: RE=0并不能复位PE位 PE=1时收到的数据会保留但是RI中断不会发生, PE=1后不能继续接收数据	R

22.5.2 数据寄存器 (USART_DR)

USART Data Register

偏移地址: 0x04

复位值: 0x000001FF

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	RDR[8:0]								
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	MPID	TDR[8:0]								

位	标记	位名	功能	读写
b31~b25	Reserved	-	读出时为“0”,写入时写“0”	R
b24~b16	RDR[8:0]	接收数据寄存器	接收数据寄存器 注意: 最高位RDR[8]仅在UART模式而且数据长度设定为9位时有效	R
b15~b10	Reserved	-	读出时为“0”,写入时写“0”	R
b9	MPID	多处理器模式ID位	多处理器模式时, 发送通信数据或者发送ID的选择位 0: 发送数据 1: 发送ID 注意: MPID位只在多处理器模式时有效,其他模式须设定为复位值	R/W
b8~b0	TDR[8:0]	发送数据寄存器	发送数据寄存器 注意: 最高位TDR[8]仅在UART模式而且数据长度设定为9位时有效	R/W

22.5.3 波特率寄存器 (USART_BRR)

USART Bit Rate Register

偏移地址: 0x08

复位值: 0x0000FF00

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DIV_Integer [7:0]								-	-	-	-	-	-	-	-

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R
b15~b8	DIV_Integer[7:0]	整数分频寄存器	整数分频寄存器 注意: DIV_Integer[7:0]只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b7~b0	Reserved	-	读出时为“0”,写入时写“0”	R

模式	波特率计算公式	误差E(%)计算公式
UART模式 多处理器模式	$B = \frac{C}{8 \times (2 - OVER8) \times (DIV_Integer + 1)}$	$E(\%) = \left\{ \frac{C}{8 \times (2 - OVER8) \times (DIV_Integer + 1) \times B} - 1 \right\} \times 100$
时钟同步模式	$B = \frac{C}{4 \times (DIV_Integer + 1)}$	-

B: 波特率 单位: Mbps

C: PR.PSC[1:0]位设定的时钟 单位: MHz

表 22-6 波特率计算公式

22.5.4 控制寄存器 1 (USART_CR1)

USART Control Register 1

偏移地址: 0x0C

复位值: 0x80000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
SBS	NFE	-	ML	-	-	-	MS	-	-	-	-	COR E	-	CFE	CPE
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OVER 8	-	-	M	-	PCE	PS	-	TXEI E	TCIE	RIE	SLM E	TE	RE	-	-

位	标记	位名	功能	读写
b31	SBS	UART模式接收数据开始位检测方式设定位	UART模式接收数据时, 开始位检测方式设定 0: 开始位检测方式为RX管脚低电平 1: 开始位检测方式为RX管脚下降沿 注意: 非UART模式时SBS位须保持复位值 SBS位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b30	NFE	数字滤波使能位	数字滤波使能位 0: 禁止数字滤波功能 1: 使能数据滤波功能 注意: 非UART模时NFE位必须保持复位值 NFE位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b29	Reserved	-	读出时为“0”,写入时写“0”	R
b28	ML	MSB/LSB选择位	UART模式/时钟同步模式时, MSB/LSB方式选择位 0: LSB方式 1: MSB方式 注意: ML位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b27~b25	Reserved	-	读出时为“0”,写入时写“0”	R
b24	MS	通信模式选择位	通信模式选择位 0: UART模式 1: 时钟同步模式 注意: MS位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b23~b20	Reserved	-	读出时为“0”,写入时写“0”	R
b19	CORE	ORE标志清零位	ORE标志清零位 0: 不清零ORE标志 1: 清零ORE标志 注意: CORE位写1清除ORE标志, 读取时返回0	R/W
b18	Reserved	-	读出时为“0”,写入时写“0”	R

位	标记	位名	功能	读写
b17	CFE	FE标志清零位	FE标志清零位 0:不清零FE标志 1:清零FE标志 注意: CFE位写1清除FE标志, 读取时返回0	R/W
b16	CPE	PE标志清零位	PE标志清零位 0:不清零PE标志 1:清零PE标志 注意: CPE位写1清除FE标志, 读取时返回0	R/W
b15	OVER8	UART过采样模式	UART过采样模式设定, 即一位数据传输期间的基本时钟数 0: 16位 1: 8位 注意: 非UART模式时OVER8位必须保持复位值 OVER8位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b14~b13	Reserved	-	读出时为“0”, 写入时写“0”	R/W
b12	M	数据长度设定位	UART模式时, 发送/接收数据长度设定位 0: 8位 1: 9位 注意: 非UART模式时M位必须保持复位值 M位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b11	Reserved	-	读出时为“0”, 写入时写“0”	R
b10	PCE	校验使能位	UART模式时, 奇偶校验使能位 0: 无校验 1: 校验 注意: 时钟同步模式时PCE位必须保持复位值 PCE位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b9	PS	校验位	UART模式时, 奇偶校验选择位 0: 偶校验 1: 奇校验 注意: PS位只能在TE=0&RE=0(发送/接收禁止)时设定, PS位只在PCE=1时有效	R/W
b8	Reserved	-	读出时为“0”, 写入时写“0”	R
b7	TXEIE	发送数据寄存器 空中断使能位	发送数据寄存器空中断使能位 0: TI中断请求无效, TI中断不发生 1: TI中断请求有效, TI中断发生 注意: TXEIE位和TE位应同时写入1	R/W
b6	TCIE	发送完成中断使 能位	发送完成中求使能位 0: TCI中断请求无效, TCI中断不发生 1: TCI中断请求使能, TCI中断发生	R/W

位	标记	位名	功能	读写
b5	RIE	接收中断使能位	接收中断使能位 0: 接收中断请求无效, RI和REI中断不发生 1: 接收中断请求有效, RI和REI中断发生	R/W
b4	SLME	静默模式使能位	多处理器操作时, 静默模式使能位 0: 正常模式 1: 静默模式 SLME=1时, MPB位为0的通信数据不会从接收移位寄存器读取到接收数据寄存器, 同时错误标志ORE和FE位也不置位。接收到MPB为1的ID数据时, SLME自动清零, 开始正常的接收动作。 注意: SLME位只在UART多处理器模式时有效, 其他模式时此位必须保持复位值。	R/W
b3	TE	发送器使能位	发送器使能位 0: 发送器禁止 1: 发送器使能 注意: 时钟同步模式时TE位只能在TE=0&RE=0(发送/接收禁止)时写1。	R/W
b2	RE	接收器使能位	接收器使能位 0: 接收器禁止 1: 接收器使能 注意: 时钟同步模式时RE位只能在TE=0&RE=0(发送/接收禁止)时写1	R/W
b1~b0	Reserved	-	读出时为“0”,写入时写“0”	R

22.5.5 控制寄存器 2 (USART_CR2)

USART Control Register 2

偏移地址: 0x10

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	LINE N	STOP P	CLKC[1:0]	-	-	-	-	-	-	-	-	-	-	-	MPE

位	标记	位名	功能	读写
b31~b15	Reserved	-	读出时为“0”,写入时写“0”	R
b14	LINEN	LIN功能使能	UART模式时, LIN功能使能位 0: 禁止LIN功能 1: 使能LIN功能 注意: LINEN位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b13	STOP	停止位设定位	UART模式时, 停止位长度设定位 0: 1停止位 1: 2停止位 注意: 非UART模式时STOP位必须保持复位值 STOP位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b12~b11	CLKC[1:0]	时钟控制位	UART模式 00b: 时钟源为内部波特率生成器生成的时钟, 时钟不输出到USATRTn_CK管脚, USARTn_CK管脚可以当作普通IO使用 01b: 时钟源为内部波特率生成器生成的时钟, 时钟输出到USARTn_CK管脚, 输出时钟频率和波特率相同 10b or 11b: 时钟源为外部输入时钟, 输入时钟的频率为波特率的16倍(OVER8=0)或者8倍(OVER8=1) 时钟同步模式 00b or 01b: 时钟源为内部波特率生成器生成的时钟, 输出到USARTn_CK管脚 10b or 11b: 时钟源为外部输入时钟, 输入时钟的频率和波特率相同 注意: CLKC[1:0]位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b10~b1	Reserved	-	读出时为“0”,写入时写“0”	R
b0	MPE	多处理器功能使能位	UART模式时, 多处理器功能使能位 0: 禁止 1: 使能 注意: 非UART模式时MPE位必须保持复位值 MP位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W

22.5.6 控制寄存器 3 (USART_CR3)

USART Control Register 3

偏移地址: 0x14

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	CTS E	-	-	-	-	-	HDS EL	-	-	-

位	标记	位名	功能	读写
b31~b10	Reserved	-	读出时为“0”,写入时写“0”	R
b9	CTSE	CTS功能使能位	CTS功能使能位 0: RTS功能 1: CTS功能 注意: CTSE位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b8~b6	Reserved	-	读出时为“0”,写入时写“0”	R
b3	HDSEL	UART单线半双工模式使能位	UART单线半双工模式使能位 0: UART全双工模式 1: UART半双工模式 注意: HDSEL位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W
b4~b0	Reserved	-	读出时为“0”,写入时写“0”	R

22.5.7 预分频寄存器 (USART_PR)

USART prescaler register

偏移地址: 0x18

复位值: 0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PSC[1:0]

位	标记	位名	功能	读写
b31~b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1~b0	PSC[1:0]	预分频器值	内部时钟源时, 预分频器分频值选择位 00: HCLK 01: HCLK/4 10: HCLK/16 11: HCLK/64 注意: PSC[1:0]位只能在TE=0&RE=0(发送/接收禁止)时设定	R/W

22.6 使用注意事项

22.6.1 UART 注意事项

发送器

UART 模式发送器发送禁止时(USARTn_CR1.TE=0)，则 TX 管脚可以当作普通 IO 使用，可以设定输出值和方向。如果输出 0，则会使接收方产生帧错误，从而中断数据传输。如果输出 1，则使接收方检测不到开始位从而无法开始数据传输。

接收器

UART 模式产生帧错误时，可以软件检测后续 RX 线是否为低电平，从而判断发送方是否想中断传输。

如果接收数据开始位检测方式为低电平检测，则在清除错误标志后继续接收全为低电平数据，接收错误会再次发生。

22.6.2 时钟同步模式注意事项

- 1) 使用外部输入时钟发送数据时，USARTn_DR.TDR 的更新需要在时钟输入之前完成，写入数据后，至少需要等待一位数据时间再输入时钟。
- 2) 连续发送数据时，下一帧数据需要在当前帧最后一位发送前完成更新。

22.6.3 其他注意事项

为了防止发送禁止时 TX 通信线 Hi-Z 状态，可以采用以下方法：

- 通信线上拉
- 发送数据结束时，USARTn_CR1.TE=0 之前，将 TX 管脚设为普通 IO 输出
- 发送数据开始前，USARTn_CR1.TE=1 之后，将 IO 设为 TX 功能

23 集成电路总线 (I²C)

23.1 简介

I²C (集成电路总线) 用作微控制器和 I²C 串行总线之间的接口。提供多主模式功能, 可以控制所有 I²C 总线的协议、仲裁。支持标准模式、快速模式和 FM+模式。还支持 SMBus 总线。

I²C 主要特性:

- 1) I²C 总线方式、SMBUS 总线方式可选。主机模式、从机模式可选。自动确保与传送速率相对应的各种准备时间、保持时间和总线空闲时间。
- 2) 标准模式最大 100Kbps, 快速模式最大 400Kbps。
- 3) 自动生成开始条件、重新开始条件和停止条件, 并能检测到总线的开始条件, 重新开始条件和停止条件。
- 4) 可以设定 2 个从机模式地址。可同时设定 7 位地址格式和 10 位地址格式。能检测到广播呼叫地址, SMBus 主机地址, SMBus 设备默认地址, SMBus 报警地址。
- 5) 发送时可以自动判定应答位。接收时可以自动发送应答位。
- 6) 握手功能。
- 7) 仲裁功能。
- 8) SCL 输入和 SDA 输入内置数字滤波器, 滤波能力可编程。
- 9) 通信错误, 接收数据满, 发送数据空, 一帧发送结束, 地址匹配一致中断。

23.2 I²C 系统框图

23.2.1 系统框图

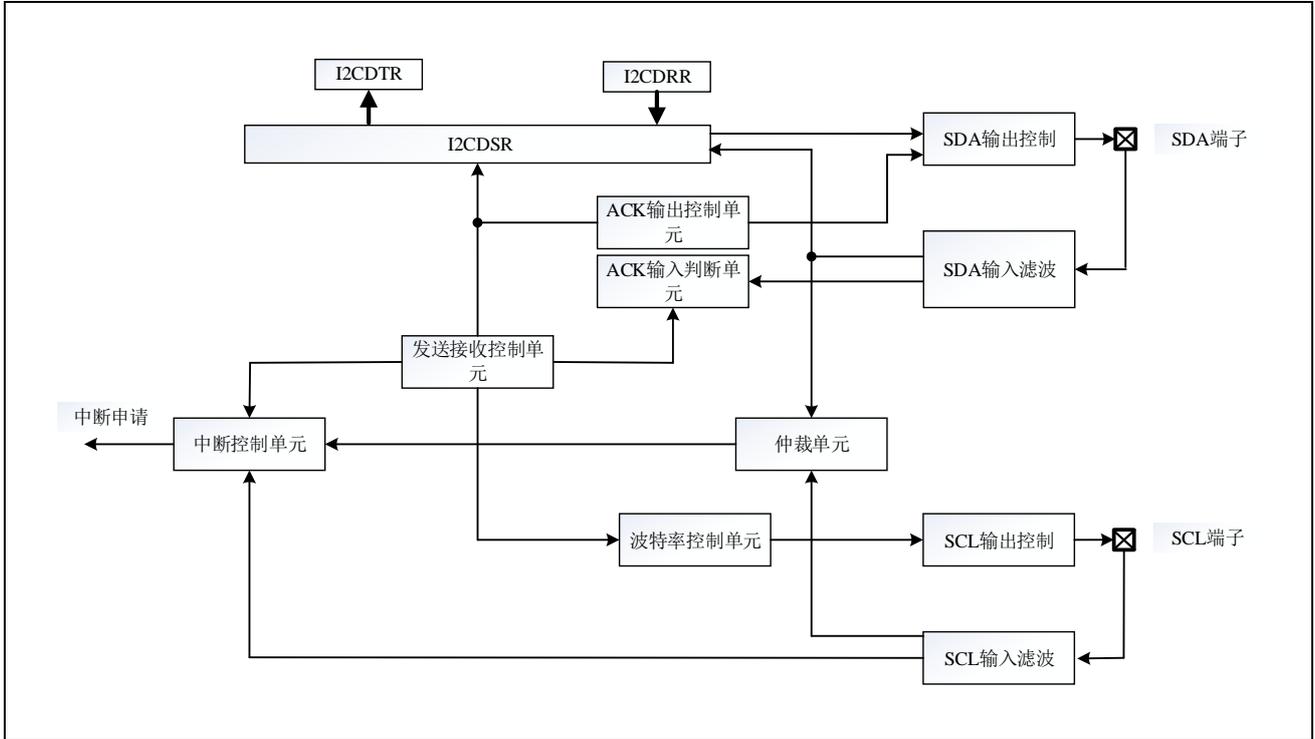


图 23-1 I²C 系统框图

23.2.2 结构图

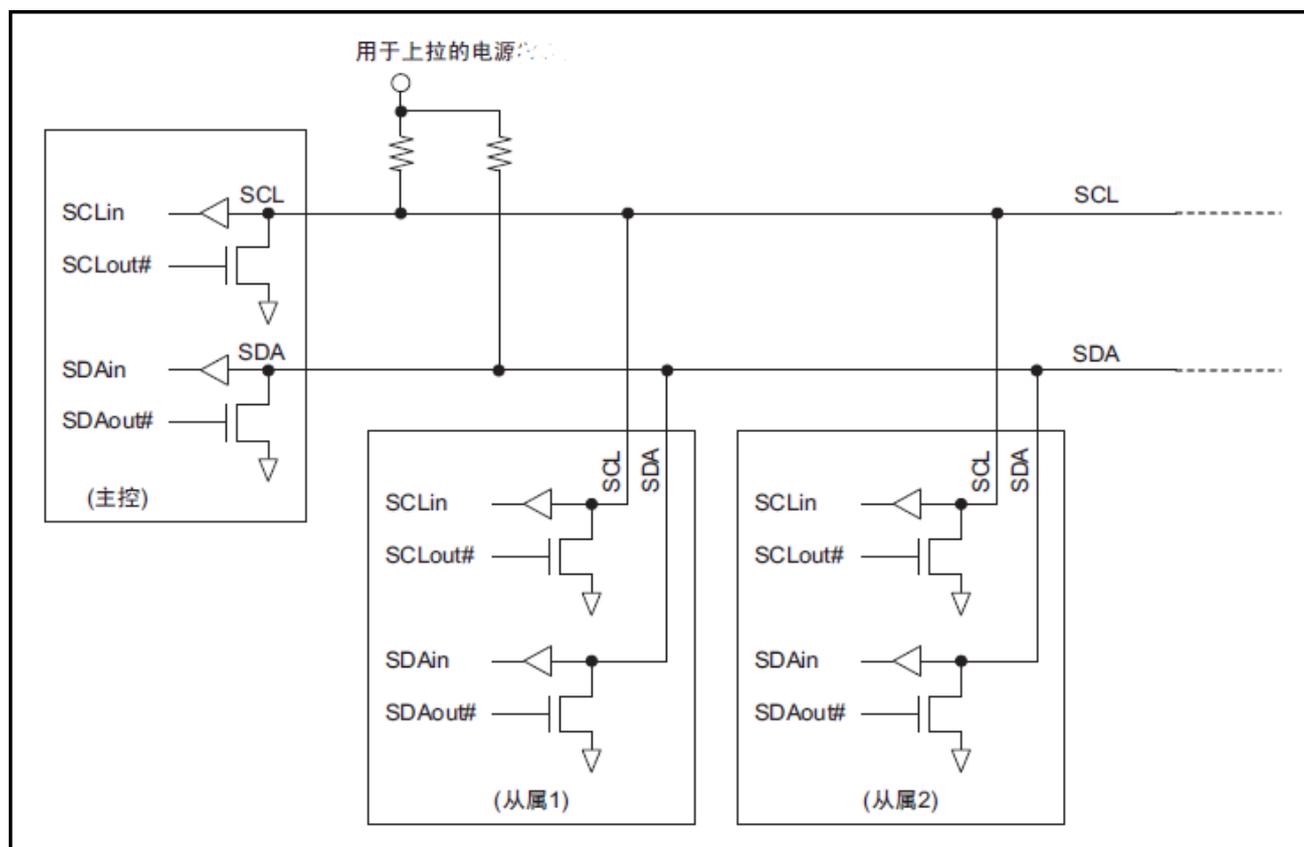


图 23-2 I2C 总线的结构例

引脚名	输入/输出	功能
SCL	输入/输出	串行时钟的输入/输出引脚
SDA	输入/输出	串行时钟的输入/输出引脚

表 23-1 输入/输出引脚

当选择 I²C 总线时，SCL/SDA 输入电平为 CMOS 电平。当选择 SMBus 时，SCL/SDA 输入电平为 TTL 电平。

23.3 动作说明

本节提供了 I²C 模块功能的描述。

23.3.1 I²C 协议

I²C 总线由一根时钟线（SCL），一根数据线（SDA）构成。所有的连接器件必须是漏极开路输出。SCL，SDA 线外接上拉电阻。电阻阻值取决于系统应用。

通常情况下，一个完整的通信过程包括下列 4 部分：

1. 开始条件
2. 地址传送
3. 数据传送
4. 停止条件

下图是 I²C 总线的时序图。

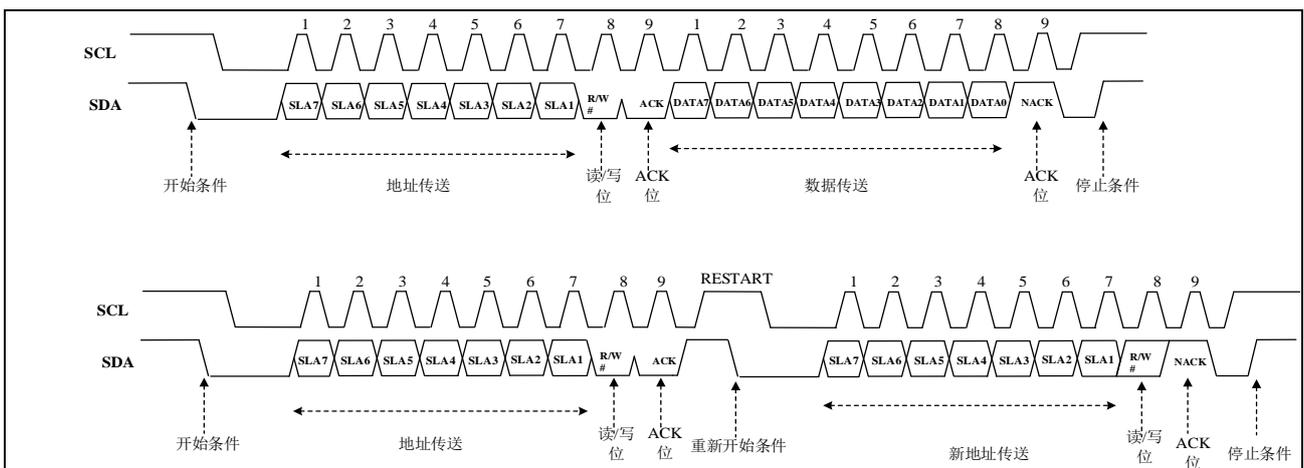


图 23-3 I²C 总线的时序图

23.3.1.1 开始条件

当总线上的主机都不驱动总线，总线进入空闲状态。SCL 和 SDA 都为高电平。总线空闲状态下总线上设备都可以通过发送开始条件启动通信。

在 I2C_SR.BUSY 标志为“0”（总线空闲）的状态下如果将 START 位置“1”，就发行开始条件。如果检测到开始条件，就自动将 I2C_SR.BUSY 标志和 I2C_SR.STARTF 标志置“1”，并且自动将 START 位置“0”。此时，如果在 START 位为“1”的状态下发送

的 SDA 信号和 SDA 线的信号状态相同，并且检测到开始条件，就视为通过 START 位正确地发行了开始条件，在将 I2C_SR.MSL 位和 I2C_SR.TRA 位自动置“1”后变为主控发送模式。另外，I2C_SR. EMPTYF 因 TRA 位为“1”而自动变为“1”。接下来把从机地址写入 I2C_DTR 寄存器，发送地址。

23.3.1.2 地址传送

开始条件或者重新开始条件后面的帧是地址帧，用于指定主机通信的对象地址。在发送停止条件之前，指定的从机一直有效。

地址帧的高 7 位为从机地址。地址帧第 8 位来决定数据帧传送的方向。

1) 7 位寻址模式见下图[7 位地址格式]

主机发送模式，主机发送地址帧第 8 位为 0

主机接收模式，主机发送地址帧第 8 位为 1

2) 10 位寻址模式见下图[10 位地址格式]

主机发送模式，主机第一帧发送头序列（11110XX0，其中 XX 表示 10 位地址的高两位），然后第二帧发送低八位从机地址。

主机接受模式，主机第一帧发送头序列（11110XX0，其中 XX 表示 10 位地址的高两位），然后第二帧发送低八位从机地址。接下来会发送一个重新开始条件，然后再发送一帧头序列（11110XX1，其中 XX 表示 10 位地址的高两位）。

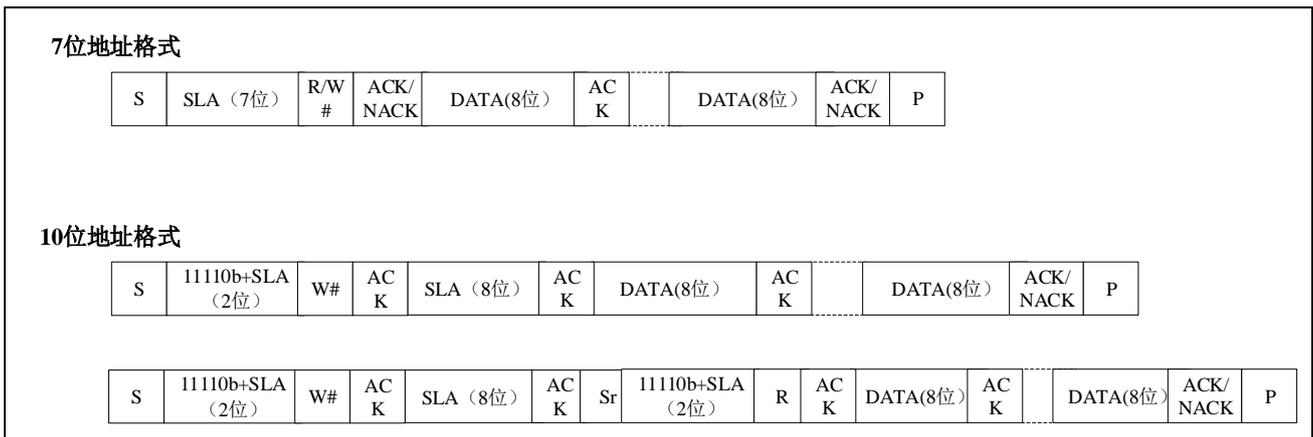


图 23-4 I²C 总线的数据格式

S : 表示开始条件。

SLA : 表示从机地址。

R/W#: 表示发送和接收的方向。当 R/W# 为“1” 时，将数据从从机发送到主机；当 R/W#

为“0”时，将数据从主机发送到从机。

Sr : 表示重新开始条件。

DATA : 表示发送和接收的数据

P : 表示停止条件。

23.3.1.3 数据传送

地址匹配一致后，总线上的主机根据 R/W 定义的方向一帧一帧的传送数据。

所有的地址帧后传送的数据都视为数据帧。即使是 10 位地址格式的低 8 位地址也视为数据帧。

数据帧的长度是 8 位。SCL 的低电平 SDA 变化，SCL 的高电平 SDA 保持，每个时钟周期发送一位数据。数据帧后的第 9 个时钟是应答位，是接收方向发送方传送的握手信号。

如果总线上从机接收数据，在第 9 个时钟周期不响应主机，从机必须发送 NACK。如果总线上主机接收数据，第 9 个周期发送 NACK，从机接收到 NACK，从机停止发送数据。

无论主机还是从机发送了 NACK，数据传送终止。主机可以做下列任一动作：

- 1) 发送停止条件释放总线
- 2) 发送重新开始条件开始一个新的通信。

主机发送数据

在主机发送模式中，主机输出 SCL 时钟和发送数据，从机接收数据并返回应答。主机发送数据运行时序例如下图所示。

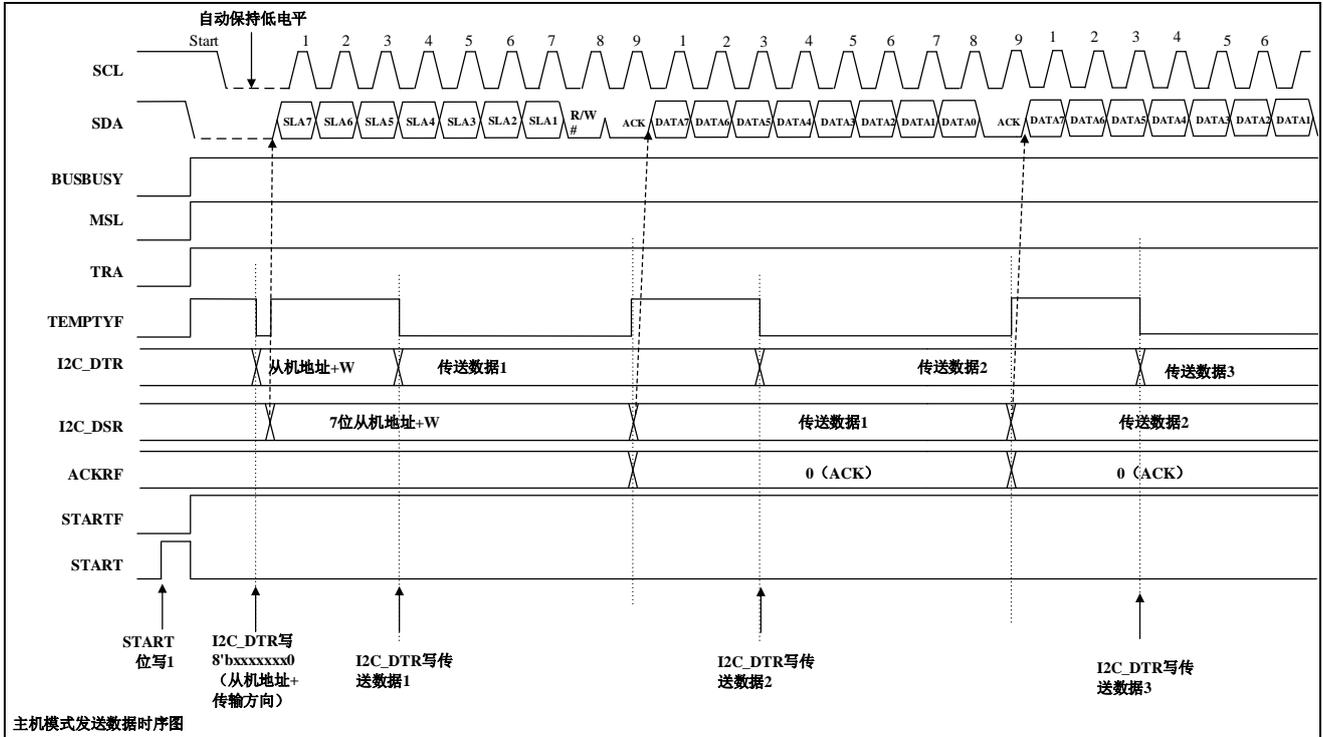


图 23-5 7 位地址格式的主机发送数据时序图（例）

主机接收数据

在主机接收模式中，主机输出 SCL 时钟，接收从机数据并返回应答。主机接收数据的运行时序例如下图所示。

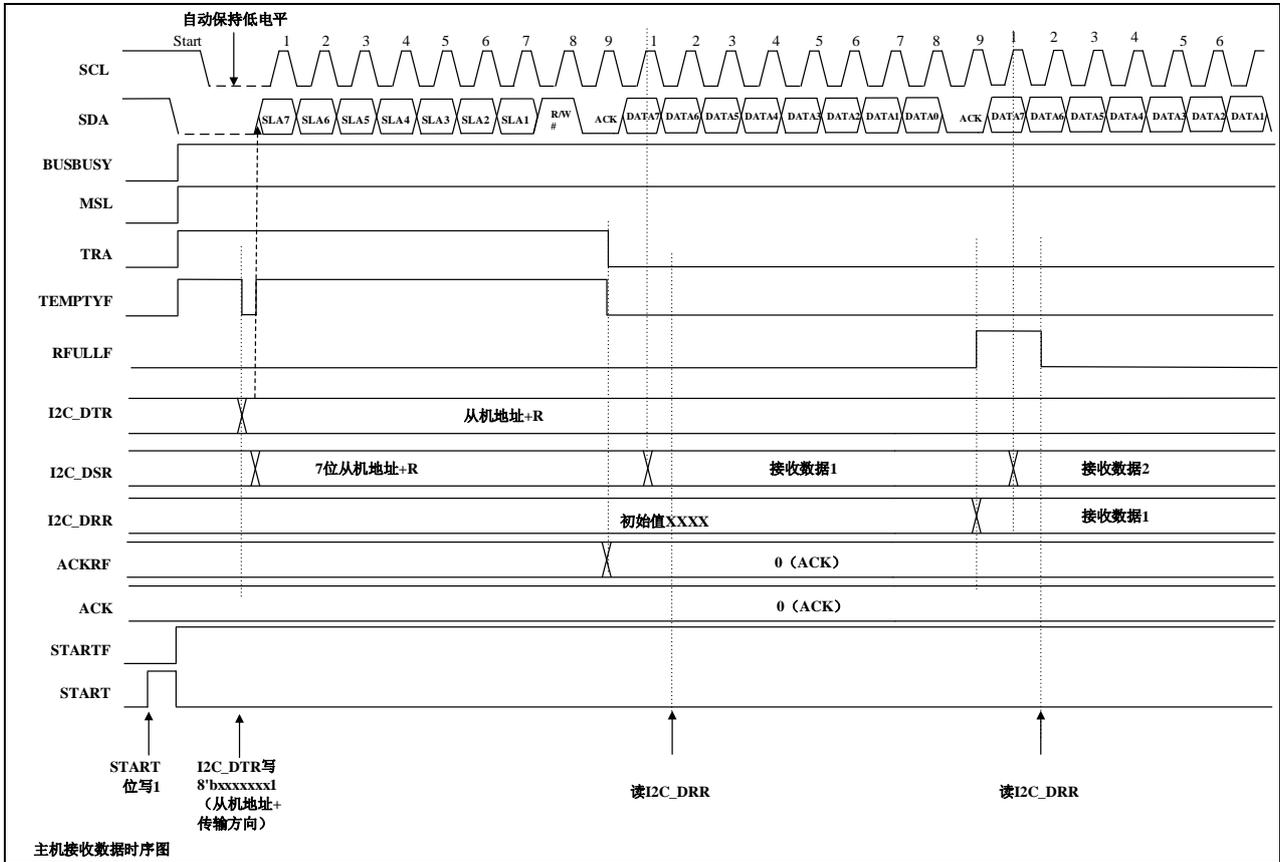


图 23-6 7 位地址格式的主机接收数据的时序图（例）

从机发送数据

在从机发送模式中，接收来自主机的 SCL 时钟，本产品为从机发送数据，并且接收主机返回应答。从机发送数据的运行时序例如下图所示。

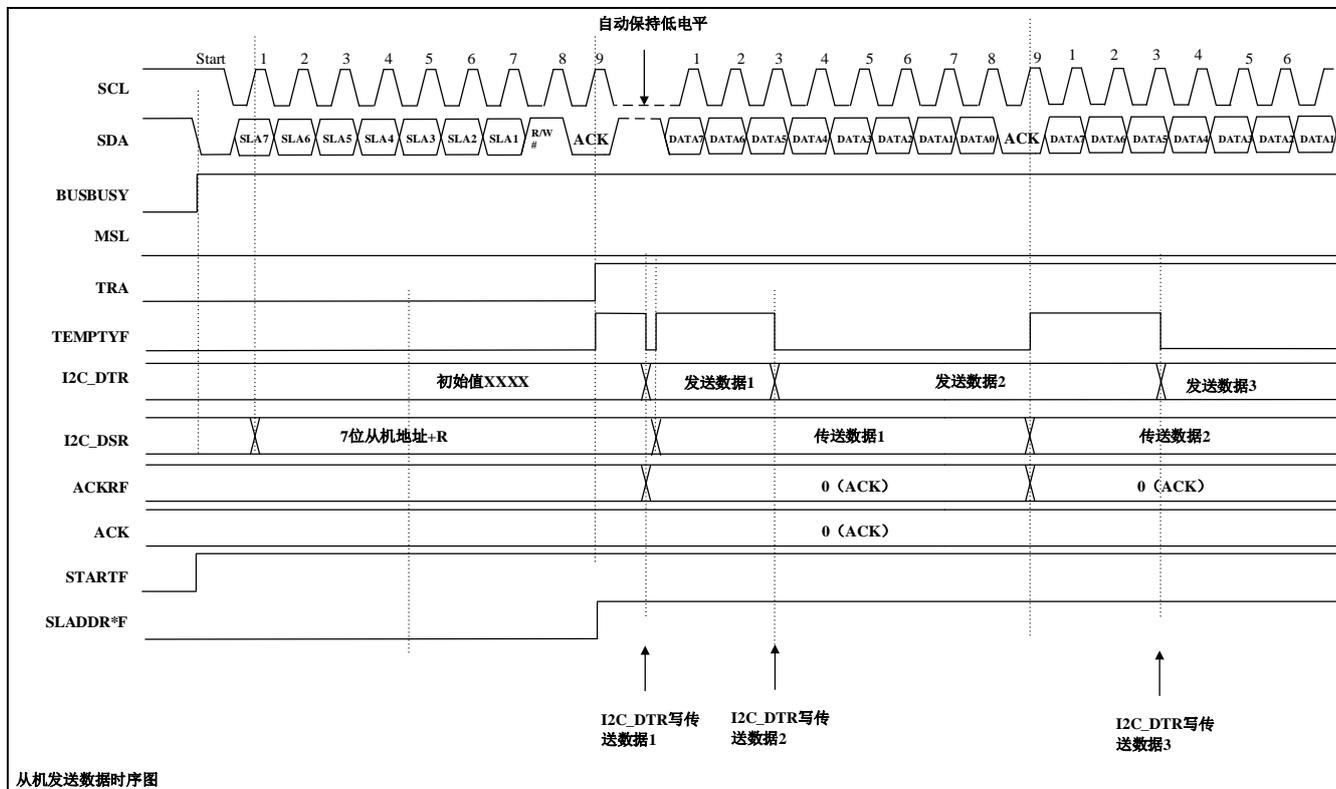


图 23-7 7 位地址格式的从机发送模式时序图（例）

从机接收数据

在从机接收模式中，接收来自主机的 SCL 时钟和数据，接收完数据后返回应答。从机接收数据的运行时序例如下图所示。

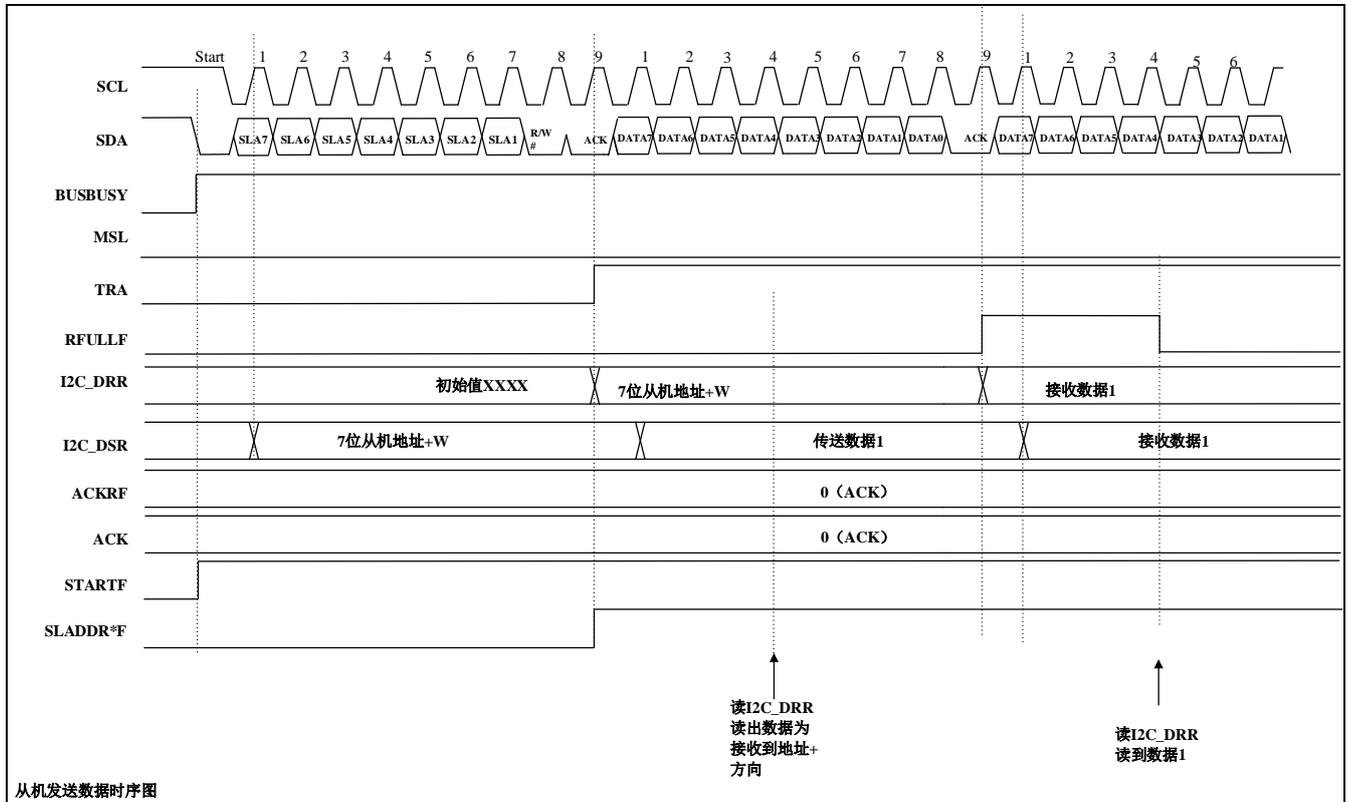


图 23-8 7 位地址格式从机接收模式时序图（例）

23.3.1.4 停止条件

通过 I2C_CR1.STOP 位发行停止条件。

在 I2C_SR.BUSY 标志为“1”（总线忙）并且 I2C_SR.MSL 位为“1”（主机模式）的状态下将 STOP 位置“1”，就发行停止条件。

23.3.1.5 重新开始条件

通过 I2C_CR1.RSTART 位生成重新开始条件。

在 I2C_SR.BUSY 标志为“1”（总线忙）并且 I2C_SR.MSL 位为“1”（主机模式）的状态下 RSTART 位置“1”，就生成重新开始条件。

通过重新开始条件，主机可以在不释放 BUS 权的情况下，切换发送/接收模式。也可以在不释放 BUS 权的情况下和另一个从机建立通信。

23.3.1.6 SCL 时钟同步

在多主机模式中使用 I²C 总线时,有可能因和其他主机的竞争而使 SCL 时钟发生冲突。如果 SCL 时钟发生冲突,主机就需要与 SCL 时钟同步,而且需要逐位进行 SCL 时钟的同步。当检测到 SCL 线的上升沿并且在对 I2C_CCR.SHIGHW 寄存器设定的高电平进行计数的过程中,如果因其他主机的 SCL 时钟输出而使 SCL 线下降,就在检测到 SCL 线的下降沿时中止高电平宽度的递增计数,并且在 SCL 线被驱动为低电平的同时开始对 I2C_CCR.SLOWW 设定的低电平宽度进行递增计数,在结束低电平宽度的计数时结束 SCL 线的低电平驱动,并释放 SCL 线。此时,如果其他主机的 SCL 时钟的低电平宽度大于 SLOWW 设定的低电平宽度,就延长 SCL 时钟的低电平宽度。当其他主机结束低电平输出时,释放 SCL 线并且 SCL 时钟上升。因此,在发生 SCL 时钟输出冲突时,SCL 时钟的高电平宽度与短时钟同步,低电平宽度与长时钟同步。

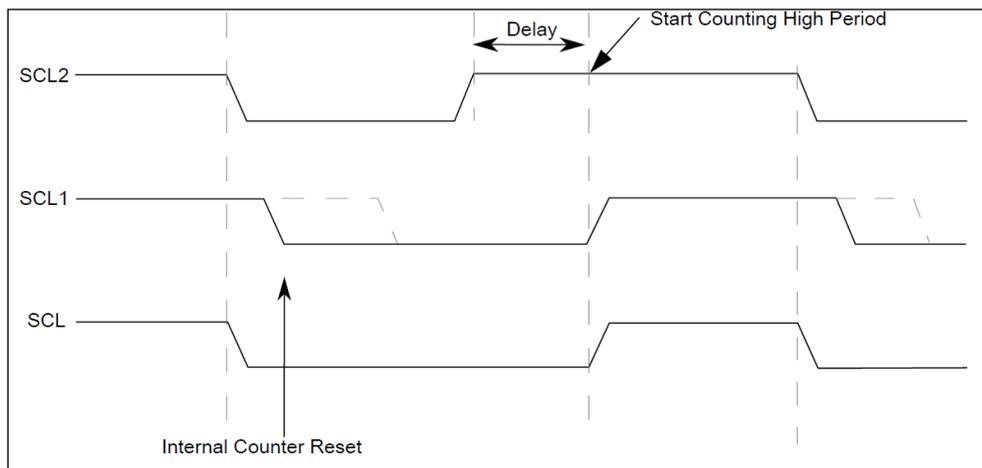


图 23-9 SCL 同步时序

23.3.1.7 仲裁

I²C 总线是一个真正的多主机总线,允许多个主机连接。

如果两个或两个以上的主机试图同时控制总线,SCL 时钟同步过程决定了总线时钟。总线时钟的低周期取决于最长的低电平时钟,高周期取决于最短的高电平时钟。高电平采集到的数据决定了仲裁结果。发送的 SDA 输出为高电平输出(SDA 引脚为高阻抗状态)而检测到 SDA 线为低电平时,就产生仲裁失败。I2C_SR.AROLF 位会硬件置“1”。如果发生主机仲裁失败,就立即转移到从机接收模式。此时,如果包括广播地址在内的从机地址匹配,就继续从机模式的运行。

23.3.1.8 握手

数据传送过程中通过 SCL 时钟同步机制实现握手。从机在传送完一帧数据后（包含 ACK 位），将 SCL 时钟线维持在低电平。在这种情况下，SCL 时钟的低电平让主机进入等待状态，直到从机释放 SCL 线。

【从机发送模式】

- 1) 在发送模式中（I2C_SR.TRA 位=1），如果移位寄存器（I2C_DSR 寄存器）为空状态并且未写发送数据（I2CDT 寄存器），就在第 9 时钟和下次传送的第 1 个时钟的低电平区间自动保持 SCL 线的低电平，动作时序如下图所示。

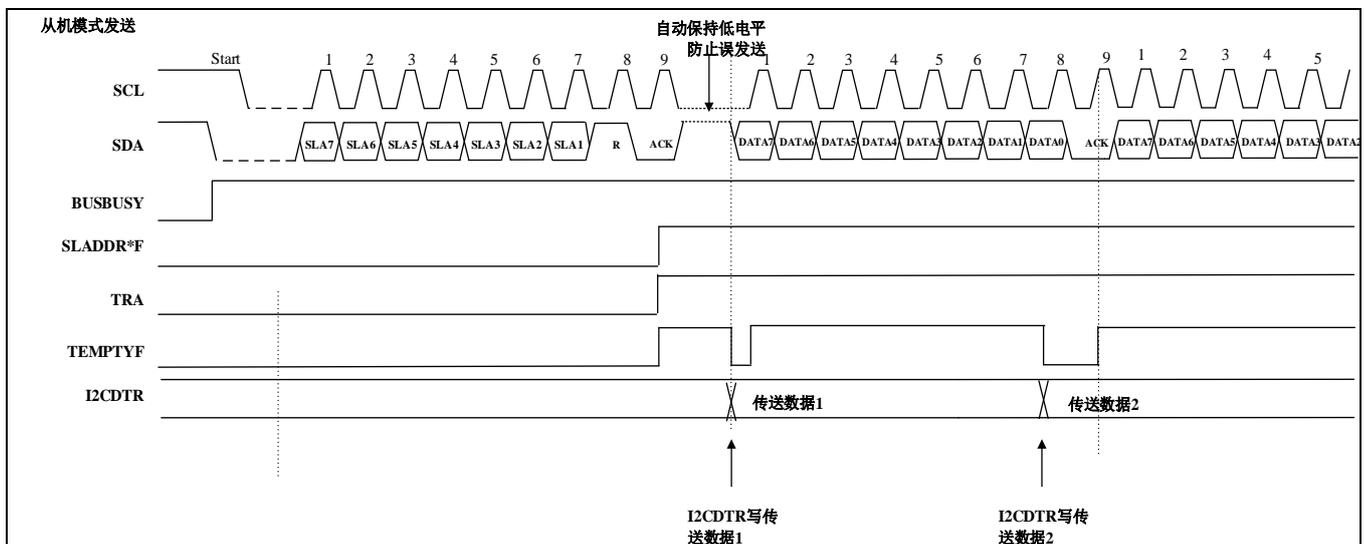


图 23-10 从机发送时序图（1）

- 2) 在 I2C_SR.NACKF 标志变为“1”或者将最后的发送数据写到 I2C_DTR 寄存器后，在 I2C_SR.EMPTTYF 标志为“1”的状态下等到 I2C_SR.TENDF 标志变为“1”。当 I2C_SR.NACKF 标志或者 TENDF 标志为“1”时，在第 9 个时钟下降后将 SCL 线保持为低电平。此时必须通过读 I2C_DRR 寄存器来结束通信，从而释放 SCL 线。

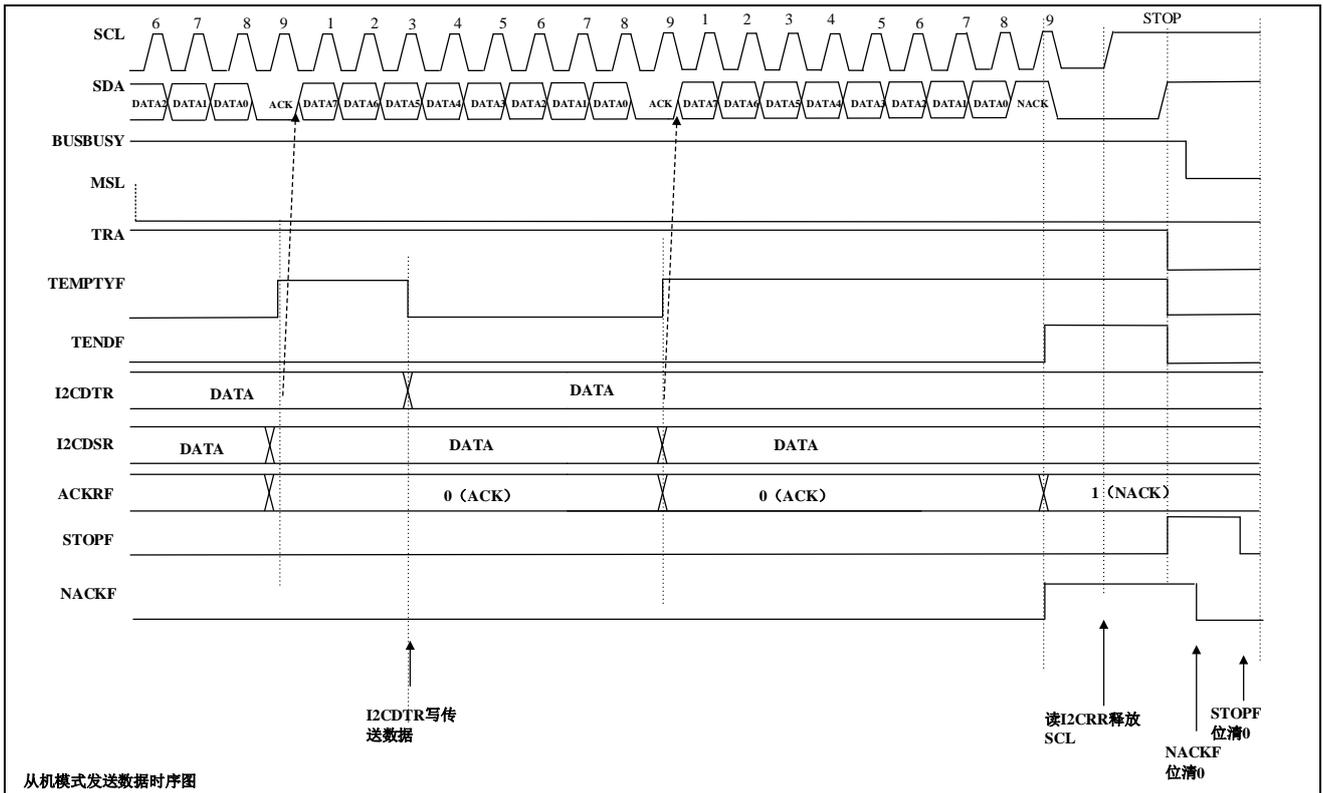
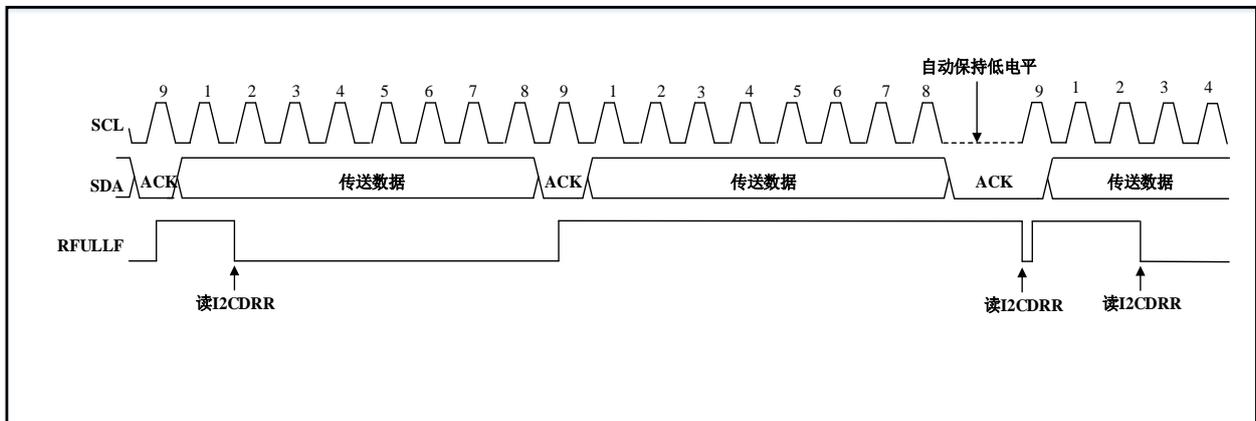


图 23-11 从机发送时序图 (2)

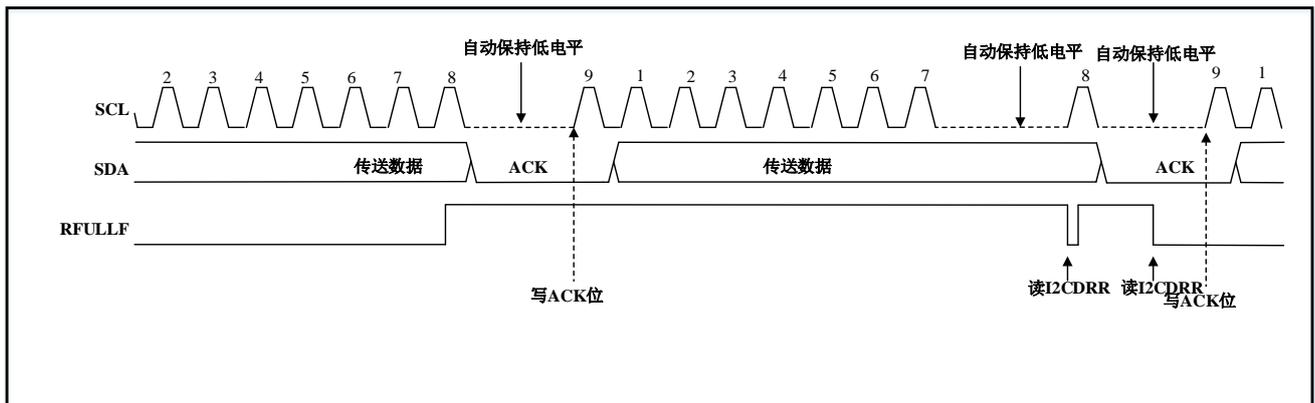
【从机接收模式】

如果在接收模式中 (I2C_SR.TRA 位=0) 并且接收数据满 (I2C_SR.RFULLF 标志=1) 的状态下, 因至少推迟 1 个传送帧读接收数据 (I2C_DRR 寄存器) 等而发生响应处理延迟, 就在开始下一个数据接收前, 在第 8 个 SCL 和第 9 个 SCL 时钟之间自动保持 SCL 线的低电平, 动作时序如下图所示。



【快速 ACK/NACK】

SMBUS 通信中，利用系统内置的 CRC 运算器，计算 SMBUS 的数据包错误码 (PEC) 或者检查接收的数据。在检查 PEC 码的过程中，在最后字节根据是否匹配发送 ACK 或者 NACK。这就必须在接收的最后字节的 SCL 的第 8 个时钟的下降沿将 SCL 保持低电平。以此来满足软件处理时间。软件根据计算结果，写 I2C_CR1.ACK 位来解除 SCL 低电平。快速 ACK/NACK 通过 I2C_CR3.FACKEN 位控制，动作时序如下图所示。



23.3.2 地址匹配

作为从机，可以设定除广播地址和主机通知地址以外的 2 种地址，从机地址能设定 7 位地址或者 10 位地址格式。

23.3.2.1 从机地址匹配

本 I²C 总线能设定 2 种从机地址，有分别对应的从机地址检测功能。当 SLADDR1EN、SLADDR0EN 为“1”时，能检测到 I2C_SLR1、I2C_SLR0 寄存器设定的从属地址。如果设定的从机地址匹配一致，就在 SCL 时钟的第 9 个时钟的下降沿将对应的 SLADDR1F、SLADDR0F 置“1”，然后根据后续的 R/W# 位将 I2C_SR.RFULLF 标志或者 I2C_SR.TEMPTYF 标志置“1”。由此，就能产生接收数据满中断或者发送数据空中断，并且能通过确认 I2C_SR.SLADDR1F、SLADDR0F 标志判断指定了哪个从机地址。

I2C_SR.SLADDR1F、SLADDR0F 标志变为“1”的时序分别如下图所示。

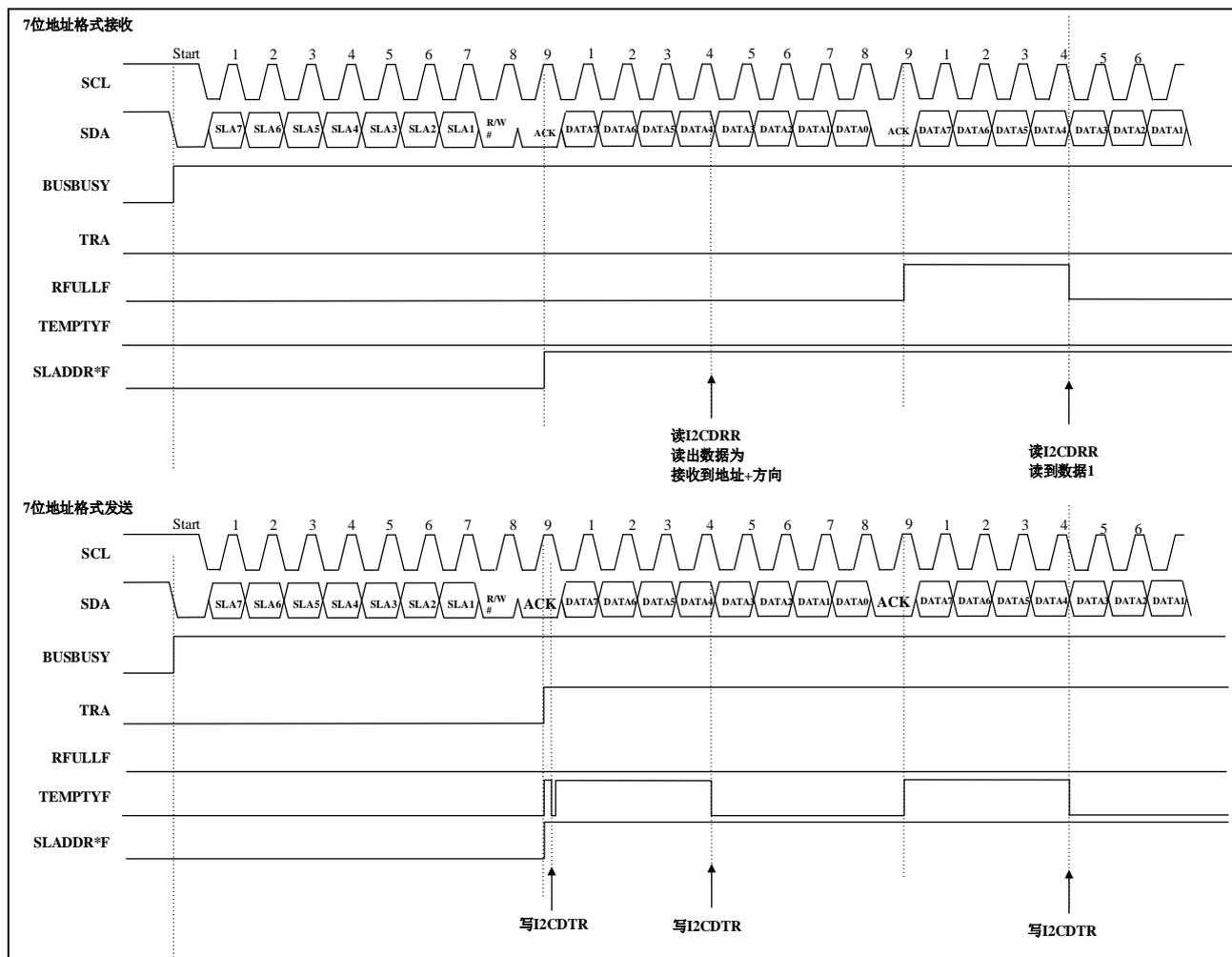


图 23-12 选择 7 位地址格式时的时序

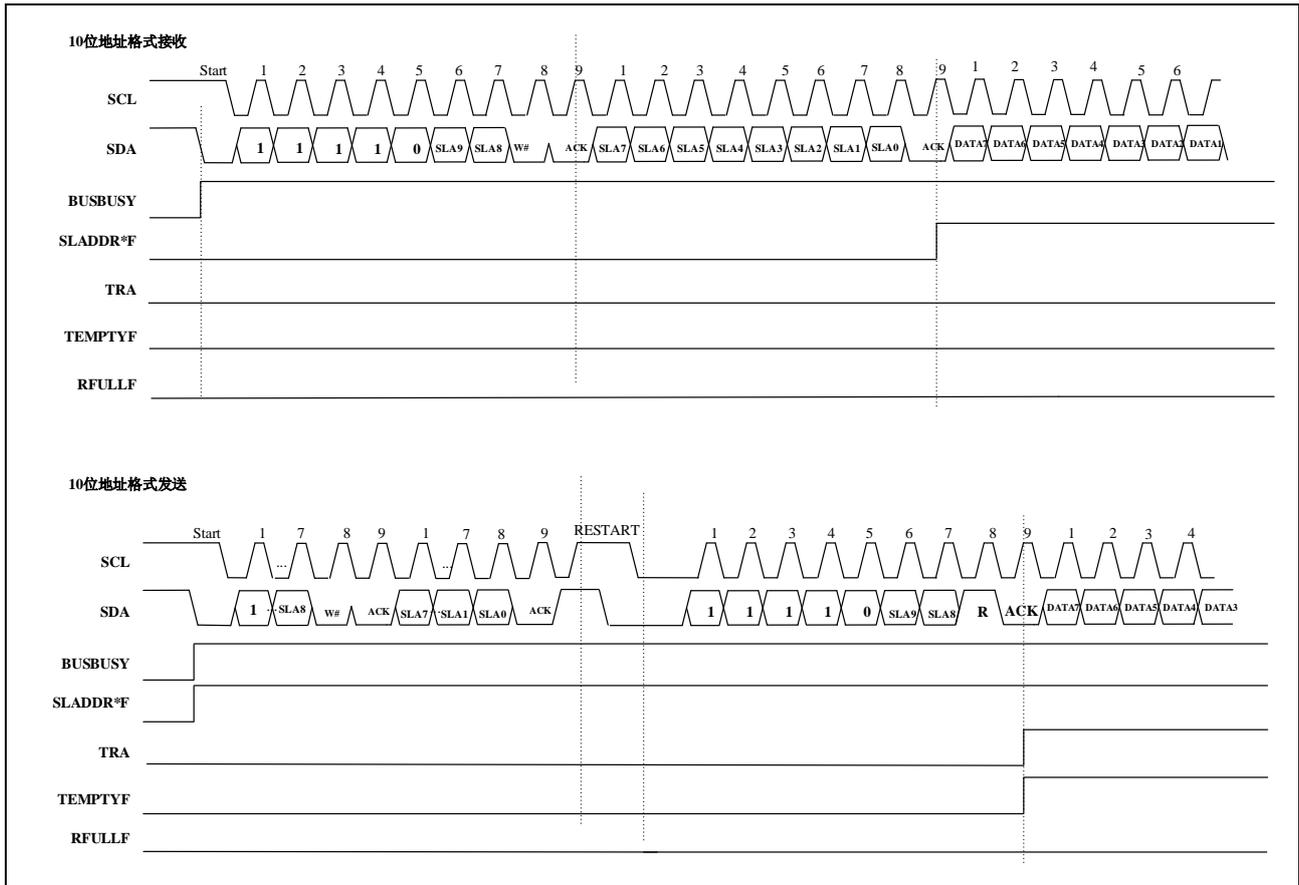


图 23-13 选择 10 位地址格式时的时序

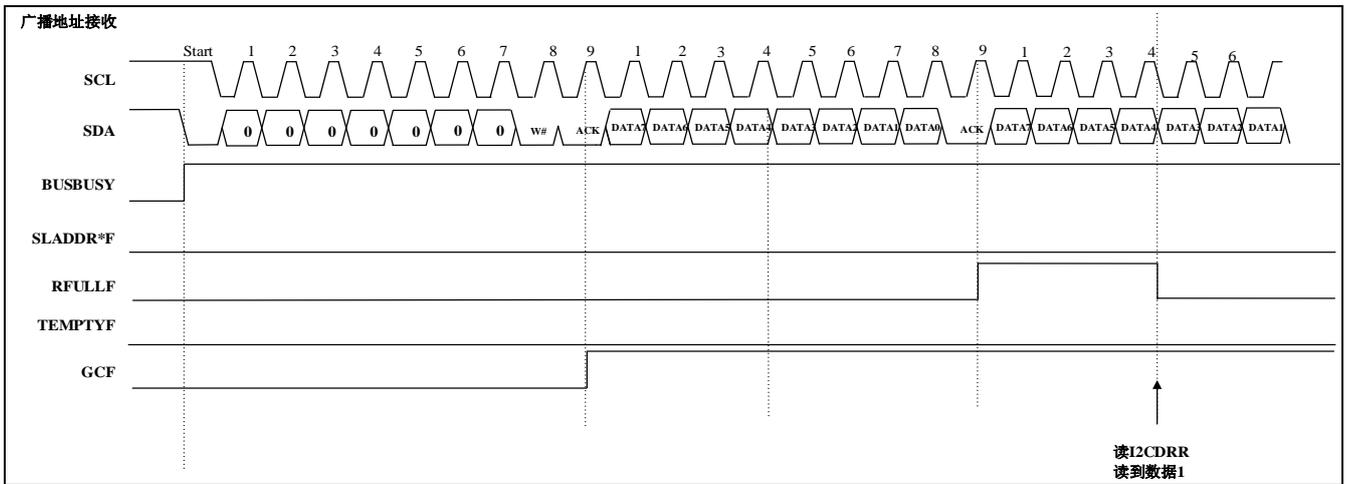
23.3.2.2 广播地址匹配

当 I2C_CR1.GCEN 位为“1”时，能检测广播地址（0000 000b+0[W]）。

但是开始条件或者重新开始条件后的地址为 0000 000b+1[R]（开始字节），就将此地址视为 All “0” 的从机地址而不视为广播地址。

如果匹配到广播地址，就在 SCL 时钟的第 9 个时钟的下降沿将 I2C_SR.GENCALL 标志置“1”。

广播地址匹配一致后的运行和普通的从机接收运行相同。

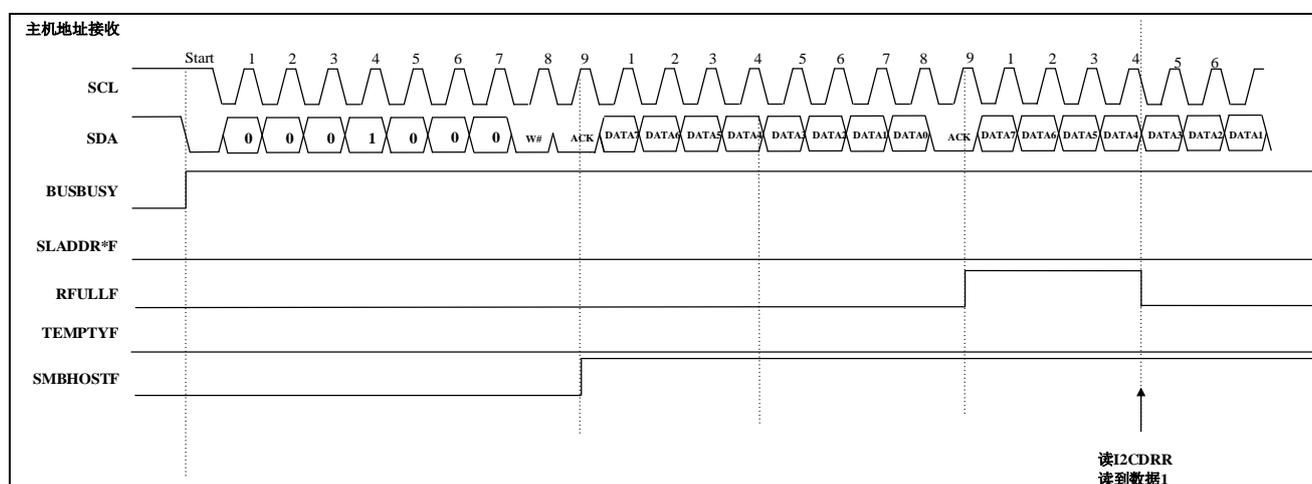


23.3.2.3 SMBus 主机地址匹配

本产品具有 SMBus 运行时的主机地址检测功能。如果在 I2C_CR1.SMBUS 位为“1”时将 I2C_CR1.SMBHOSTEN 位置“1”，就能在从机接收模式（I2C_CR1.MSL 位 TRA 位为“00b”）中检测主机地址（0001 000b）。

如果检测到 SMBUS 主机地址，就在 SCL 时钟的第 9 个时钟的下降沿将 I2C_SR.SMBHOSTF 标志置“1”。

即使接在 SMBUS 主机地址（0001 000b）后面的位是 Rd 位（R/W# 位接收到“1”），也能检测 SMBUS 主机地址。SMBUS 主机地址检测后的运行和普通的从机模式运行相同。

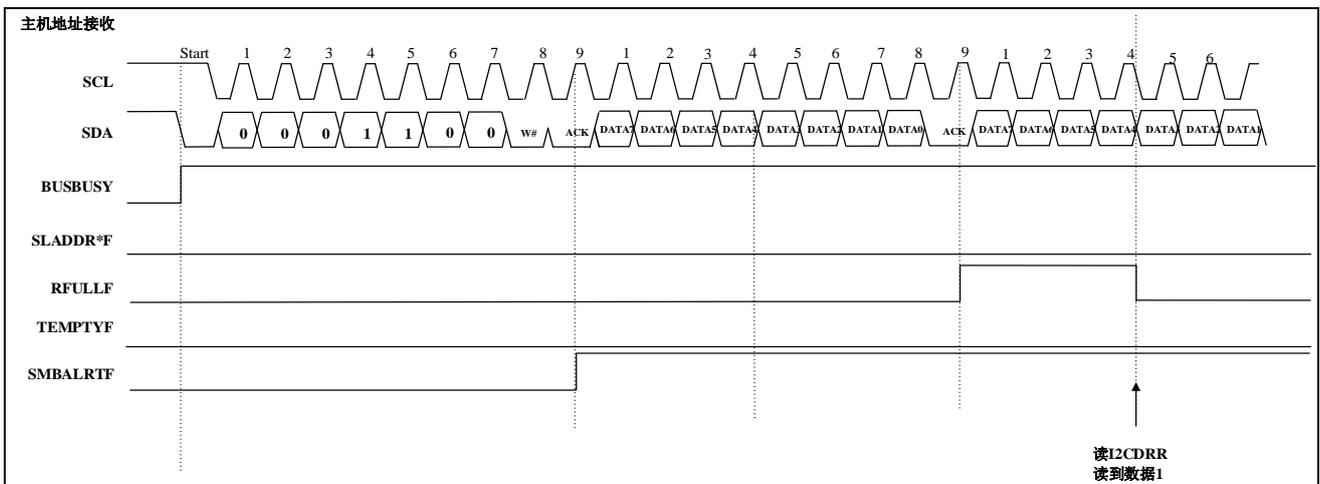


23.3.2.4 SMBus 报警响应地址匹配

本产品具有 SMBus 运行时的报警响应地址检测功能。如果在 I2C_CR1.SMBUS 位为“1”时将 I2C_CR1.SMBALRTEN 位置“1”，就能在从机接收模式（I2C_CR1.MSL 位 TRA 位为“00b”）中检测 SMBUS 报警响应地址（0001 100b）。

如果检测到 SMBUS 报警响应地址，就在 SCL 时钟的第 9 个时钟的下降沿将 I2C_SR.SMBALRTF 标志置“1”。

SMBUS 报警响应地址检测后的运行和普通的从机模式运行相同。



25ms (max) 以内。

如果定时器测量的时间超过 SMBus 规格的时钟 Low 电平检测的超时 TTIMEOUT: 25ms (min), 从机就需要释放总线。

2) 主机的超时测量

SMBus 通信的主控设备需要测量以下所示的区间 (超时间隔: TLOW:MEXT)。

- 开始条件到应答位的区间
- 应答位到下一个应答位的区间
- 应答位到停止条件的区间

在主机进行超时测量时, 使用开始条件检测中断、停止条件检测中断以及发送结束中断或者接收数据满中断, 通过芯片定时器测量各区间的时间。此超时的测量时间必须在 SMBus 规格的时钟低电平的累积时间[主机]TLOW:MEXT: 10ms (max) 以内, 开始条件到停止条件的全部 TLOW:MEXT 的累加结果必须在 TLOW:SEXT: 25ms (max) 以内。

如果定时器测量的时间超过 SMBus 规格的时钟低电平的累积时间[主控设备]TLOW:MEXT: 10ms (max), 或者各测量时间的累加结果超过 SMBus 规格的时钟低电平检测的超时 TTIMEOUT: 25ms (min), 主机就需要中止处理。在主机发送时, 必须立即中止发送 (写 I2C_DTR 寄存器)。通过发行停止条件中止主机的处理。

23.3.3.2 数据包错误码 (PEC)

通信中, 利用 CPU 运算 CRC, 发送 SMBus 的数据包错误码 (PEC) 或者检查接收数据。

23.3.4 复位

具有对通信模块进行复位的功能。有 2 种复位，1 种是对包括 ICCR2.BBSY 标志在内的全部寄存器进行初始化的复位，另一种是在保持各种设定值的状态下解除从属地址匹配状态以及对内部计数器进行初始化等的内部复位。

复位后，必须将 I2C_CR1.SWRST 位置“0”。

因为无论进行哪种复位都要解除 SCL 引脚/SDA 引脚的输出状态而变为高阻抗状态，所以也能用于解除总线意外停机状态。

从属模式中的复位会引起与主控设备的不同步，因此尽量避免使用。必须注意：在复位（I2C_CR1.PE 位和 I2C_CR1.SWRST 位为“01b”）过程中不能监视开始条件等的总线状态。

23.3.5 中断和事件信号输出

I2C 具有 4 种中断和用于触发启动其他外围电路的事件输出供用户选择。包括：通信错误的发生（仲裁失败检测、NACK 检测、开始条件检测、停止条件检测）、接收结束、发送数据空、发送结束。

中断一览表如下图所示。

名称	中断源	中断标志	中断条件
I2CCERRI	通信错误/通信事件	ARLOF	ARLOF=1&ARLOIE=1
		SLADDR0F	SLADDR0F=1& SLADDR0IE=1
		SLADDR1F	SLADDR1F=1& SLADDR1IE=1
		SMBALRTF	SMBALRTF =1& SMBALRTIE=1
		SMBHOSTF	SMBHOSTF =1& SMBHOSTIE=1
		SMBDEFAULTF	SMBDEFAULTF =1& SMBDEFAULTIE=1
		GENCALLF	GENCALLF =1& GENCALLIE=1
		NACKF	NACKF=1&NACKIE=1
		STARTF	STARTF=1&STARTIE=1
		STOPF	STOPF=1&STOPIE=1
I2CRFULLI	接收数据满	RFULLF	RFULLF=1&RFULLIE=1
I2CTEMPI	发送数据空	EMPTYF	EMPTYF=1&EMPTYIE=1
I2CTENDI	发送结束	TENDF	TENDF=1&TENDIE=1

事件信号输出一览表如下图所示。

名称	事件源	事件条件
I2CCERRE	通信错误/通信时间	ARLOF=1
		SLADDR0F=1
		SLADDR1F=1
		SMBALRTF=1
		SMBHOSTF=1
		SMBDEFAULTF=1
		GENCALLF=1
		NACKF=1
		STARTF=1
		STOPF=1
I2CRFULLE	接收数据满	RFULLF=1
I2CTEMPE	发送数据空	EMPTYF=1
I2CTENDE	发送结束	TENDF=1

23.3.6 可编程数字滤波

SCL 引脚和 SDA 引脚的状态经由数字滤波器进入内部。数字滤波器电路的框图如下图所示。

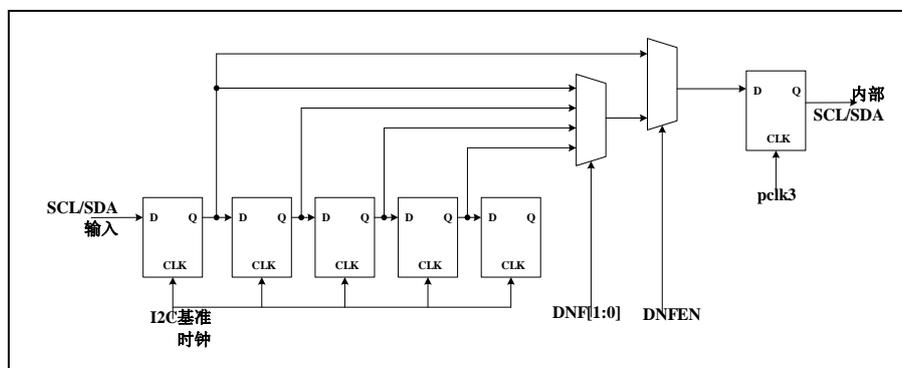


图 23-14 数字滤波电路框图

内部数字滤波器电路由 4 段串联的触发电路和匹配检测电路构成。

通过 I2C_FLTR.DNF 位选择数字滤波器的有效段数，根据选择的有效段数，噪声消除能力为 1~4 个 I²C 周期。

在 I²C 内部时钟的下降沿对 SCL 引脚的输入信号（或者 SDA 引脚的输入信号）进行采样，如果 I2C_FLTR.DNF 位设定的有效段数的触发电路输出全部匹配，就将该电平作为内部信号进行传输，否则就保持原来的值。

23.4 应用软件设定 I2C 初始化流程

在开始发送或者接收数据时，必须下图所示的步骤进行初始化。

1. PE 位设定为 0。
2. SWRST 设定为 1，通信复位
3. PE 位设定为 1，内部状态复位
4. 设定从机地址格式和地址
5. 设定波特率
6. 根据需要设定控制寄存器功能及中断
7. SWRST 位设定为 0，解除内部状态复位。
8. 初始化结束。可发送接收数据。

23.5 寄存器说明

I2C1 基准地址: 0x40004800

寄存器名	符号	偏移地址	位宽	复位值
I2C控制寄存器1	I2C_CR1	0x00	32	0x0000 0040
I2C控制寄存器2	I2C_CR2	0x04	32	0x0000 0000
I2C从机地址寄存器0	I2C_SLR0	0x10	32	0x0000 1000
I2C从机地址寄存器1	I2C_SLR1	0x14	32	0x0000 0000
I2C状态寄存器	I2C_SR	0x1C	32	0x0000 0000
I2C状态清零寄存器	I2C_CLR	0x20	32	0x0000 0000
I2C数据发送寄存器	I2C_DTR	0x24	8	0xFF
I2C数据接收寄存器	I2C_DRR	0x28	8	0x00
I2C时钟控制寄存器	I2C_CCR	0x2C	32	0x0000 1F1F
I2C波特率控制寄存器	I2C_FLTR	0x30	32	0x0000 0010

表 23-2 寄存器一览表

23.5.1 I2C 控制寄存器 1(I2C_CR1)

复位值：0x00000040

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SWRST	-	-	-	-	ACK	STOP	START	RESTART	GCE	FAC	SMB	SMB	SMB	SMB	PE
											HOST	EFAU	ALRT	US	
											EN	LTEN	EN		

位	标记	位名	功能	读写									
b31-16	Reserved	-	读出时为“0”,写入时写“0”	R/W									
b15	SWRST	软件复位	0: 解除复位 1: 软件复位 本位与PE位组合, 选择内部状态复位或者通信复位	R/W									
			<table border="1"> <thead> <tr> <th>SWRST</th><th>PE</th><th>复位内容</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>通信复位: I2C内部的全部寄存器及内部状态复位。</td></tr> <tr> <td>1</td><td>1</td><td>内部状态复位: I2C_SR, I2C_DSR寄存器和内部状态机进行复位</td></tr> </tbody> </table>	SWRST	PE	复位内容	1	0	通信复位: I2C内部的全部寄存器及内部状态复位。	1	1	内部状态复位: I2C_SR, I2C_DSR寄存器和内部状态机进行复位	
SWRST	PE	复位内容											
1	0	通信复位: I2C内部的全部寄存器及内部状态复位。											
1	1	内部状态复位: I2C_SR, I2C_DSR寄存器和内部状态机进行复位											
b14-11	Reserved	-	读出时为“0”,写入时写“0”	R/W									
b10	ACK	发送应答	0: 应答位发送“0” (发送ACK) 1: 应答位发送“1” (发送NACK)	R/W									
b9	STOP	停止条件生成位	0: 不生成停止条件 1: 生成停止条件 此位可软件置1和清0。 硬件清0条件: 检测到停止条件 仲裁失败 检测到开始条件 通信复位	R/W									
b8	START	起始条件生成位	0: 不生成起始条件 1: 生成起始条件 此位可软件置1和清0。 硬件清0条件: 检测到开始条件	R/W									

			仲裁失败时 通信复位	
b7	RESTART	重复起始条件生成位	0: 不生成重复起始条件 1: 生成重复起始条件 此位可软件置1和清0。 硬件清0条件: 1) 检测到开始条件 2) 仲裁失败时 3) 通信复位	R/W
b6	GCEN	广播呼叫时能	0: 广播地址检测无效 1: 广播地址检测有效	R/W
b5	FACKEN	RFULLF标志位置位时 间点选择	0: 在SCL 时钟的第9个时钟上升时, 此位为“1”。(在第8个时 钟的下降沿, SCL 线不保持低电平) 1: 在SCL 时钟的第8个时钟上升时, 此位为“1”。(在第8个时 钟的下降沿, SCL线保持低电平) 通过写ACK位来解除保持的低电平	R/W
b4	SMBHOSTEN	允许匹配SMBUS主机 地址位	0: 禁止匹配SMBUS主机地址 1: 允许匹配SMBUS主机地址	R/W
b3	SMBDEFAULTEN	允许匹配SMBUS默认 地址位	0: 禁止匹配SMBUS默认地址 1: 允许匹配SMBUS默认地址	R/W
b2	SMBALRTEN	允许匹配SMBUS报警 响应地址位	0: 禁止SMBUS报警响应地址 1: 允许SMBUS报警响应地址	R/W
b1	SMBUS	SMBUS/PC总线模式 选择位	0: PC总线模式 1: SMBUS总线模式	R/W
b0	PE	PC功能使能	0: PC功能禁止 1: PC功能允许 本位与SWRST位组合, 选择内部状态复位或者通信复位	R/W

23.5.2 I2C 控制寄存器 2(I2C_CR2)

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	SMB ALRT IE	SMB HOST IE	SMB DEFA ULTI	GEN CALL IE	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	NAC KIE	-	-	ARL OIE	-	TEMP TYIE	RFU LLIE	-	STO PIE	TEN DIE	SLAD DR1IE	SLAD DR0IE	STA RTIE

位	标记	位名	功能	读写
b31~b24	Reserved	-	读出时为“0”,写入时写“0”	R/W
b23	SMBALRTIE	SMBUS报警响应地址	0: SMBUS报警响应地址匹配一致中断禁止 1: SMBUS报警响应地址匹配一致中断允许	R/W
b22	SMBHOSTIE	SMBUS主机地址匹配	0: SMBUS主机地址匹配一致中断禁止 1: SMBUS主机地址匹配一致中断允许	R/W
b21	SMBDEFAULTIE	SMBUS默认地址匹配	0: SMBUS默认地址匹配一致中断禁止 1: SMBUS默认地址匹配一致中断允许	R/W
b20	GENCALLIE	广播呼叫地址匹配一	0: 广播呼叫地址匹配一致中断禁止 1: 广播呼叫地址匹配一致中断允许	R/W
b19~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	NACKIE	NACK中断允许	0: 接收到NACK中断禁止 1: 接收到NACK中断允许	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9	ARLOIE	仲裁失败中断允许	0: 仲裁失败中断禁止 1: 仲裁失败中断允许	R/W
b8	Reserved	-	读出时为“0”,写入时写“0”	R/W
b7	TEMPTYIE	发送数据空中断允许	0: 发送数据空中断禁止 1: 发送数据空中断允许	R/W
b6	RFULLIE	接收数据满中断允许	0: 接收数据满中断禁止 1: 接收数据满中断允许	R/W
b5	Reserved	-	读出时为“0”,写入时写“0”	R/W
b4	STOPIE	停止条件中断允许	0: 总线检测到停止条件中断禁止 1: 总线检测到停止条件中断允许	R/W
b3	TENDIE	发送一帧数据结束中	0: 发送一帧数据结束中断禁止 1: 发送一帧数据结束中断允许	R/W
b2	SLADDR1IE	从机地址1匹配一致中	0: 从机地址1匹配一致中断禁止	R/W

		断允许	1: 从机地址1匹配一致中断允许	
b1	SLADDR0IE	从机地址0匹配一致中 断允许	0: 从机地址0匹配一致中断禁止 1: 从机地址0匹配一致中断允许	R/W
b0	STARTIE	开始条件/重新开始条 件中断允许	0: 总线检测到开始条件中断禁止 1: 总线检测到开始条件中断允许	R/W

23.5.3 I2C 从机地址寄存器 0(I2C_SLR0)

复位值：0x00001000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADD RMO D0	-	-	SLA DDR0 EN	-	-	SLADDR0[9:0]									

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15	ADDRMOD0	7位/10位地址格式选择位	0: 选择7位地址格式 1: 选择10位地址格式	R/W
b14~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	SLADDR0EN	从机地址0有效位	0: 从机地址寄存器0设定值无效 1: 从机地址寄存器0设定值有效	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9~b8	SLADDR0[9:8]	10位从机地址的高位	设定从机地址。 当ADDRMOD0位为“0”时, 此位设定无效。 当ADDRMOD0位为“1”时, 此位作为10位从机地址的高两位。	R/W
b7~b0	SLADDR0[7:0]	7位地址/10位地址的低位	设定从机地址。 当ADDRMOD0位为“0”时, SLADDR0[7:1]为7位从机地址。 SLADDR0[0]位无效。 当ADDRMOD0位为“1”时, SLADDR0[7:0]为10位从机地址的低8位地址。	R/W

23.5.4 I2C 从机地址寄存器 1(I2C_SLR1)

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADD RMO D1	-	-	SLA DDR1 EN	-	-	SLADDR1[9:0]									

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15	ADDRMOD1	7位/10位地址格式选择位	0: 选择7位地址格式 1: 选择10位地址格式	R/W
b14~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	SLADDR1EN	从机地址1有效位	0: 从机地址寄存器1设定值无效 1: 从机地址寄存器1设定值有效	R/W
b11~b10	Reserved	-	读出时为“0”,写入时写“0”	R/W
b9~b8	SLADDR1[9:8]	10位从机地址的高位	设定从机地址。 当ADDRMOD1位为“0”时, 此位设定无效。 当ADDRMOD1位为“1”时, 此位作为10位从机地址的高两位。	R/W
b7~b0	SLADDR1[7:0]	7位地址/10位地址的低位	设定从机地址。 当ADDRMOD1位为“0”时, SLADDR1[7:1]为7位从机地址。 SLADDR1[0]位无效。 当ADDRMOD1位为“1”时, SLADDR1[7:0]为10位从机地址的低8位地址。	R/W

23.5.5 I2C 状态寄存器(I2C_SR)

复位值：0x00000000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	SMB ALRT F	SMB HOST F	SMB DEFA ULTF	GEN CALL F	-	TRA	BUS Y	MSL

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	NAC KF	-	ACK RF	ARL OF	-	TEM PTYF	RFU LLF	-	STO PF	TEN DF	SLAD DR1F	SLAD DR0F	STA RTF

位	标记	位名	功能	读写
b31~b21	Reserved	-	读出时为“0”,写入时写“0”	R
b23	SMBALRTF	SMBUS报警响应地址匹 配一致标志位	0: 未匹配到SMBUS报警响应地址 1: 检测到主机地址 置“1”条件: 接收到的地址和0001 100b匹配一致 清“0”条件: SMBALRTFCLR写“1” 检测到停止条件 通信复位	R
b22	SMBHOSTF	SMBUS主机地址匹配一 致标志位	0: 未匹配到SMBUS主机地址 1: 匹配到SMBUS主机地址 地址匹配一致条件如下: 置“1”条件: 接收到的地址和0001 000b匹配一致 清“1”条件: SMBHOSTFCLR写“1” 检测到停止条件 通信复位	R
b21	SMBDEFAULTF	SMBUS默认地址匹配一 致标志位	0: 未匹配到SMBUS默认地址 1: 匹配到SMBUS默认地址 置“1”条件: 接收到的地址和1100 001b匹配一致 清“0”条件: SMBDEFAULTFCLR写“1” 检测到停止条件 通信复位	R
b20	GENCALLF	广播呼叫地址匹配一致	0: 未匹配到广播呼叫地址	R

		标志	<p>1: 匹配到广播呼叫地址</p> <p>置“1”条件:</p> <p>当接收的从机地址与广播呼叫地址(All“0”)匹配一致时</p> <p>清“0”条件:</p> <p>GENCALLFCLR写“1”</p> <p>检测到停止条件</p> <p>通信复位</p>																
b19	Reserved	-	读出时为“0”,写入时写“0”	R															
b18	TRA	发送接收选择位	<p>此位表示选择发送数据还是接收数据。</p> <p>0: 接收数据</p> <p>1: 发送数据</p> <p>此位可软件置1和清0。</p> <p>硬件置“1”条件</p> <p>检测到开始条件</p> <p>主机模式下,发送的R/W位为0</p> <p>从机模式下,地址匹配且接收的R/W位为1</p> <p>硬件清“0”条件</p> <p>检测到停止条件</p> <p>主机模式下,发送的R/W位为1</p> <p>从机模式下,地址匹配且接收的R/W位为0</p> <p>通信复位</p>	R/W															
b17	BUSY	总线忙标志位	<p>0: 空闲状态,总线上无通信</p> <p>1: 占有状态,总线正在通信</p> <p>置“1”条件:</p> <p>检测到总线上开始条件</p> <p>清“0”条件:</p> <p>检测到总线停止条件</p> <p>通信复位</p>	R															
b16	MSL	主从机选择位	<p>此位表示主机还是从机。</p> <p>0: 从机模式</p> <p>1: 主机模式</p> <p>通过和TRA位的组合,表示I2C的运行模式。</p> <table border="1" data-bbox="764 1585 1311 1812"> <thead> <tr> <th>MSL</th> <th>TRA</th> <th>I2C运行模式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>从机接收模式</td> </tr> <tr> <td>0</td> <td>1</td> <td>从机发送模式</td> </tr> <tr> <td>1</td> <td>0</td> <td>主机接收模式</td> </tr> <tr> <td>1</td> <td>1</td> <td>主机发送模式</td> </tr> </tbody> </table> <p>此位可软件置1和清0。</p> <p>硬件置“1”条件</p> <p>START位为1的状态下,检测到开始条件</p> <p>硬件清“0”条件</p> <p>1) 检测到停止条件</p>	MSL	TRA	I2C运行模式	0	0	从机接收模式	0	1	从机发送模式	1	0	主机接收模式	1	1	主机发送模式	R/W
MSL	TRA	I2C运行模式																	
0	0	从机接收模式																	
0	1	从机发送模式																	
1	0	主机接收模式																	
1	1	主机发送模式																	

			2) 仲裁失败	
			3) 通信复位	
b15-b13	Reserved	-	读出时为“0”,写入时写“0”	R
b12	NACKF	NACK标志位	0: 未接收到NACK 1: 接收到NACK 置“1”条件: 发送模式下, 接收到NACK 清“0”条件: NACKFLR写“1” 通信复位	R
b11	Reserved	-	读出时为“0”,写入时写“0”	R
b10	ACKRF	接收应答位	0: 接收到应答位为“0” (接收ACK) 1: 接收到应答位为“1” (接收NACK) 置“1”条件: 发送模式下, 接收到NACK 清“0”条件: 发送模式下, 接收到ACK 通信复位	R
b9	ARLOF	仲裁失败标志位	0: 未发生仲裁失败 1: 仲裁失败 置“1”条件: 仲裁失败 清“0”条件: ARLOFLR写“1” 通信复位	R
b8	Reserved	-	读出时为“0”,写入时写“0”	R
b7	EMPTYF	发送数据空标志位	0: I2C_DTR寄存器满 1: I2C_DTR寄存器空 置“1”条件: I2C_DTR数据传送到I2C_DSR TRA位置1 清“0”条件: 写I2C_DTR TRA位清0 通信复位	R
b6	RFULLF	接收数据满标志位	0: I2C_DRR寄存器空 1: I2C_DRR寄存器满 置“1”条件: 接收的数据从I2C_DSR传送到I2C_DRR 清“0”条件: 读I2C_DRR RFULLFLR写“1”	R

			通信复位	
b5	Reserved	-	读出时为“0”,写入时写“0”	R
b4	STOPF	停止条件标志位	0: 总线未检测到停止条件 1: 总线检测到停止条件 置“1”条件: 检测到停止条件 清“0”条件: STOPFCLR写“1”	R
			通信复位	
b3	TENDF	发送数据结束标志位	0: I2C_DSR寄存器发送中 1: I2C_DSR寄存器发送结束 置“1”条件: EMPTYF=1的条件下, SCL的第9个上升沿此位置“1” 清“0”条件: 检测到停止条件 写I2C_DTR TENDFCLR写“1”	R
			通信复位	
b2	SLADDR1F	从机地址寄存器1匹配一致标志	0: 未检测到从机地址寄存器1一致地址 1: 检测到从机地址寄存器1一致地址 置“1”条件: 当I2C_SLR1.ADDRM0D1位为“0”时, 接收到的从机地址和I2C_SLR1.SLADDR1[7:1]匹配时。 当I2C_SLR1.ADDRM0D1位为“1”时, 接收10位从机地址的第一个字节地址与11110b+I2C_SLR1.SLADDR1[9:8]匹配一致并且第二个字节地址与I2C_SLR1.SLADDR1[7:0]匹配一致。 清“0”条件: 检测到停止条件 SLADDR1FCLR写“1”	R
			通信复位	
b1	SLADDR0F	从机地址寄存器0匹配一致标志	0: 未检测到从机地址寄存器0一致地址 1: 检测到从机地址寄存器0一致地址 置“1”条件: 当I2C_SLR0.ADDRM0D0位为“0”时, 接收到的从机地址和I2C_SLR0.SLADDR0[7:1]匹配时。 当I2C_SLR0.ADDRM0D0位为“1”时, 接收10位从机地址的第一个字节地址与11110b+I2C_SLR0.SLADDR0[9:8]匹配一致并且第二个字节地址与I2C_SLR0.SLADDR0[7:0]匹配一致。 清“0”条件: 检测到停止条件 SLADDR0FCLR写“1”	R
			通信复位	

b0	STARTF	开始条件/重新开始条件 标志位	<p>0: 总线未检测到开始条件</p> <p>1: 总线检测到开始条件 置“1”条件</p> <p>1) 检测到开始条件 清“0”条件</p> <p>1) 检测到停止条件</p> <p>2) STARTFCLR写“1”</p> <p>3) 通信复位</p>	R
----	--------	--------------------	---	---

23.5.6 I2C 状态清零寄存器(I2C_CLR)

复位值：0x00000000

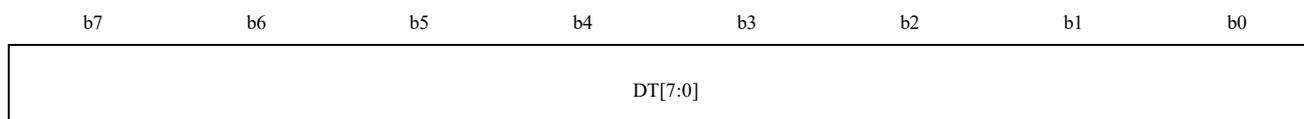
b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	SMB ALRT FCLR	SMB HOST FCLR	SMB DEFA ULTF	GEN CALL FCLR	-	-	-	-

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	NAC KFCL R	-	-	ARL OFCL R	-	TEM PTYF CLR	RFU LLFC LR	-	STO PFCL R	TEN DFCL R	SLA DDR 1FCL	SLA DDR 0FCL	STA RTFC LR

位	标记	位名	功能	读写
b31~b24	Reserved	-	写入时写“0”	W
b23	SMBALRTFCLR	SMBUS报警响应地址 匹配一致标志清零位	写“1”清除SMBALRTF标志位	W
b22	SMBHOSTFCLR	SMBUS主机地址匹配 一致标志清零位	写“1”清除SMBHOSTF标志位	W
b21	SMBDEFAULTFCLR	SMBUS默认地址匹配 一致标志清零位	写“1”清除SMBDEFAULTF标志位	W
b20	GENCALLFCLR	广播呼叫地址匹配一 致标志	写“1”清除GENCALLF标志位	W
b19~b13	Reserved	-	写入时写“0”	W
b12	NACKFCLR	NACK标志位	写“1”清除NACKF标志位	W
b11~b10	Reserved	-	写入时写“0”	W
b9	ARLOFCLR	仲裁失败标志位	写“1”清除ARLOF标志位	W
b8	Reserved	-	写入时写“0”	W
b7	EMPTYFCLR	发送数据空标志位	写“1”清除EMPTYF标志位	W
b6	RFULLFCLR	接收数据满标志位	写“1”清除RFULLF标志位	W
b5	Reserved	-	写入时写“0”	W
b4	STOPFCLR	停止条件标志位	写“1”清除STOPF标志位	W
b3	TENDFCLR	发送数据结束标志位	写“1”清除TENDF标志位	W
b2	SLADDR1FCLR	从机地址寄存器1匹配 一致标志清零位	写“1”清除SLADDR1F标志位	W
b1	SLADDR0FCLR	从机地址寄存器1匹配 一致标志清零位	写“1”清除SLADDR0F标志位	W
b0	STARTFCLR	开始条件/重新开始条 件标志清零位	写“1”清除STARTF标志位	W

23.5.7 I2C 数据发送寄存器(I2C_DTR)

复位值：0xFF



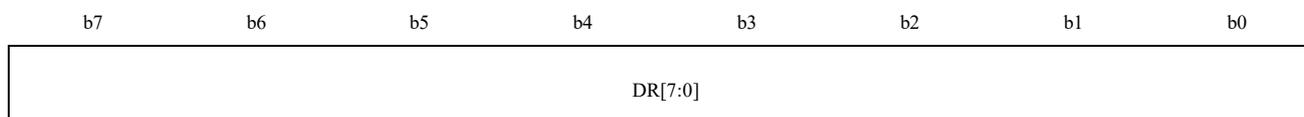
如果 I2C_DSR 寄存器为空，就将写在 I2C_DTR 寄存器的发送数据传送到 I2C_DSR 寄存器，发送模式时开始发送数据到 SDA 上。

I2C_DSR 寄存器和 I2C_DTR 寄存器是双缓冲结构，在 I2C_DSR 寄存器数据发送过程中，如果预先写 I2C_DTR 寄存器的数据，就能进行连续发送数据。

I2C_DRR 寄存器可读可写。请在发送数据空中断要求发生时，仅写一次 I2C_DTR 寄存器。

23.5.8 I2C 数据接收寄存器(I2C_DRR)

复位值：0x00



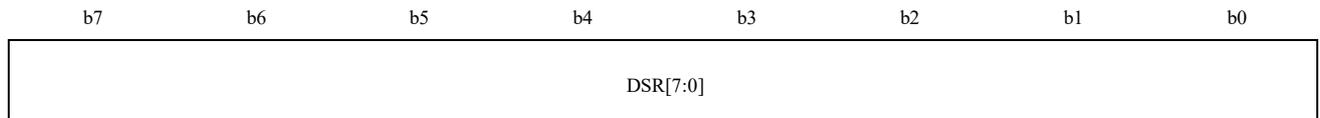
如果接收到 1 帧数据，就能将接收数据从移位寄存器 (I2C_DSR) 转存到 I2C_DRR 寄存器，进而可以进入到下一个数据接收状态。

I2C_DSR 寄存器和 I2C_DRR 寄存器是双缓冲结构，在 I2C_DSR 寄存器数据接收过程中，如果读取了 I2C_DRR 寄存器的数据，就能进行连续接收数据。

禁止对 I2C_DRR 寄存器写。请在接收数据满中断要求发生时，仅读一次 I2C_DRR 寄存器。

在 I2C_SR.RFULLF 标志位为“1”的状态下，如果不读取 I2C_DRR 寄存器的数据，而立即接收下一个数据，SCL 时钟就在下一次 RFULLF 标志位变“1”的前一个 SCL 时钟自动保持为低电平。

23.5.9 I2C 数据移位寄存器(I2C_DSR)



I2C_DSR 寄存器用于发送和接收数据的移位寄存器。I2C_DSR 寄存器不可读也不可写。在数据发送时，将发送数据从 I2C_DTR 寄存器传送到 I2C_DSR 寄存器，从 SDA 引脚发送数据。在数据接收时，一旦 1 帧数据接收结束，就将数据从 I2C_DSR 寄存器传送到 I2C_DRR 寄存器。

23.5.10 I2C 时钟控制寄存器(I2C_CCR)

复位值：0x00001F1F

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	CKDIV[2:0]		

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	SHIGHW[4:0]				-	-	-	SLOWW[4:0]					

位	标记	位名	功能	读写
b31~b23	Reserved	-	读出时为“0”,写入时写“0”	R/W
b22~b19	Reserved	-	读出时为“1”,写入时写“1”	R/W
b18~b16	CKDIV[2:0]	I2C基准时钟频率设定位	0 0 0: I2C基准时钟频率=HCLK/1 0 0 1: I2C基准时钟频率=HCLK/2 0 1 0: I2C基准时钟频率=HCLK/4 0 1 1: I2C基准时钟频率=HCLK/8 1 0 0: I2C基准时钟频率=HCLK/16 1 0 1: I2C基准时钟频率=HCLK/32 1 1 0: I2C基准时钟频率=HCLK/64 1 1 1: I2C基准时钟频率=HCLK/128	R/W
b15~b13	Reserved	-	读出时为“1”,写入时写“1”	R/W
b12~b8	SHIGHW[4:0]	设定SCL高电平宽度位	设定SCL时钟的高电平宽度	R/W
b7~b5	Reserved	-	读出时为“1”,写入时写“1”	R/W
b4~b0	SLOWW[4:0]	设定SCL低电平宽度位	设定SCL时钟的低电平宽度	R/W

SHIGHW 位（设定 SCL 高电平宽度位）

在主机模式下，SHIGHW 是用于设定 SCL 时钟的高电平宽度。在从机模式下，设定无效。

SLOWW 位（设定 SCL 低电平宽度位）

SLOWW 是用于设定 SCL 时钟的低电平宽度。在从机模式下，设定值要大于数据准备时间。数据准备时间(t_{SU:DAT})250ns（~100kbps: 标准模式）100ns（~400kbps: 快速模式）

波特率：

DNFE=0,CKSDIV=000

波特率=1/>{[(SHIGHW+3)+(SLOWW+3)]/Φ I2C+SCL 上升时间+SCL 下降时间}

SDNFE=1,CKSDIV=000

波特率=1/>{[(SHIGHW+3+滤波能力)+(SLOWW+3+滤波能力)]/Φ I2C+SCL 上升时间+SCL 下降时间}

DNFE=0,CKSDIV!=000

波特率=1/>{[(SHIGHW+2)+(SLOWW+2)]/Φ I2C+SCL 上升时间+SCL 下降时间}

DNFE=1,CKSDIV!=000

波特率=1/>{[(SHIGHW+2+滤波能力)+(SLOWW+2+滤波能力)]/Φ I2C+SCL 上升时间+SCL 下降时间}

注意:

- SCL 线的上升时间[tr] 和下降时间[tf] 取决于总线的总电容量[Cb] 和上拉电阻 [Rp], 详细内容请参照 NXP 公司的 I2C 总线规格书。

23.5.11 I2C 滤波控制寄存器(I2C_FLTR)

复位值：0x00000010

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	ANF EN	DNF EN	-	-	DNF[1:0]	

位	标记	位名	功能	读写
b31~b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5	ANFEN	模拟滤波功能允许位	0: 模拟滤波功能禁止 1: 模拟滤波功能允许	R/W
b4	DNFEN	数字滤波功能允许位	0: 数字滤波功能禁止 1: 数字滤波功能允许	R/W
b3~b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1-b0	DNF[1:0]	数字滤波器滤波能力选择	00: 滤波能力1个I2C基准时钟周期 01: 滤波能力2个I2C基准时钟周期 10: 滤波能力3个I2C基准时钟周期 11: 滤波能力4个I2C基准时钟周期	R/W

24 串行外设接口 (SPI)

24.1 简介

本产品搭载 1 个通道的串行外设接口 SPI，支持高速全双工串行同步传输，方便地与外围设备进行数据交换。用户可根据需要进行三线/四线，主机/从机及波特率范围的设置。

SPI 主要特性：

要点	描述
通道数	1通道
串行通信功能	<ul style="list-style-type: none"> 支持4线式SPI模式和3线式时钟同步运行模式 支持全双工和只传送两种通信方式 可调整通信时钟SCK的极性和相位
数据格式	<ul style="list-style-type: none"> 可选择数据移位顺序:MSB开始/LSB开始 可选择数据宽度: 8/16位 单次最多可传送或接收1帧宽度为16位的数据
波特率	<ul style="list-style-type: none"> 主机模式下可通过内置专用波特率发生器对波特率进行调整，波特率范围为HCLK的2分频~256分频 从机模式下允许的最大波特率为HCLK的6分频
错误监测	<ul style="list-style-type: none"> 模式故障错误监测 数据过载错误监测 数据欠载错误监测 奇偶校验错误监测
片选信号控制	<ul style="list-style-type: none"> 每个通道配置一根片选信号线 极性可调
主机模式下的传输控制	<ul style="list-style-type: none"> 通过将数据写入数据寄存器启动传输
中断/AOS源	<ul style="list-style-type: none"> 接收数据区域已满 发送数据区域已空 SPI错误（模式/过载/欠载/奇偶校验） SPI闲置 传输完成

低功耗控制	• 可设置模块停止
其他功能	• SPI初始化功能

表 24-1 SPI 的特性要点

注意：

- 在主接收模式使用通信自动挂起功能时，由于通信时钟停止，将不会发生过载错误。详情请参考过载错误。

24.2 SPI 系统框图

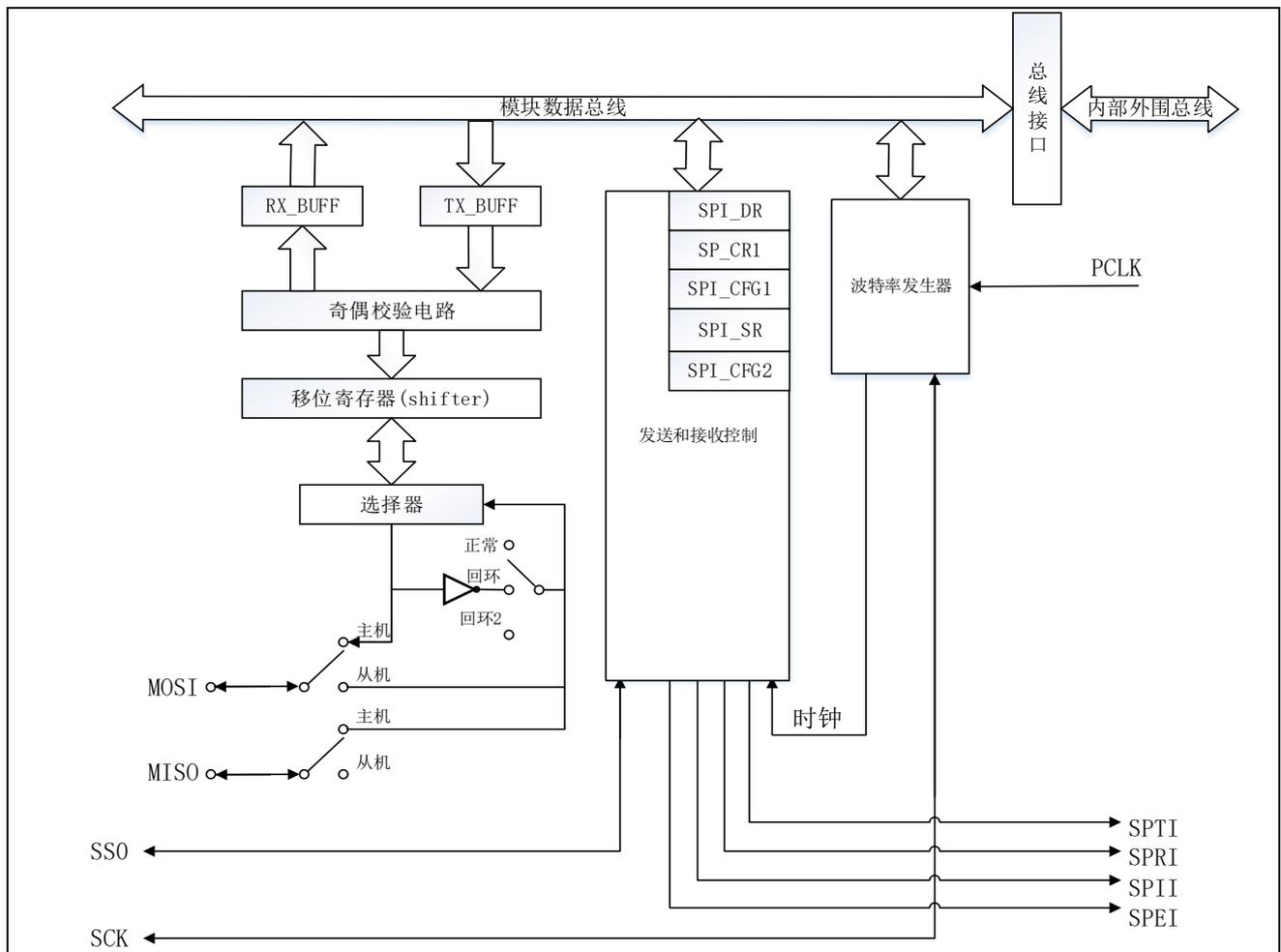


图 24-1 系统框图

24.3 管脚说明

管脚名	端口方向	功能
SCK	输入/输出	通信时钟管脚
MOSI	输入/输出	主机数据传输管脚
MISO	输入/输出	从机数据传输管脚
SS0	输入/输出	从机选择输入/输出管脚

表 24-2 管脚说明

24.4 SPI 动作系统说明

24.4.1 主机模式的管脚状态

SPI 工作在主机模式下时，各个管脚的状态如下表 24-3 所示。

模式		管脚名	管脚状态(PFS.ODS=0)	管脚状态 (PFS.ODS=1)
SPI动作 (SPIMDS=0)	主机模式 (MSTR=1、 MODFE=0)	SCK	CMOS输出	OD输出
		SS0	CMOS输出	OD输出
		MOSI	CMOS输出	OD输出
		MISO	输入	输入
时钟同步运行 (SPIMDS=1)	主机模式 (MSTR=1)	SCK	CMOS输出	OD输出
		SS0 (不使用)	Hi-Z (可作为通用 I/O)	Hi-Z (可作为通用 I/O)
		MOSI	CMOS输出	OD输出
		MISO	输入	输入

表 24-3 主机模式时 SPI 管脚状态说明

注意：

- 当 SS0 输入有效电平时，SPI 让出总线控制权，管脚状态为 Hi-Z。

24.4.2 从机模式的管脚状态

SPI 工作在从机模式下时，各个管脚的状态如下表 24-4 所示。

模式		管脚名	管脚状态(PFS.ODS=0)	管脚状态(PFS.ODS=1)
SPI动作 (SPIMDS=0)	从机模式 (MSTR=0、 MODFE=0)	SCK	输入	输入
		SS0	输入	输入
		MOSI	输入	输入
		MISO	CMOS输出/Hi-Z	OD输出/Hi-Z
时钟同步运行 (SPIMDS=1)	从机模式 (MSTR=0)	SCK	输入	输入
		SS0 (不使用)	Hi-Z (可作为通用 I/O)	Hi-Z (可作为通用 I/O)
		MOSI	输入	输入
		MISO	CMOS输出	OD输出

表 24-4 从机模式时 SPI 管脚状态说明

24.4.3 SPI 系统连接实例

主机模式

在主机-多从机模式的 SPI 系统结构中，主机驱动 SCK、MOSI 和 SS0。在 SPI 从机设备 0~3 中，当某一从机的 SS0 输入为有效电平时，该从机设备驱动 MISO。

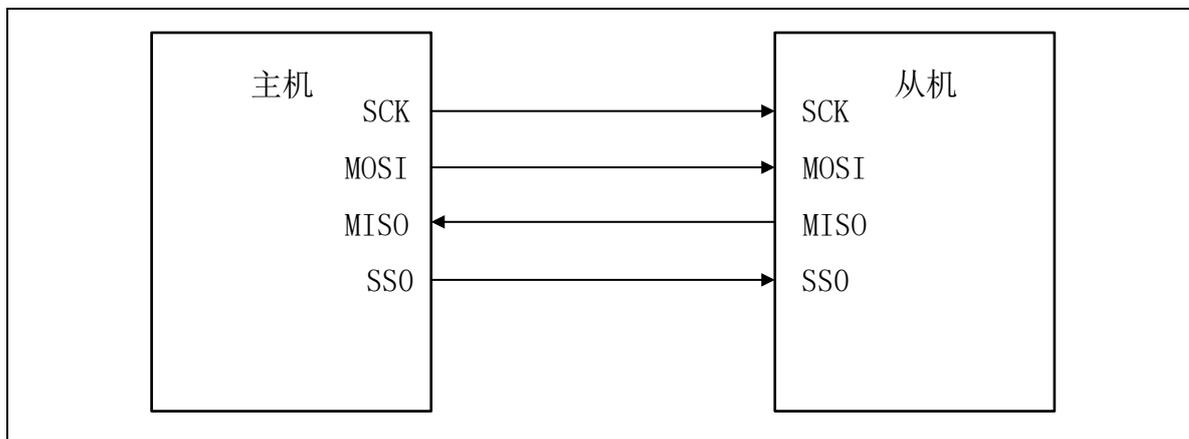


图 24-2 主机模式结构

时钟同步运行

在用作时钟同步运行动作的 SPI 系统结构中，主机设备驱动 SCK 和 MOSI，从机设备驱动 MISO。SS 管脚不作使用。

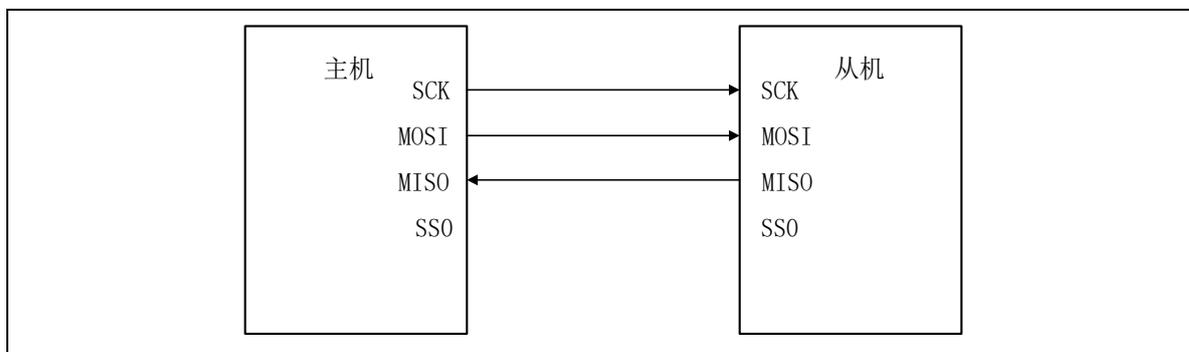


图 24-3 三线式时钟同步运行

24.5 数据通信说明

24.5.1 波特率

主机模式下，SPI 时钟由内部波特率发生器提供；从机模式下，时钟为 SCK 脚输入。波特率取决于 SPI_CFG2.MBR[2:0] 位的设置。其计算方法如下面公式所示，公式中 N 为 MBR[2:0] 位的设定值，范围是 0~7。

$$\text{波特率} = \frac{fpck}{2^{N+1}}$$

MBR[2:0]位的 设定值	分频比	波特率			
		HCLK=5MHz	HCLK=10MHz	HCLK=20MHz	HCLK=40MHz
0	2	2.50Mbps	5.00Mbps	10.0Mbps	20.0Mbps
1	4	1.25Mbps	2.50Mbps	5.00Mbps	10.0Mbps
2	8	625kbps	1.25Mbps	2.50Mbps	5.00Mbps
3	16	313kbps	625kbps	1.25Mbps	2.50Mbps
4	32	156kbps	313kbps	625kbps	1.25Mbps
5	64	78kbps	156kbps	313kbps	625kbps
6	128	39kbps	78kbps	156kbps	313kbps
7	256	20kbps	39kbps	78kbps	156kbps

表 24-5 部分设定值下位速

24.5.2 数据格式

SPI 的数据格式取决于 SPI 命令寄存器 SPI_CFG2 和 SPI 控制寄存器 SPI_CR1 中的奇偶校验许可位 PAE 的设定值。SPI 将数据寄存器 SPI_DR 中从 LSB 位开始 8/16 位（数据长度由寄存器 SPI_CFG2 中的 DSIZE 位设置）的数据作为传送对象进行处理，与 MSB/LSB 移位顺序无关。

SPI_CFG2.DSIZE 决定数据的位宽，位宽范围为 8/16 位，SPI_CR1.PAE 决定数据最末位，PAE 为 1 时最末位作为奇偶校验位，为 0 时则是数据本身最低位。如图 28-4 所示。

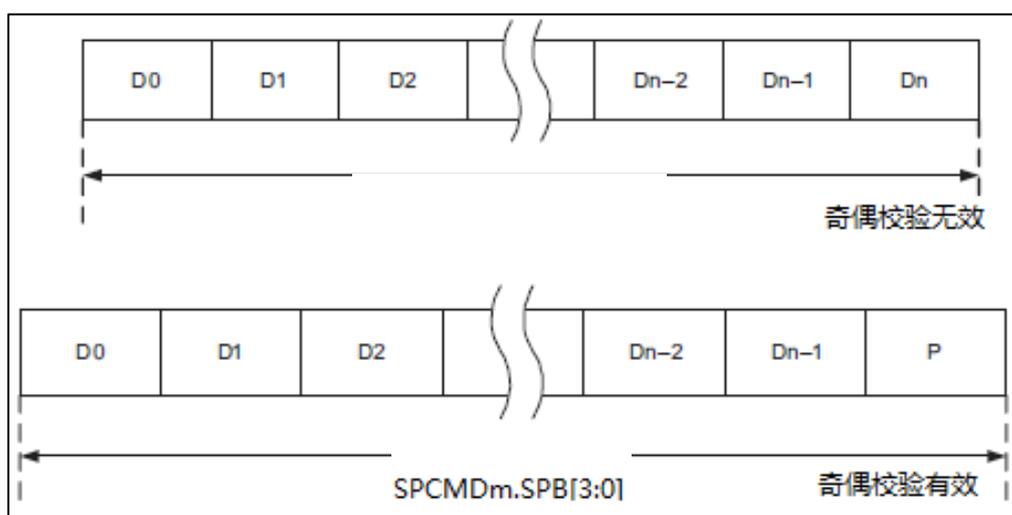


图 24-4 数据格式

SPI 数据发送时，传送数据先进入发送缓冲器（TX_BUFF），再将 TX_BUFF 的数据复制到移位寄存器（shifter），shifter 依次发出数据；SPI 数据接收时，数据从 shifter 依次移入，移入完成后再将 shifter 的数据复制到接收缓冲器（RX_BUFF）。

数据传输时，根据移位顺序控制位 SPI_CFG2.LSBF 和奇偶校验控制位 SPI_CR1.PAE 的设置分为 4 种情况：

1) MSB 先传，奇偶校验无效

发送时，数据 d16~d0 按照顺序从 TX_BUFF 复制到 shifter，按照 d16~d0 的顺序从 shifter 的最高位移出；

接收时，数据 d16~d0 从 shifter 的最低位移入，等到数据全部移入后再将数据复制到 RX_BUFF。

2) LSB 先传，奇偶校验无效

发送时，数据 d16~d0 按照 d0~d16 的顺序从 TX_BUFF 复制到 shifter，按照 d0~d31 的顺序从 shifter 的最高位移出；

接收时，数据 d0~d16 从 shifter 的最低位移入，等到数据全部移入后，按照 d16~d0 的顺序从 shifter 复制到 RX_BUFF。

3) MSB 先传，奇偶校验有效时

发送时，先根据 d16~d1 的值计算出奇偶校验位 P 的值，然后用 P 代替 d0，按照 d16~d1, P 的顺序复制到 shifter，按照 d16~P 的顺序从 shifter 的最高位移出；

接收时，数据 d16~P 从 shifter 的最低位移入，在数据复制到 shifter 时，进行奇偶校验。最后再将数据复制到 RX_BUFF。

4) LSB 先传，奇偶校验有效时

发送时，先根据 d15~d0 的值计算出奇偶校验位 P 的值，然后用 P 代替 d16，按照 d0~P 的顺序从 TX_BUFF 复制到 shifter，按照 d0~P 的顺序从 shifter 的最高位移出；

接收时，数据 d0~P 从 shifter 的最低位移入，在数据复制到 shifter 时，进行奇偶校验。数据 d0~P 在复制时重新排列，按照 P~d0 的顺序复制到 RX_BUFF。

24.5.3 传送格式

1) CPHA=0 的情况

当 SPI_CFG2.CPHA 位为“0”时，SPI 在 SCK 的奇数边沿进行数据采样，偶数边沿进行数据更新。图 24-5 是 CPHA=0 时 SPI 的传送时序图。当 SSi 信号的输入电平变为有效电平时，MOSI/MISO 开始更新传输数据。在 SSi 信号变为有效后的第一个 SCK 信号边沿进行第一次数据采样，在此之后，每过一个 SCK 周期对数据进行一次采样。每次采样后的 1/2 个 SCK 周期时 MOSI/MISO 信号上数据进行更新。CPOL 位的设定值不影响 SCK 信号的运行时序，而只影响信号的极性。

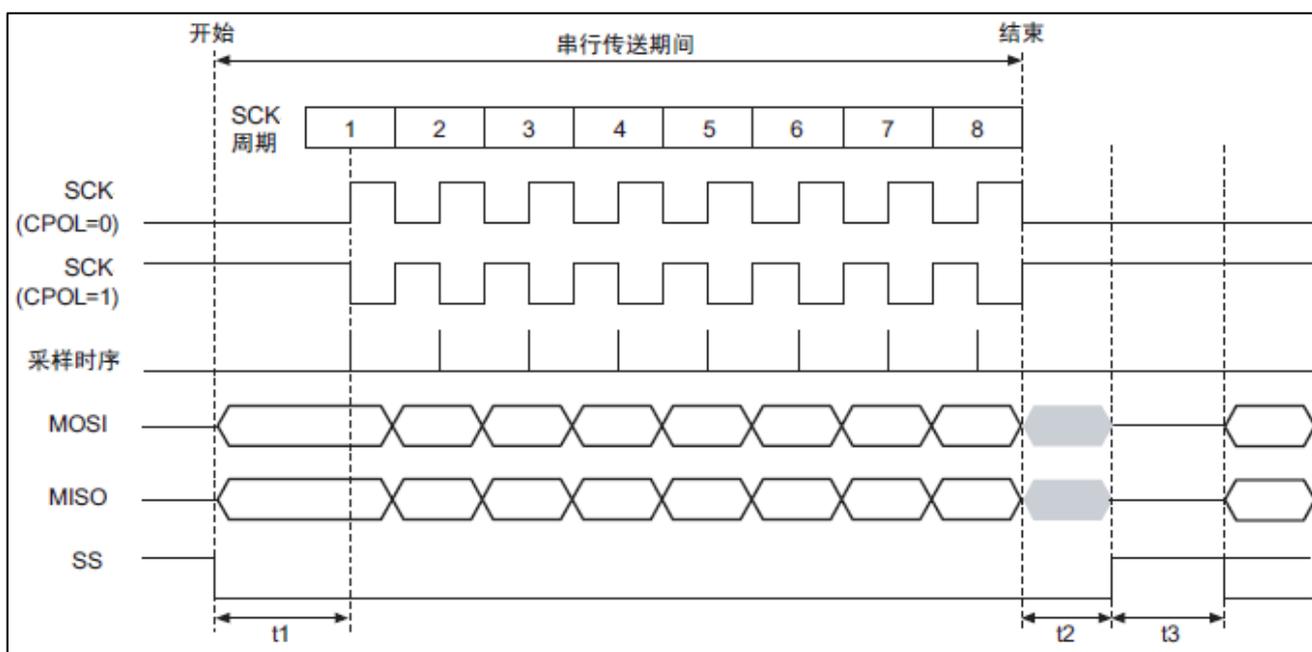


图 24-5 数据传送格式图 (CPHA=0)

2) CPHA=1 的情况

当 SPI_CFG2.CPHA 位为“1”时，SPI 在 SCK 的奇数边沿进行数据更新，偶数边沿进行数据采样。图 24-6 是 CPHA=1 时 SPI 的传送时序图。MOSI/MISO 在 SSi 信号变为有效电平后的第一个 SCK 信号边沿时开始传输数据的更新。在此之后，每过一个 SCK 周期对数据进行一次更新。每次更新后的 1/2 个 SCK 周期时对数据进行采样。SPI_CFG2.CPOL 位的设定值不影响 SCK 信号的运行时序而只影响信号的极性。

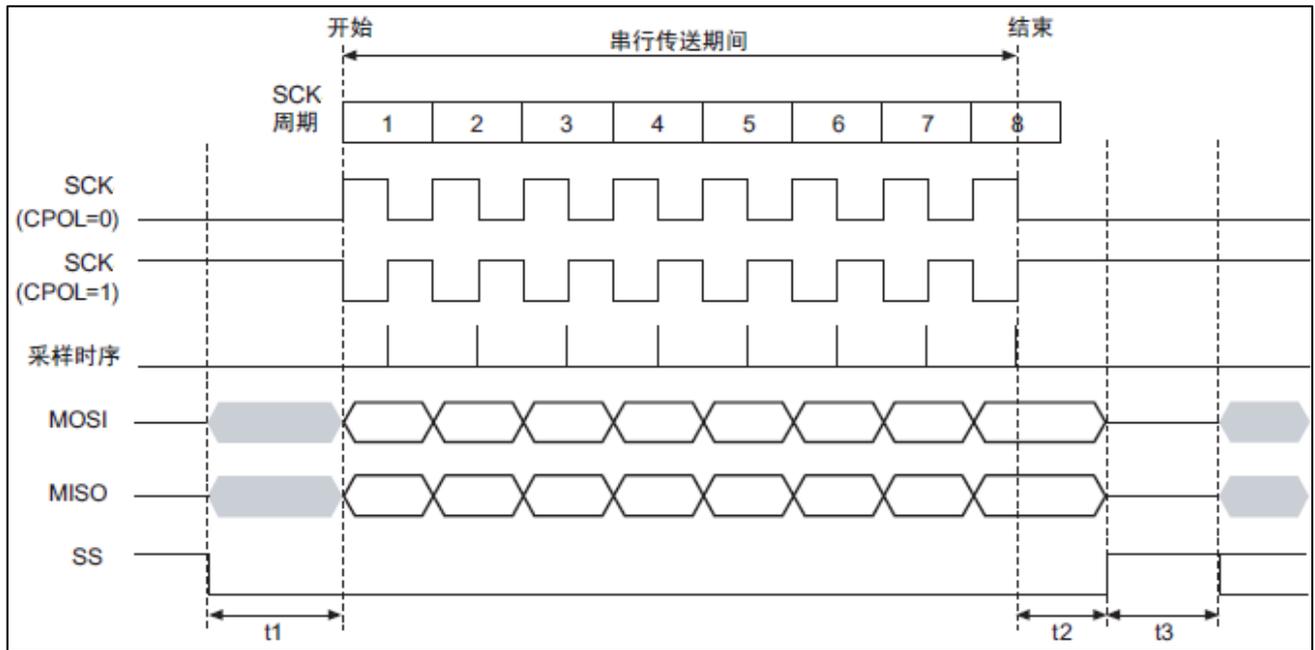


图 24-6 数据传送格式 (CPHA=1)

24.5.4 通信方式

本 SPI 有全双工同步串行通信和只发送串行通信两种通信方式，可通过 SPI 控制寄存器（SPI_CR1）的 TXMDS 位进行选择。

1) 全双工同步串行通信方式

当 SPI_CR1.TXMDS 位为“0”时，SPI 运行在全双工同步串行通信方式。如图 24-7 所示，SPI_CFG2.CPHA 位为“1”并且 SPI_CFG2.CPOL 位为“0”，SPI 进行 8 位串行传送。

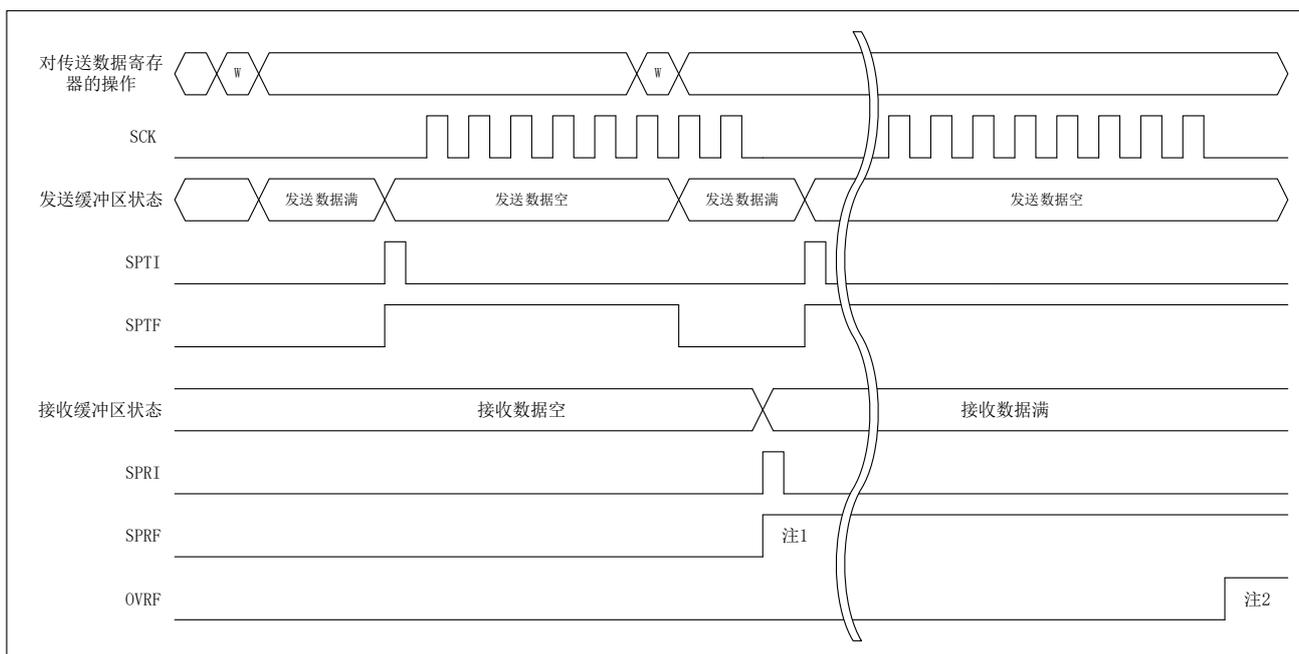


图 24-7 全双工同步串行通信

注：

1. 当本次串行传输结束时，如果接收数据缓冲寄存器为空，SPI 将会把接收到的数据从移位寄存器复制到接收数据缓冲寄存器中，接收数据缓冲寄存器满的标志位被置成 1（RDFF），并产生一个接收数据满的中断请求（SPRI）。
2. 当本次串行传输结束时，如果接收数据缓冲寄存器中还保持着上次收到的数据而没有被系统读取，SPI 会将数据过载标志位置成 1，本次数据接收无效，接收移位寄存器中的数据将被丢弃。

2) 只进行发送通信方式

当 SPI_CR1.TXMDS 位为“1” 时，SPI 运行在只发送通信方式。如图 24-8 所示，SPI_CFG2.CPHA 位为“1” 并且 SPI_CFG2.CPOL 位为“0”，SPI 进行 8 位串行传送。

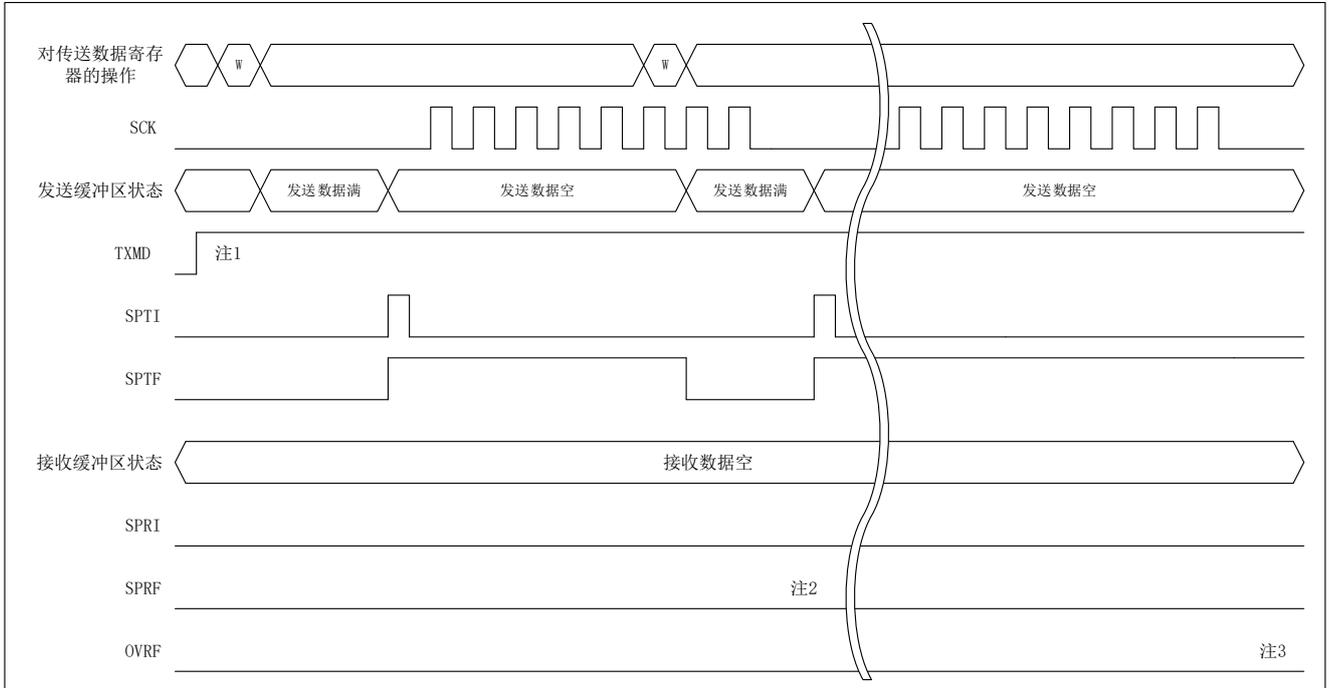


图 24-8 只进行发送通信

注:

1. 在设置进入只发送通信方式之前，请确保接收缓冲寄存器中没有未读取的数据（即 RDRF 为 0）且未出现数据过载错误（即 OVRERF 为 0）。
2. 在只发送通信方式下，当本次串行传输结束时，即使接收数据缓冲寄存器为空，也不会有数据被接受，RDRF 将始终保持 0 的状态。
3. 在只发送通信方式下，由于接收数据缓冲寄存器始终为空，所以不会发生数据过载错误，OVRERF 标志位始终保持 0 的状态。

24.6 运行说明

24.6.1 运行模式概要

本 SPI 支持 4 线式 SPI 模式和 3 线式时钟同步运行模式。每个运行模式下都可作为主机或者从机进行串行通信。设置 SPI 控制寄存器 SPI_CR1 中的 MSTR, MODFE 和 SPIMDS 位设定 SPI 的模式。SPI 的模式和 SPI_CR1 寄存器设定的关系以及各模式概要如表 24-6 所示。

模式	主机 (SPI运行)	从机 (SPI运行)	主机 (时钟同步运行)	从机 (时钟同步运行)
MSTR位的设定	1	0	1	0
SPIMDS位的设定	0	0	1	1
SCK信号	输出	输入	输出	输入
MOSI信号	输出	输入	输出	输入
MISO信号	输入	输出/Hi-Z	输入	输出
SS0信号	输出	输入	Hi-Z (不使用)	Hi-Z (不使用)
SS极性变更功能	有	有	-	-
最大传输速率	~HCLK/2	~HCLK/6	~HCLK/2	~HCLK/6
时钟源	内部波特率发生器	SCK输入	内部波特率发生器	SCK输入
时钟极性	2种	2种	2种	2种
时钟相位	2种	2种	2种	1种 (CHPA=1)
开始传送位	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
传送数据长度	8/16位	8/16位	8/16位	8/16位
传送启动方法	通过发送缓冲器空中断请求, 写发送缓冲器	SS输入有效或 SCK时钟边沿	通过发送缓冲器空中断请求, 写发送缓冲器	SCK振荡
发送缓冲器空检测	有	有	有	有
接收缓冲器满检测	有 (注1)	有 (注1)	有 (注1)	有 (注1)
过载错误检测	有 (注1)	有 (注1)	有 (注1)	有 (注1)
奇偶校验错误检测	有 (注1、注2)	有 (注1、注2)	有 (注1、注2)	有 (注1、注2)
欠载错误检测	有	无	有	无

表 24-6 SPI 模式和寄存器设定关系

注：

1. 当 SPI_CR1.TXMDS 位为“1” 时，不进行接收缓冲器满的检测、过载错误的检测和奇偶校验错误的检测。
2. 当 SPI_CR1.PAE 位为“0” 时，不进行奇偶校验错误的检测。

24.6.2 SPI 运行模式时的主机动作

1) SPI 作为主机时的动作说明

在 SPI 数据发送缓冲寄存器 (TX_BUFF) 为空的状态下 (状态寄存器 SPI_SR 中的 TDEF 标志位为 0)，将数据写到 SPI 数据寄存器 (SPI_DR) 后，SPI 会将 SPI_DR 数据更新至 TX_BUFF 中。此时若移位寄存器 (shifter) 为空，SPI 将 TX_BUFF 的数据复制到移位寄存器开始串行传送。

当发送数据复制到 shifter 后，SPI 将会 shifter 状态改为满状态；当串行传送结束，改为空状态。shifter 的状态无法进行读取。

当 SPI 发送完最后采样时序所需的 SCK 边沿后，本次串行传送结束，结束时间与 SPI_CFG2.CPHA 位无关。在接收缓冲器 (RX_BUFF) 为空的情况下，串行传送结束后 SPI 将 shifter 中的数据复制到 RX_BUFF 中，可通过数据寄存器 SPI_DR 进行读取。

最后的采样时序取决于传送数据的位长，主控模式的 SPI 数据长度取决于 SPI_CFG2.DSIZE 位的设定值，SS 输出引脚的极性取决于 SPI_CFG1 寄存器的设定值。有关 SPI 传送格式的详细内容，请参照 24.5.3 传送格式。

2) SPI 主机模式的初始化

- ① 设置通信配置寄存器 1 (SPI_CFG1)，包括有波特率的设定等。
- ② 设置通信配置寄存器 2 (SPI_CFG2)，包括有 SS 电平设定，数据移位顺序设定，数据格式及时钟极性相位的设定等。
- ③ 如需要使用中断，请设置系统的中断寄存器。
- ④ 如需要使用 DMA，请设置 DMA 的相关寄存器。
- ⑤ 设定输入输出管脚。
- ⑥ 设定 SPI 控制寄存器 SPI_CR1，包括有模式及运行方式的设定，自诊断功能的设定，奇偶校验的设定，和 MOSI 管脚空闲状态的固定置的设定等。
- ⑦ 确认 SPI_CR1 寄存器的设置。
- ⑧ 清除各种标志位。
- ⑨ 设置中断许可位。
- ⑩ 将控制寄存器 SPI_CR1 的 SPE 位设置成 1，动作开始。

24.6.3 SPI 运行模式时的从机动作

1) SPI 作为从机时的动作说明

当 SPI_CFG2.CPHA 位为 0 时，如果 SPI 检测到 SS0 输入信号变为有效电平，就需要开始向 MISO 输出信号驱动有效数据。因此，在 CPHA 位为 0 时，将 SS0 输入信号电平从无效变为有效视为开始串行传送的触发信号。

当 CPHA 位为“1”时，如果在 SS0 输入信号为有效电平的状态下 SPI 检测到最初的 SCK 边沿，就需要开始向 MISO 输出信号驱动有效数据。因此，在 CPHA 位为“1”时，将 SS0 信号处于有效电平状态下的首个 SCK 边沿视为开始串行传送的触发信号。

如果 SPI 在 shifter 为空的状态下检测到串行传送的开始，就将 shifter 改为满状态，并且不能在串行传送过程中将数据从 TX_BUFF 传送到 shifter。如果在开始串行传送前 shifter 已满，SPI 就保持 shifter 的满状态。

如果 SPI 检测到最后采样时序的 SCK 边沿，则本次串行传输结束，结束时间与 SPI_CFG2.CPHA 位无关。在 RX_BUFF 为空的情况下，串行传送结束后 SPI 将 shifter 的接受数据复制到 RX_BUFF。可通过访问 SPI_DR 读取该数据。SPI 在串行传送结束后将 shifter 改为空状态，该状态与 RX_BUFF 的状态无关。

在串行传送期间，如果 SPI 检测到 SS0 输入信号无效，就发生模式故障错误。

最后的采样时序取决于传送数据的位长，从属模式的 SPI 的数据长度取决于 SPI_CFG2.DSIZE 位的设定值，SS0 输入信号的极性取决于 SPI_CFG1.SS0PV 位的设定值。有关 SPI 传送格式的详细内容，请参照 24.5.3 传送格式。

注意：

- 当 SPI_CFG2.CPHA 位为“0”时，将 SS0 输入信号电平从无效变为有效视为开始串行传送的触发信号。由于在单从机模式的结构中 SS0 输入信号被固定为有效状态，此时 SPI 将无法开始正常串行传送。因此，在 SS0 输入信号被固定为有效状态的结构中，要使从机模式的 SPI 正常进行发送和接收，必须将 CPHA 位设置为“1”。如果需要将 CPHA 位设成“0”，则不能固定 SS0 输入信号。

2) SPI 从机模式的初始化

- ① 设定通信配置寄存器 1 (SPI_CFG1)。
- ② 设置通信配置寄存器 2 (SPI_CFG2)，包括有传输速率，数据格式及时钟极性相位的设定等。
- ③ 如需要使用中断，请设置系统的中断寄存器。
- ④ 如需要使用 DMA，请设置 DMA 的相关寄存器。
- ⑤ 设定输入输出管脚。
- ⑥ 设定 SPI 控制寄存器 SPI_CR1，包括有模式及运行方式的设定，自诊断功能的设定，奇偶校验的设定，和 MOSI 管脚空闲状态的固定置的设定等。
- ⑦ 确认 SPI_CR1 寄存器的设置。
- ⑧ 清除各种标志位。
- ⑨ 设置中断许可位。
- ⑩ 将控制寄存器 SPI_CR1 的 SPE 位设置成 1，动作开始。

24.6.4 时钟同步运行模式中的主机动作

当 SPI 控制寄存器 SPI_CR1 中的 SPIMDS 位为 1 时，SPI 处于时钟同步运行模式。在该模式动作时，SPI 只使用 SCK、MOSI 和 MISO 这 3 个管脚进行通信，SS0 管脚被释放可用于普通 I/O 功能。

尽管时钟同步运行模式时不使用 SS0 管脚，但模块内部的运行和 SPI 运行模式是相同的。但由于没有了 SS0 的输入，所以检测不到模式故障错误。

1) SPI 作为主机时的动作说明

在 SPI 数据发送缓冲寄存器 (TX_BUFF) 为空的状态下 (状态寄存器 SPI_SR 中的 TDEF 标志位为 1)，将数据写到 SPI 数据寄存器 (SPI_DR) 后，SPI 会将 SPI_DR 数据更新至 TX_BUFF 中。此时若移位寄存器 (shifter) 为空，SPI 将 TX_BUFF 的数据复制到移位寄存器开始串行传送。

当发送数据复制到 shifter 后，SPI 将会 shifter 状态改为满状态；当串行传送结束，改为空状态。shifter 的状态无法进行读取。

当 SPI 发送完最后采样时序所需的 SCK 边沿后，本次串行传送结束，结束时间与 SPI_CFG2.CPHA 位无关。在接收缓冲器 (RX_BUFF) 为空的情况下，串行传送结束后 SPI 将 shifter 中的数据复制到 RX_BUFF 中，可通过数据寄存器 SPI_DR 进行读取。

最后的采样时序取决于传送数据的位长，主控模式的 SPI 数据长度取决于 SPI_CFG2.DSIZE 位的设定值，SS 输出引脚的极性取决于 SPI_CFG1 寄存器的设定值。有关 SPI 传送格式的详细内容，请参照 24.5.3 传送格式。

2) 时钟同步运行模式时主机的初始化设置

- ① 设置通信配置寄存器 1 (SPI_CFG1)，包括有波特率的设定等。
- ② 设置通信配置寄存器 2 (SPI_CFG2)，包括有数据移位顺序设定，数据格式及时钟极性相位的设定等。
- ③ 如需要使用中断，请设置系统的中断寄存器。
- ④ 如需要使用 DMA，请设置 DMA 的相关寄存器。
- ⑤ 设定输入输出管脚。
- ⑥ 设定 SPI 控制寄存器 SPI_CR1，包括有模式及运行方式的设定，自诊断功能的设定，奇偶校验的设定，和 MOSI 管脚空闲状态的固定置的设定等。
- ⑦ 确认 SPI_CR1 寄存器的设置。
- ⑧ 清除各种标志位。
- ⑨ 设置中断许可位。
- ⑩ 将控制寄存器 SPI_CR1 的 SPE 位设置成 1，动作开始。

24.6.5 时钟同步运行模式中的从机动作

1) SPI 作为从机时的动作说明

当 SPI_CFG2.CPHA 位为 0 时，需要 SPI 检测到 SS0 输入信号变为有效电平作为开始串行通信的触发信号。由于时钟同步运行模式下不使用 SS0 管脚，因此，在 CPHA 位为 0 时无法进行正常通信。

当 CPHA 位为“1”时，如果在 SS0 输入信号为有效电平的状态下 SPI 检测到最初

的 SCK 边沿，就需要开始向 MISO 输出信号驱动有效数据。因此，在 CPHA 位为“1”时，将 SS0 信号处于有效电平状态下的首个 SCK 边沿视为开始串行传送的触发信号。

如果 SPI 在 shifter 为空的状态下检测到串行传送的开始，就将 shifter 改为满状态，并且不能在串行传送过程中将数据从 TX_BUFF 传送到 shifter。如果在开始串行传送前 shifter 已满，SPI 就保持 shifter 的满状态。

如果 SPI 检测到最后采样时序的 SCK 边沿，则本次串行传输结束。在 RX_BUFF 为空的情况下，串行传送结束后 SPI 将 shifter 的接受数据复制到 RX_BUFF。可通过访问 SPI_DR 读取该数据。SPI 在串行传送结束后将 shifter 改为空状态，该状态与 RX_BUFF 的状态无关。

最后的采样时序取决于传送数据的位长，从属模式的 SPI 的数据长度取决于 SPI_CFG2.DSIZE 位的设定值。

2) 时钟同步运行模式时从机的初始化设置

- ① 设定通信配置寄存器 1 (SPI_CFG1)。
- ② 设置通信配置寄存器 2 (SPI_CFG2)，包括有传输速率，数据格式及时钟极性相位的设定等。
- ③ 如需要使用中断，请设置系统的中断寄存器。
- ④ 如需要使用 DMA，请设置 DMA 的相关寄存器。
- ⑤ 设定输入输出管脚。
- ⑥ 设定 SPI 控制寄存器 SPI_CR1，包括有模式及运行方式的设定，自诊断功能的设定，奇偶校验的设定，和 MOSI 管脚空闲状态的固定置的设定等。
- ⑦ 确认 SPI_CR1 寄存器的设置。
- ⑧ 清除各种标志位。
- ⑨ 设置中断许可位。
- ⑩ 将控制寄存器 SPI_CR1 的 SPE 位设置成 1，动作开始。

24.6.6 几种 SPI 动作的处理流程

1) SPI 作为主机时的数据传送处理流程

- ① 等待数据发送缓冲寄存器空的中断或通过轮询方式确认数据发送缓冲寄存器处于空状态。
- ② 向数据寄存器 SPI_DR 写入要发送的数据。
- ③ 重复①②步骤直到最后一个数据发送完成。
- ④ 将发送数据寄存器空中断的允许位 TXIE 清零，同时将 SPI 闲置状态中断允许位 IDIE 设为 1
- ⑤ 发送 SPI 闲置状态中断。
- ⑥ 将 SPE 置 0，停止 SPI 动作，同时将 IDIE 清零。

2) 数据接收处理流程

- ① 等待数据接收缓冲寄存器满的中断或者通过轮询方式确认数据接收缓冲寄存器处于满状态。
- ② 通过访问 SPI_DR 从接收缓冲寄存器读取数据。
- ③ 重复①②步骤直到最后一个接收数据被读取。
- ④ 将数据接收缓冲寄存器满的中断允许位 RXIE 清零。

3) 通信错误处理流程

- ① 等待通信错误中断或者通过轮询方式确认通信错误标志位被置成 1。
可轮询的错误标志位有：MODFERF/OVRERF/UDRERF/PERF。
- ② 确认 SS0 状态，排除模式故障错误。
- ③ 将 SPE 清零，停止 SPI 动作。
- ④ 将所有 SPI 中断允许位清零，屏蔽 SPI 中断。
- ⑤ 通过错误标志位确定通信错误种类，进行通讯错误处理。
- ⑥ 将错误标志位清零。
- ⑦ 启动 SPI，重新开始通信。

24.7 奇偶校验位自诊断

奇偶校验电路由传输数据的奇偶校验位和接收数据的错误检测部分构成。可按照下图所示流程使用自诊断功能对奇偶校验电路进行故障诊断。

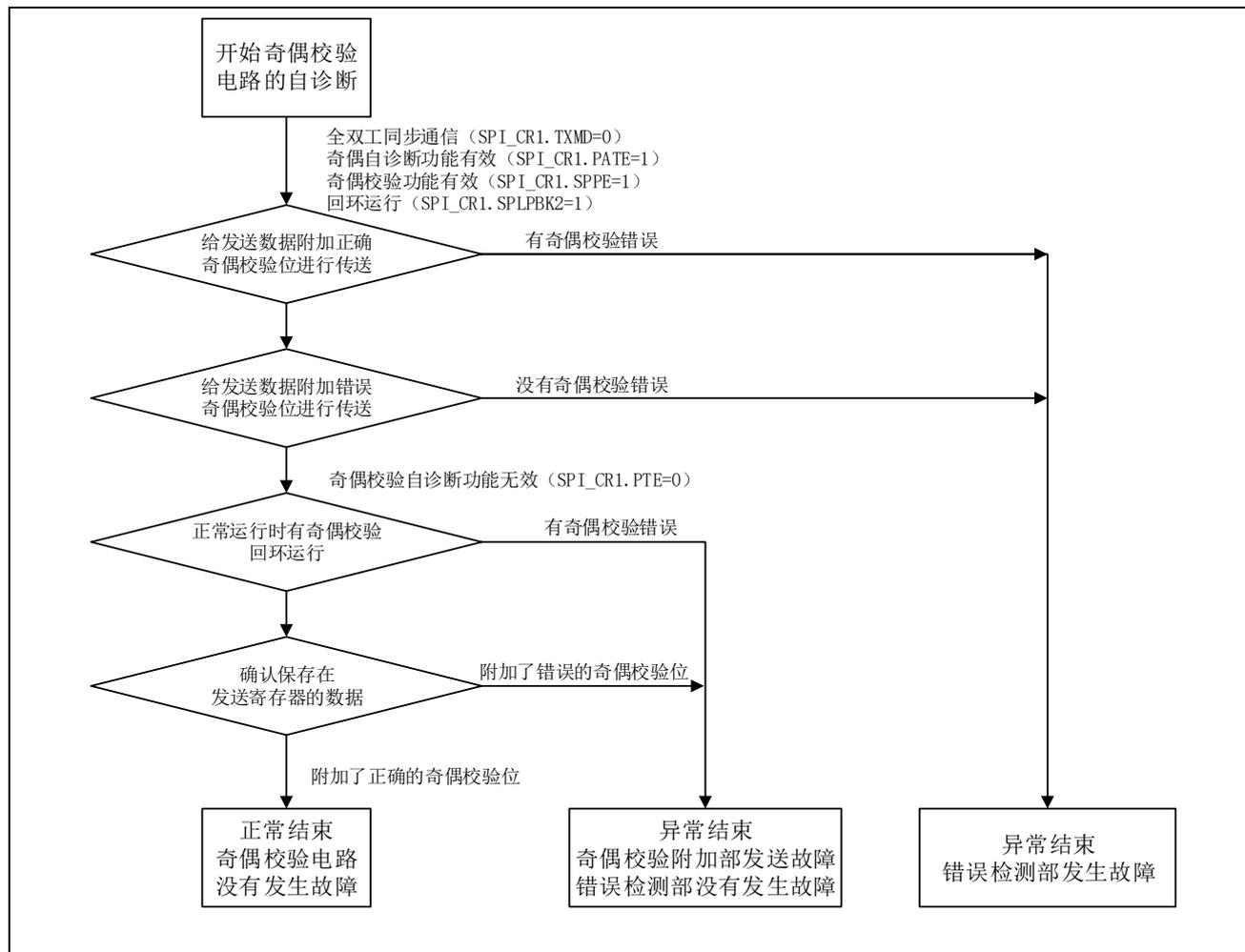


图 24-9 奇偶校验流程

24.8 错误检测

在正常的 SPI 串行传送中，系统通过对 SPI_DR 寄存器写操作进行数据串行发送，通过对 SPI_DR 寄存器的读操作获得串行接收的数据。但由于发送/接收缓冲器的状态以及串行传送开始/结束时的 SPI 的状态，某些情况下有可能会发生异常传送。当异常传送发生时，SPI 会将此次传输检测为欠载错误、过载错误、奇偶校验错误或者模式故障错误。异常传送和 SPI 错误检测的对应关系如下表 24-7 所示。

序号	发生条件	SPI运行	检测错误
①	在发送缓冲器满的状态下写SPI_DR寄存器	<ul style="list-style-type: none"> 保持发送缓冲器内容 写数据丢失 	无
②	在接收缓冲器为空的状态下读SPI_DR寄存器	输出上次的串行接收数据	无
③	在从机模式中，发送数据未转移到移位寄存器的状态下开始串行传送	<ul style="list-style-type: none"> 中止串行传输 丢失发送和接收数据 停止驱动MISO输出信号 停止SPI功能 	欠载错误
④	在接收缓冲器满的状态下结束串行传送	<ul style="list-style-type: none"> 保持接收缓冲器内容 接收数据丢失 	过载错误
⑤	在进行全双工同步串行通信，并且奇偶校验功能有效的状态下，接收到错误的奇偶校验位	奇偶校验错误标志有效	奇偶校验错误

表 24-7 错误检测对应表

①描述的情况，SPI 不发生检测错误。为防止在写数据到 SPI_DR 寄存器的过程中发生数据遗漏，必须通过发送缓冲器空的中断把数据写入 SPI_DR 寄存器。同理，②的情况下，SPI 也不发生检测错误。为防止无关数据被读入，SPI_DR 的数据读取必须通过接收寄存器满的中断请求来进行。

24.8.1 欠载错误

MSTR 位为 0 时，SPI 以从机状态运行，如果 SPE 置为 1 时，传送数据还未准备好，则 SPI 发生欠载错误，SPI_SR.MODFERF 和 SPI_SR.UDRERF 标志将被置为 1。

当检测到欠载错误后，SPI 将停止驱动信号输出，同时把 SPI_CR1.SPE 置为 0。

监测欠载错误可通过直接访问 SPI_SR 寄存器，或者使用 SPI 错误中断读取 SPI_SR 等方式进行。如果不使用错误中断，请使用轮询方式来监测欠载错误。

当 SPI_SR.MODFERF 为 1 时，系统禁止对 SPE 位写 1。要将 SPI_CR1.SPE 置成 1 使能 SPI 功能必须先将 MODFERF 标志清零。

24.8.2 过载错误

如果在接收缓冲器满的状态下结束串行传送，SPI 发生过载错误，SPI_SR.OVRERF 标志被置成 1。因为在 OVRERF 标志为 1 的状态下 SPI 不会把移位寄存器的数据复制到接收缓冲器，所以接收缓冲器中保存的是发生错误前的接收数据。要将 OVRERF 标志置 0 时，需要在 OVRERF 标志为 1 的状态下读 SPI_SR 寄存器后才能给 OVRERF 标志写“0”。

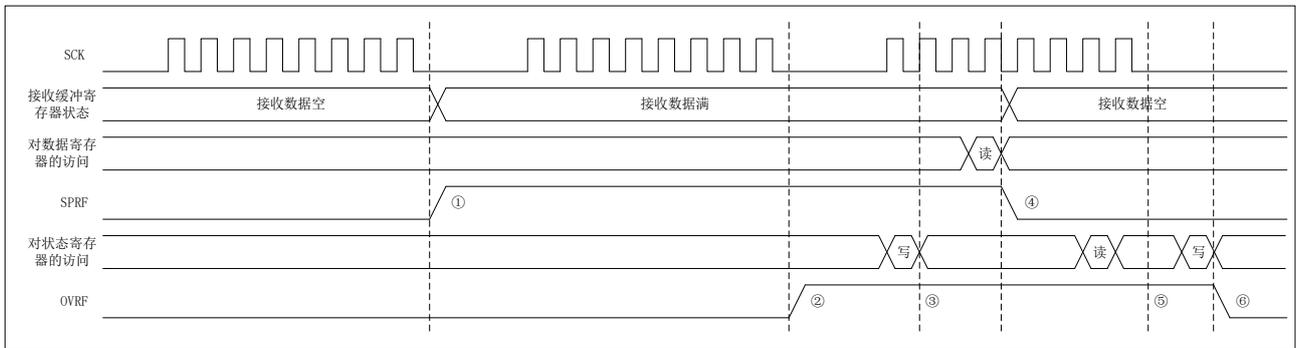


图 24-10 过载错误处理

24.8.3 奇偶校验错误

在 SPI_CR1.TXMDS 位为“0”并且 SPI_CR1.PAE 位为“1”的状态下，SPI 将在全双工同步串行通信结束时进行奇偶校验。当 SPI 检测到接收数据有奇偶校验错误时，将 SPI_SR.PERF 标志置 1。在 SPI_SR.OVRERF 位为“1”的状态下，因为 SPI 不会将移位寄存器的数据复制到接收缓冲器，所以不对接收数据进行奇偶校验错误的检测。

要将 PERF 标志清零时，需要在 PERF 标志为 1 的状态下读 SPI_SR 寄存器后再给 PERF 标志写 0。

OVRERF 标志和 PERF 标志的运行实例如下图 24-11 所示。在图中的例子中，SPI 在 SPI_CR1.TXMDS 位为 0 并且 SPI_CR1.PAE 位为 1 的状态下进行全双工同步串行通信的 8 位串行传送。

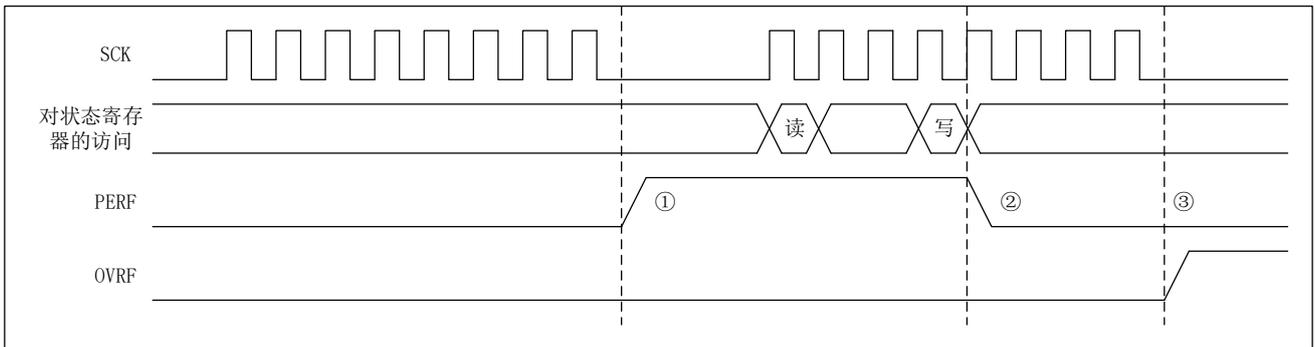


图 24-11 奇偶校验错误

以下说明在图中①~③所示的时序中标志的运行内容：

- ① SPI 未检测到过载错误，串行传送正常结束。SPI 将移位寄存器的数据复制到接收缓冲器。此时，SPI 对接收数据进行奇偶校验。如果检测到奇偶校验错误，则将 PERF 标志置 1。
- ② 在 PERF 标志为 1 的状态下读 SPI_SR 寄存器后给 PERF 标志写 0，将 PERF 标志清零。
- ③ SPI 检测到过载错误，此时 SPI 不会将移位寄存器的数据复制到接收缓冲器，SPI 不会对数据进行奇偶校验，不会发生奇偶校验错误。

可通过直接访问 SPI_SR 寄存器或者经 SPI 错误中断读取 SPI_SR 寄存器等方式监测奇偶校验错误的发生。在进行串行传送时，必须通过访问状态寄存器 SPI_SR 等方法，尽早监测到奇偶校验错误的发生。

24.9 SPI 的初始化

通过写操作或者模式故障错误检测将 SPE 位清零，可以使 SPI 功能无效并且对部分 SPI 功能进行初始化。如果发生系统复位，则对全部 SPI 功能进行初始化。

24.9.1 清除 SPE 位进行初始化

当 SPI_CR1.SPE 位为 0 时，SPI 进行以下的初始化操作：

- 中止正在进行的串行传送。
- 若处于从机状态则停止驱动输出信号（状态变为 Hi-Z）。
- 对 SPI 内部状态进行初始化。
- 清空发送缓冲寄存器，SPI_SR.TDEF 标志置为 1。

通过将 SPE 位清零来进行初始化时，不会对 SPI 的控制位进行初始化。因此，只要重新将 SPE 位置为 1，就能以和初始化前相同的传送模式启动 SPI。

清除 SPE 位不会对错误标志位和序列状态进行初始化。因此，在即使在 SPE 被清零以后，也能通过读取接收缓冲器的数据来确认 SPI 传送时的错误发生状况。

由于清除 SPE 位会清空发送缓冲寄存器，并将 SPI_SR.TDEF 标志置为 1。因此，如果在初始化后将 SPI_CR1.TXIE 位设成 1，就会产生 SPI 发送缓冲寄存器为空的中断。要避免系统发生此中断，必须在将 SPE 位清零的同时也将 TXIE 位设成 0。

24.9.2 系统复位初始化

通过系统复位进行初始化，将对 SPI 所有的控制位、状态位和数据寄存器进行初始化。

24.10 中断源

SPI 的中断源有接收缓冲器满、发送缓冲器空、模式故障、过载、欠载、奇偶校验错误和 SPI 空闲。其中接收缓冲器满和发送缓冲器空中断可用于启动 DMA 进行数据传送。

过载、欠载和奇偶校验错误的中断被集成为 SPI 错误中断 SPEI，所以需要通过标志判断实际发生的中断源。SPI 中断源的具体说明如表 24-8 所示。一旦中断条件成立，就产生相应的中断请求。

对于接收缓冲器满和发送缓冲器空的中断源，需要通过数据传送改变缓冲器状态来清除。在使用 DMA 进行发送或者接收时，必须先进行 DMA 的配置，DMA 设为动作许可的状态后再设定 SPI。

中断源	略称	中断条件	启动DMA
接收缓冲器满	SPRI	在SPI_CR1.RXIE位为“1”的状态下接收缓冲器变满时	能
发送缓冲器空	SPTI	在SPI_CR1.TXIE位为“1”的状态下发送缓冲器变空时	能
SPI错误（过载、欠载、奇偶校验错误）	SPEI	在SPI_CR1.EIE位为“1”的状态下SPI_SR.OVRERF 和 SPI_SR.PERF标志变为“1”时	不能
SPI空闲中断	SPII	在SPI_CR1.IDIE位为“1”的状态下IDLF标志变为“0”时	不能

表 24-8 SPI 中断源说明

24.11 可供使用的事件触发源

SPI 产生的可供使用的事件触发源主要有以下几种：

- 数据发送缓冲寄存器空
- 数据接收缓冲寄存器满
- SPI 通信错误（包括过载，欠载，奇偶校验等错误）
- SPI 处于闲置状态
- SPI 通讯结束

用户可将上述事件触发源对应的向量写入不同的触发对象寄存器实现各种事件触发功能。

上述事件触发源对应的向量请参考中断控制器（INTC）。

24.12 寄存器说明

寄存器一览

寄存器基准地址：0x4000 3800

寄存器名	偏移地址	复位值
SPI数据寄存器SPIDR	0x00	0x0000 0000
SPI控制寄存器SPICR	0x04	0x0000 0000
SPI配置寄存器1 SPICFG1	0x0C	0x0000 0000
SPI状态寄存器SPISR	0x14	0x0000 0020
SPI配置寄存器2 SPICFG2	0x18	0x0000 011d

24.12.1 SPI 数据寄存器 (SPI_DR)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24
-							
b23	b22	b21	b20	b19	b18	b17	b16
-							
b15	b14	b13	b12	b11	b10	b9	b8
SPD[15:8]							
b7	b6	b5	b4	b3	b2	b1	b0
SPD[7:0]							

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15~b0	SPD[15:0]	串行数据	SPI数据存储	R/W

24.12.2 SPI 控制寄存器 (SPI_CR1)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24
—	—	—	—	—	—	—	—
b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—
b15	b14	b13	b12	b11	b10	b9	b8
PAE	PAOE	PATE	MODFE	IDIE	RXIE	TXIE	EIE
b7	b6	b5	b4	b3	b2	b1	b0
—	SPE	SPLPBK2	SPLPBK	MSTR	—	TXMDS	SPIMDS

位	标记	位名	功能	读写
b31~b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15	PAE	奇偶校验允许	0: 发送数据不附加奇偶校验位,接收数据不进行奇偶校验 1: 发送数据附加奇偶校验位,接收数据进行奇偶校验 (SPCR.TXMDS=0) 发送数据附加奇偶校验位,接收数据不进行奇偶校验 (SPCR.TXMDS=1)	R/W
b14	PAOE	奇偶校验模式选择	0: 选择偶校验进行发送和接收 1: 选择奇校验进行发送和接收	R/W
b13	PATE	奇偶校验自诊断	0: 奇偶校验自诊断功能无效 1: 奇偶校验自诊断功能有效	R/W
b12	MODFE	模式故障错误检测允许	0: 禁止模式故障错误检测 1: 允许模式故障错误检测	R/W
b11	IDIE	SPI空闲中断允许	0: 禁止空闲中断请求产生 1: 允许空闲中断请求产生	R/W
b10	RXIE	SPI接收中断允许	0: 禁止SPI接收中断请求产生 1: 允许SPI接收中断请求产生	R/W
b9	TXIE	SPI发送中断允许	0: 禁止SPI发送中断请求产生 1: 允许SPI发送中断请求产生	R/W
b8	EIE	SPI错误中断允许	0: 禁止SPI错误中断请求产生 1: 允许SPI错误中断请求产生	R/W
b7	Reserved	-	读出时为“0”,写入时写“0”	R/W
b6	SPE	SPI功能允许	0: SPI功能无效 1: SPI功能有效	R/W
b5	SPLPBK2	SPI回环2位	0: 正常模式 1: 回环模式(发送数据=接收数据)	R/W
b4	SPLPBK	SPI回环位	0: 正常模式 1: 回环模式(发送数据的反相=接收数据)	R/W

b3	MSTR	SPI主从模式选择	0: 从机模式 1: 主机模式	R/W
b2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1	TXMDS	通信模式选择	0: 全双工同步串行通信 1: 只进行发送串行通信	R/W
b0	SPIMDS	SPI模式选择	0: SPI运行(4线式) 1: 时钟同步运行(3线式)	R/W

24.12.3 SPI 通信配置寄存器 1 (SPI_CFG1)

复位值: 0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24
—							
b23	b22	b21	b20	b19	b18	b17	b16
—							
b15	b14	b13	b12	b11	b10	b9	b8
—							SS0PV
b7	b6	b5	b4	b3	b2	b1	b0
—							

位	标记	位名	功能	读写
b31~b9	Reserved	—	读出时为“0”,写入时写“0”	R/W
b8	SS0PV	SS0信号极性设定	0: SS0信号的Low电平有效 1: SS0信号的High电平有效	R/W
b7~b0	Reserved	—	读出时为“0”,写入时写“0”	R/W

24.12.4 SPI 状态寄存器 (SPI_SR)

复位值: 0x0000 0020

b31	b30	b29	b28	b27	b26	b25	b24
—	—	—	—	—	—	—	—
b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—
b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	—	—	—	—	—
b7	b6	b5	b4	b3	b2	b1	b0
RDF	—	TDEF	UDRERF	PERF	MODFERF	IDLNF	OVRERF

位	标记	位名	功能	读写
b31~b8	Reserved	-	读出时为“0”,写入时写“0”	R/W
b7	RDF (注1)	接收缓冲器满标志	0: SPI_DR寄存器无数据 1: SPI_DR寄存器有数据	R/W
b6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5	TDEF (注1)	发送缓冲器空标志	0: 发送缓冲器有数据 1: 发生缓冲器无数据	R/W
b4	UDRERF (注1)	欠载错误标志	0: 模式故障错误发生 (MODFERF=1) 1: 欠载错误发生 (MODFERF=1) 当MODFERF=0, 此位被初始化	R/W
b3	PERF (注1)	奇偶校验错误标志	0: 未发生奇偶校验错误 1: 发生奇偶校验错误	R/W
b2	MODFERF (注1)	模式故障错误标志	0: 未发送模式故障错误 1: 发生模式故障错误	R/W
b1	IDLNF (注1)	SPI空闲标志	0: SPI为空闲状态 1: SPI为传送状态	R
b0	OVRERF (注1)	过载错误标志	0: 未发生过载错误 1: 发生过载错误	R/W

注 1:

- 在读取 1 的状态后, 只能写入 0.

24.12.5 SPI 通信配置寄存器 2 (SPI_CFG2)

复位值: 0x0000 011d

b31	b30	b29	b28	b27	b26	b25	b24
—	—	—	—	—	—	—	—
b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—
b15	b14	b13	b12	b11	b10	b9	b8
—	—	—	LSBF	—	—	—	DSIZE
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MBR[2:0]			CPOL	CPHA

位	标记	位名	功能	读写
b31~b13	Reserved	-	读出时为“0”,写入时写“0”	R/W
b12	LSBF	SPI LSB first 位	0: MSB first 1: LSB first	R/W
b11~b9	Reserved	-	读出时为“0”,写入时写“0”	R/W
b8	DSIZE	SPI数据长度设定位	0: 8 bit 1: 16 bit	R/W
b7~b5	Reserved	-	读出时为“0”,写入时写“0”	R/W
b4~b2	MBR[2:0]	位速率分频设定位	b4~b2 0 0 0: 选择基本位速率的2分频 0 0 1: 选择基本位速率的4分频 0 1 0: 选择基本位速率的8分频 0 1 1: 选择基本位速率的16分频 1 0 0: 选择基本位速率的32分频 1 0 1: 选择基本位速率的64分频 1 1 0: 选择基本位速率的128分频 1 1 1: 选择基本位速率的256分频	R/W
b1	CPOL	SCK极性设定位	0: 空闲时的SCK为Low电平 1: 空闲时的SCK为High电平	R/W
b0	CPHA	SCK相位设定位	0: 在奇数边沿进行数据采样, 在偶数边沿数据发生变化 1: 在奇数边沿数据发生变化, 在偶数边沿进行数据采样	R/W

25 CRC 运算 (CRC)

25.1 简介

在许多应用中，都需要 CRC 算法来校验数据的完整性和正确性。尤其是在数据传输中，CRC 校验更是被广泛应用。本模块可采用 CRC16 和 CRC32 两种算法对数据进行运算和校验。

25.2 功能框图

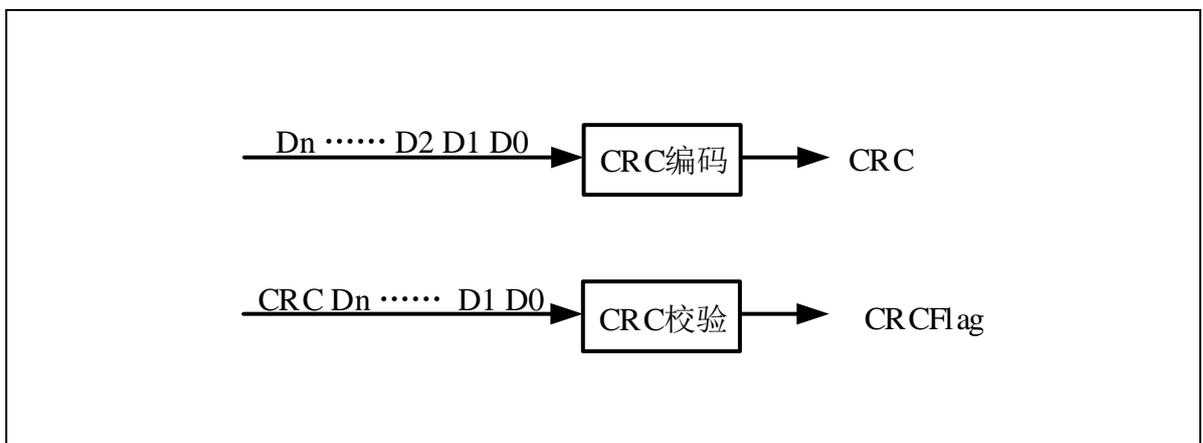


图 25-1 CRC 应用示意图

25.3 功能说明

本模块 CRC 算法遵从 ISO/IEC13239 的定义，分别采用 32 位和 16 位的 CRC。CRC32 的生成多项式为 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$ ，32 位初值为"0xFFFFFFFF"。CRC16 的生成多项式为 $X^{16}+X^{12}+X^5+1$ ，16 位初值为"0xFFFF"。

本模块功能包括：

- CRC 编码和 CRC 校验；
- 3 种位宽访问方式 8 位，16 位，32 位：
 8 位位宽下输入数据示例为 0x00,0x11,0x22,0x33,0x44,0x55,0x66,0x77;
 16 位位宽下输入数据示例为 0x1100,0x3322,0x5544,0x7766;
 32 位位宽下输入数据示例为 0x33221100,0x77665544;

25.3.1 CRC16 编码模式

CRC 编码就是对原始数据编码以计算其 CRC 值，操作流程如下：

1. 向 CRC_CR.CR 写入 1'b0，选择 CRC16。
2. 向 CRC_RESULT[15:0]写入 0xFFFF，初始化 CRC 计算。
3. 将待编码的原始数据按 8 位/16 位/32 位组织方式，依次写入 CRC_DAT 寄存器。
 注：按 8 位组织方式写 CRC 值，应先写低位，后写高位。
4. 读取 CRC_RESULT[15:0]，即可获得 16 位 CRC 编码值。

25.3.2 CRC16 校验模式

校验模式可以校验已编码的数据是否被篡改，操作流程如下所示：

1. 向 CRC_CR.CR 写入 1'b0，选择 CRC16。
2. 向 CRC_RESULT[15:0]写入 0xFFFF，初始化 CRC 计算。
3. 将已编码的数据按 8 位/16 位/32 位组织方式，依次写入 CRC_DAT 寄存器。
 注：按 8 位组织方式写 CRC 值，应先写低位，后写高位。将 16/32 位的 CRC 编码值写入 CRC_DAT 寄存器。
4. 读取 CRC_CR.FLG 寄存器，为 1 则表示校验成功，为 0 则表示校验失败。

25.3.3 CRC32 编码模式

CRC 编码就是对原始数据编码以计算其 CRC 值，操作流程如下：

1. 向 CRC_CR.CR 写入 1'b1，选择 CRC32。
2. 向 CRC_RESULT[31:0]写入 0xFFFF_FFFF，初始化 CRC 计算。
3. 将待编码的原始数据按 8 位/16 位/32 位组织方式，依次写入 CRC_DAT 寄存器。
注：按 8 位组织方式写 CRC 值，应先写低位，后写高位。
4. 读取 CRC_RESULT[31:0]，即可获得 16 位 CRC 编码值。

25.3.4 CRC32 校验模式

校验模式可以校验已编码的数据是否被篡改，操作流程如下所示：

1. 向 CRC_CR.CR 写入 1'b1，选择 CRC32。
2. 向 CRC_RESULT[31:0]写入 0xFFFF_FFFF，初始化 CRC 计算。
3. 将已编码的数据按 8 位/16 位/32 位组织方式，依次写入 CRC_DAT 寄存器。
注：按 8 位组织方式写 CRC 值，应先写低位，后写高位。将 16/32 位的 CRC 编码值写入 CRC_DAT 寄存器。
4. 读取 CRC_CR.FLG 寄存器，为 1 则表示校验成功，为 0 则表示校验失败。

25.4 寄存器说明

表 25-1 所示，为 CRC 模块的寄存器列表。

CRC_BASE_ADDR: 0x40015400

寄存器名	符号	偏移地址	位宽	复位值
CRC控制寄存器	CRC_CR	0x00	32	0x0000_0001
CRC结果寄存器	CRC_RESLT	0x04	32	0x0000_0000
CRC数据寄存器	CRC_DAT	0x80~0xFF	32	0x0000_0000

表 25-1 CRC 寄存器列表

25.4.1 控制寄存器（CRC_CR）

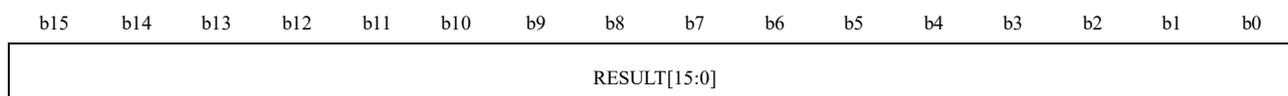
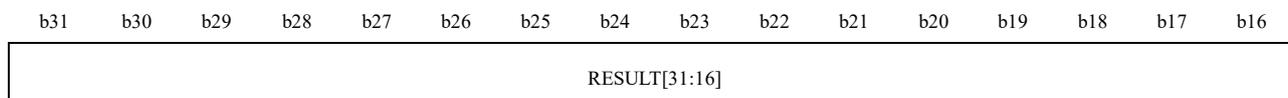
复位值：0x0001

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Reserved															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved														FLAG	CR

位	标记	位名	功能	读写
b30~b2	Reserved	-	读出时为“0”,写入时写“0”	R
b1	FLAG	校验结果位	0: 当前校验错误 1: 当前校验正确	R
b0	CR	运算控制位	0: CRC16 1: CRC32	R/W

25.4.2 结果寄存器 (CRC_RESULT)

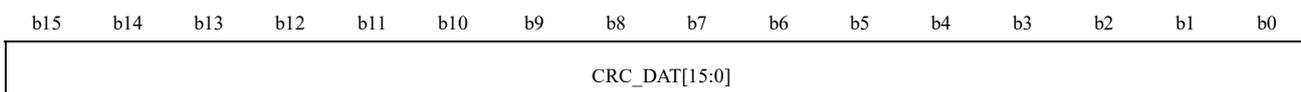
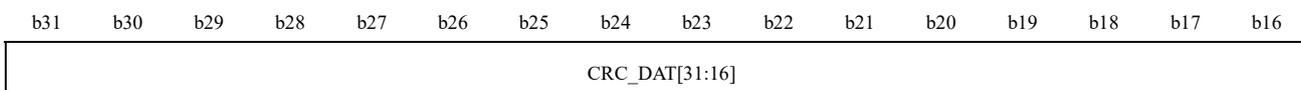
复位值: 0x0000



位	标记	位名	功能	读写
b31~b0	RESULT[31:0]	结果位	选择CRC16时, 取RESULT[15:0]; 选择CRC32时, 取RESULT[31:0];	R/W

25.4.3 数据寄存器 (CRC_DAT)

复位值: 0x0000



位	标记	位名	功能	读写
b31~b0	CRC_DAT[31:0]	数据寄存器	本寄存器用于输入需要运算的数据; 本寄存器的地址是一个范围 (0x80~0xFF), 对该范围内任何一个地址进行操作, 都会认为对本寄存器进行操作。	W

26 调试控制器 (DBGC)

26.1 简介

MCU 内核采用 Cortex™-M0+，该内核包含用于高级调试功能的硬件。利用这些调试功能，可以在取指（指令断点）或访问数据（数据断点）时停止内核。内核停止时，可以查询内核的内部状态和系统的外部状态。查询完成后，将恢复内核和系统并恢复程序执行。本 MCU 未搭载 MTB 调试器件。当调试器与 MCU 相连并进行调试时，将根据安全级别决定访问系统资源的权限。

只提供一个调试接口：

- 串行调试跟踪接口 SWD

26.2 DBGC 系统框图

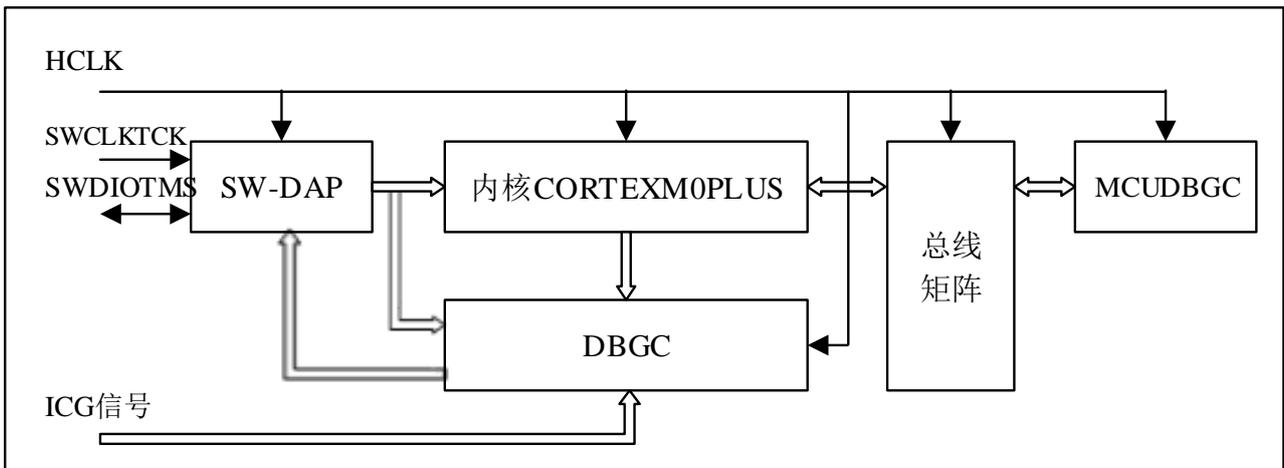


图 26-1 调试控制系统

ARM Cortex™-M0+ 内核提供集成片上调试支持。它包括：

- SWD：串行调试端口
- BPU：断点单元
- DWT：数据断点触发
- 灵活调试引脚分配

注意：

- 有关 ARM Cortex™-M0+ 内核支持的调试功能的更多信息，请参见《Cortex

™-M0+ 技术参考手册》。

26.3 调试引脚

26.3.1 SWD 调试引脚

MCU 的 2 个普通 I/O 口可用作 SWD 接口引脚。所有封装都提供这些引脚。

SWD功能名称	SWD说明		MCU引脚分配
SWCLK	I	串行时钟	P50
SWDIO	I/O	串行线数据输入/输出	P51

表 26-1 SWJ 调试端口引脚

26.3.2 SWD 引脚分配

复位（上电或引脚复位）后，会将用于 SWD 的全部 2 个引脚指定为专用引脚，可供调试工具立即使用。但是在未连接调试工具的状态下，MCU 可以禁止 SWD 端口，进而释放相关引脚以用作通用 IO (GPIO)。有关如何禁止 SWD 端口引脚的更多详细信息，请参见：I/O 引脚复用器和映射。

26.3.3 SWD 引脚上的内部上拉和下拉

为避免 IO 电平浮空，在复位期间和复位后器件在 SW-DP 引脚上内置有内部上拉电阻：

- SWDIO：内部上拉
- SWCLK：内部上拉

在未连接调试器状态下，用户软件可以通过设定 GPIO 控制器释放 SWD IO 作为普通的 I/O 口使用。由于带有上拉和下拉电阻，因此无需添加外部电阻。

26.4 寄存器

寄存器描述如下：

基地址：0x40015000

寄存器名	符号	偏移地址	位宽	初始值	访问主机
DBG状态寄存器	MCUDBGSTAT	0x0000	32	0x00000000	CPU/调试IDE
外设调试暂停寄存器	MCUSTPCTL	0x0004	32	0x00000009	CPU/调试IDE

26.4.1 DBG 状态寄存器（MCUDBGSTAT）

DBG 调试上电状态确认寄存器。

复位值：0x0000 0000

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	CDBG PWRU PACK	CDBG PWRU PREQ

位	标记	位名	功能	读写
b31~2	Reserved	-	读出时为“0”,写入时写“0”	R/W
b1	CDBGPWRUPACK	调试器上电反馈	0: 无反馈 1: 调试上电反馈	R/W
b0	CDBGPWRUPREQ	调试器上电请求	0: 无上电请求 1: 上电请求	R/W

26.4.2 外设调试暂停寄存器 (MCUSTPCTL)

当 CPU 处于调试状态时，周边模块暂停控制。

复位值：0x0000 0009

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TMR B8 STP	TMR B7 STP	TMR B6 STP	TMR B5 STP	TMR B4 STP	TMR B3 STP	TMR B2 STP	TMR B1 STP	TMR A1 STP	-	-	TMR 41 STP	-	-	TM R21 STP	-
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	TMR 01 STP	-	-	-	-	-	-	-	-	-	-	PVD STP	-	-	SWD TSTP

位	标记	位名	功能	读写
b31	TMRB8STP	TIMERB-8计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b30	TMRB7STP	TIMERB-7计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b29	TMRB6STP	TIMERB-6计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b28	TMRB5STP	TIMERB-5计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b27	TMRB4STP	TIMERB-4计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b26	TMRB3STP	TIMERB-3计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b25	TMRB2STP	TIMERB-2计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b24	TMRB1STP	TIMERB-1计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b23	TMRA1STP	TIMERA-1计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b22	Reserved	-	读出时为“0”,写入时写“0”	R/W
b21	Reserved	-	读出时为“0”,写入时写“0”	R/W
b20	TMR41STP	TIMER4-1计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W
b19	Reserved	-	读出时为“0”,写入时写“0”	R/W
b18	Reserved	-	读出时为“0”,写入时写“0”	R/W
b17	TMR21STP	TIMER2-1计数暂停信号	0: 即使内核停止, 计数器仍然计数 1: 内核停止时, 计数器暂停计数	R/W

b16	Reserved	-	读出时为“0”,写入时写“0”	R/W
b15	Reserved	-	读出时为“0”,写入时写“0”	R/W
b14	TMR01STP	TIMER0-1计数暂停信号	0: 即使内核停止,计数器仍然计数 1: 内核停止时,计数器暂停计数	R/W
b13~6	Reserved	-	读出时为“0”,写入时写“0”	R/W
b5	Reserved	-	读出时为“0”,写入时写“0”	R/W
b4	Reserved	-	读出时为“0”,写入时写“0”	R/W
b3	PVDSTP	PVD中断/复位屏蔽	0: 即使内核停止,仍然产生PVD0中断申请或复位 1: 内核停止时,屏蔽PVD0中断申请或复位	R/W
b2-1	Reserved	-	读出时为“0”,写入时写“0”	R/W
b0	SWDTSTP	SWDT计数暂停信号	0: 即使内核停止,SWDT计数器仍然计数 1: 内核停止时,SWDT计数器暂停计数	R/W

26.5 SW 调试端口

26.5.1 SW 协议简介

此同步串行协议使用两个引脚：

- SWCLK：从主机到目标的时钟
- SWDIO：双向

传输数据时，LSB 在前。

对于 SWDIO，必须在电路板上对线路进行上拉（建议采用 100 K 欧）。

每次在协议中更改 SWDIO 的方向时，都会插入转换时间，此时线路即不受主机驱动也不受目标驱动。默认情况下，此转换时间为一位时间，但可以通过配置 SWCLK 频率来调整。

26.5.2 SW 协议简介

MCU 的复位系统由以下复位源组成：

- POR（上电复位），在每次上电时将执行复位
- 内部看门狗复位
- 软件复位
- 外部引脚复位

Cortex™-M0+将调试部分的复位（上电复位）和其它部分的复位分开。这样，调试主机便能够在系统复位期间建立连接，对内核调试寄存器进行编程，以在获取复位向量时停止内核。随后，调试主机释放系统复位，内核将立即停止并且不执行任何指令。此外，还可以在内核处于复位状态下时配置调试特性功能。

版本信息 & 联系方式

版本	日期	修订内容摘要
Rev1.0	2020/2/12	初版发布。
Rev1.1	2020/7/23	① 表 1-1 CODE ROM 修改为 CODE FLASH ② 7.6.3 修改连续编程 step8 ③ 修改表 12-2 的测量误差参考数据 ④ 修改 17.5.9 节寄存器 bit1~0、18.5.11 节寄存器 bit1~0、19.5.5 节寄存器 bit17~16/bit1~0 说明 ⑤ 通用定时器 (Timer2) 章修改低功耗唤醒说明 ⑥ 增加内置温度传感器 TSN 特节, 增加参数特性表格 ⑦ 闪存节增加字节/半字的编程时间
Rev1.11	2020/12/31	删除产品特性、引脚配置、封装信息等(相关信息请参考最新的数据手册), 修改声明。



如果您在购买与使用过程中有任何意见或建议, 请随时与我们联系。

Email: mcu@hdsc.com.cn

网址: <http://www.hdsc.com.cn/mcu.htm>

通信地址: 上海市浦东新区中科路 1867 号 A 座 10 层

邮编: 201203

